

特集「VLSI のテスト容易化設計」の編集にあたって

藤原 秀雄†

近年の集積回路技術の進歩はめざましく、ますます高集積化、大規模化、複雑化が進む VLSI に対するテストの問題は極めて困難な課題となっている。主として、テスト用データを求めるのに膨大な計算時間を要すること、場合によっては求められないこと、求められたテスト用データが膨大なものとなりテストに非常に長い時間がかかること、などの点においてその取り扱いの困難さが増してきている。

この問題を解決するいくつかの試みが成されている。一つは、従来から使われていたテスト生成法よりも飛躍的に効率のよい方法の開発である。これには、高速のテスト生成アルゴリズム、専用マシンやマルチプロセッサによる並列処理、最近ではニューラルネットワークを用いたテスト生成、などテスト生成の高速化の研究開発が進められている。他の一つは、与えられた回路をテストするという消極的な方法ではなく、最初からテストのことを考慮してテスト容易な回路を設計するという積極的な方法であり、テスト容易化設計と呼ばれている。テスト容易化設計に関しては、これまで多くの理論的研究があり、いくつかの技術は実用化されている。また、最近では、組込み自己テストの概念に基づく研究開発が国内外で活発に進められその成果が期待されている。

本特集ではこれらの流れをふまえて、VLSI のテスト容易化設計技術の研究動向、及びその理論と実際について解説する。

まず、1.「VLSI のテスト容易化設計技術の研究動向」では、VLSI のテスト容易化設計技術の基礎、及び、その研究動向について解説している。

2.「テスト容易化設計法」では、PLA、メモリ、マ

イクロプロセッサを対象にテスト容易化設計の方法論を解説している。まず、2.1「PLA におけるテスト容易化設計法」では、PLA のテスト容易化設計法を分類し代表的な設計法を紹介している。さらに、各設計法を比較評価し、用途に応じて最適な設計法の選択が必要であることを示し、その AI 的アプローチを紹介している。つぎに、2.2「メモリにおけるテスト容易化設計法」では、メモリ VLSI の各種組込み自己テスト法を紹介し、それらの比較検討を行っている。2.3「マイクロプロセッサにおけるテスト容易化設計」では、マイクロプロセッサを対象に、スキャン方式とシグネチャ解析法を組合せた組込み自己テスト方式などのテスト容易化設計の方法、知識ベースを用いたテスト容易化のためのエキスパートシステムについて解説している。

3.「テスト容易化設計技術の適用」では、VLSI を専用 VLSI と汎用 VLSI に分け、それらへのテスト容易化設計技術の適用について解説する。3.1「テスト容易化設計技術の専用 VLSI への適用」では、特に、ASIC やゲートアレーを中心にテスト容易化設計技術の適用例を紹介し、将来の展望について述べている。最近では、ユーザへのチップのテスト容易化設計を支援する環境も整いつつあり、これについても述べている。3.2「テスト容易化設計技術の汎用 VLSI への適用」では、メモリ、マイクロプロセッサを中心にテスト容易化設計技術の適用例を紹介し、将来の展望について述べている。

最後に、ご多忙中にもかかわらず、ご執筆を快く引き受けていただいた執筆者ならびに査読者の方々に厚くお礼申し上げます。

(平成元年 10 月 17 日)

† 明治大学工学部