

解説



フラッシュメモリとその応用†

常 広 隆 司††

1. はじめに

最近、フラッシュメモリ (図-1) と呼ばれている半導体メモリ素子が注目されている。これはフラッシュ型の EEPROM (Electrically Erasable & Programmable Read Only Memory) のことであり、電氣的に消去と書込みが可能な読出し専用メモリ素子のうち、ある一定以上の容量 (ブロック/セクタなどの単位で呼ばれる) をまとめて消去できる機能をもつものをいう^{8), 9)}。

メモリ素子には随時に読出しと書込みが比較的高速に行える RAM (Random Access Memory) と通常の動作では読出しだけを行う Rom (Read Only Memory) があるが、フラッシュメモリは後者に属する。RAM は読出しと書込みが同程度の時間 (数ナノ秒から数百ナノ秒) でできるという利点はあるが、情報を保持し続けるためには電源を供給し続けなければならない。

一方、ROM は不揮発性メモリであり電源を切っても情報が消えることはないが、通常は記憶したデータを書換えができない。これは ROM が半

導体素子内の回路ヒューズを許容容量以上の電流を流すことで溶断したり (図-2)、MOS トランジスタのゲート電極とチャネルの間にフローティングゲートを設け、そのフローティングゲートに電荷を貯えて情報を記憶するからである (図-3)。またマスク ROM と呼ばれるもののように半導体の製造過程でトランジスタ素子のある／なしを作り込み、それを情報として読み出すタイプのものもある。フローティングゲートを使用したタイプは半導体パッケージ自体にガラス窓をあけ、紫外線を照射することで電荷をフローティングゲートから励起排除して書き込んだ内容を消去できるものがあり、これらを EPROM (Erasable & Programmable ROM) と呼ぶ。

ROM は読出しに関しては RAM と同じようにアクセスできるが、書込みに関してはできなかったり、専用書込み器や消去専用の紫外線照射器が必要なうえ処理時間も数十秒から数十分かかり、組込装置の内部で自動的に行うわけにはいかなかった。しかし、メモリ素子の電源を切っても

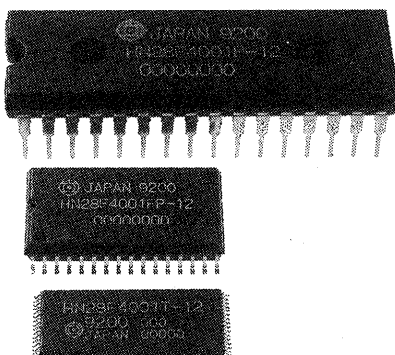


図-1 フラッシュメモリ

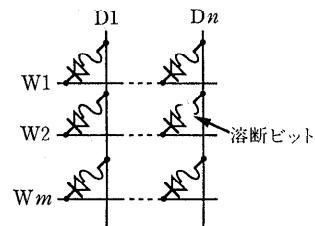


図-2 ヒューズ ROM 概念図

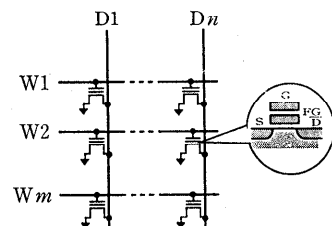


図-3 フローティングゲート型 ROM 概念図

† Flash Memory Devices and Applications by Takashi TSUNEHIRO (8th Research Department, Systems Development Laboratory, Hitachi, Ltd.).

†† (株)日立製作所システム開発研究所第8部

情報内容が破壊されることなく保持できるので、システム起動時に使用する基本処理プログラムなどを格納するのに適していた。

そのほか電氣的に消去や書込みが可能なタイプの ROM (EEPROM) が登場し、書込みが1バイト単位 (数百 μs ~ 十数 ms/バイト書込み) にできる。EEPROM は格納してあるプログラムの一部を修正する程度の使い方であれば便利だが、大量のデータを何度も書換え/変更する場合には処理時間が膨大になり使いにくかった。

そこで、記憶したデータを数百バイトから数十キロバイト単位に一括消去できる機能をもたせた ROM が開発された。これがフラッシュメモリである。このフラッシュメモリはビットセル自体の構造が LSI 集積度のリードランナとみられている DRAM (Dynamic RAM) より簡単になりうるため、低価格な大容量半導体素子として期待されている。DRAM より低価格なデバイスで電氣的に消去/書込みが比較的高速に行えるという特徴を活かした応用として特に注目を浴びているのが、半導体ファイル装置の記憶デバイスとしての利用である。

つまりフラッシュメモリを記憶デバイスに使えば、振動や塵埃、衝撃に強く、保存時には電源を供給する必要がなく、さらに読出し速度は通常のメモリ並に速いファイル装置ができる。これはポータブルな情報処理装置に使用するファイル装置としての条件をすべて満たしている。最近各社から発表されているペン入力タイプのコンピュータ (図-4) は装置をもった状態での使用が前提となっているので、傾いた状態での動作や本体落下の危険性がともなう。ファイルとしてハードディスクを使うと誤動作やデータ破壊の可能性が残る

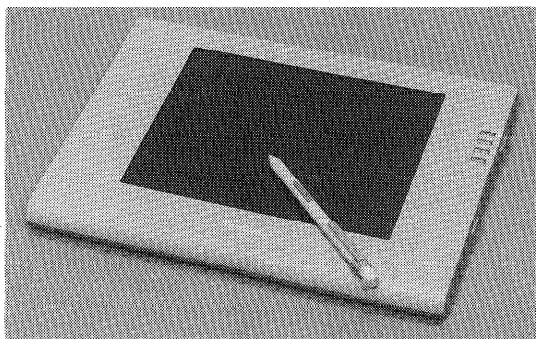


図-4 ペンベースコンピュータ

ので、安価で使いやすい半導体ファイル装置が望まれているという状況もあり、フラッシュメモリに対して大きな期待がよせられている。

このような状況のもと、ここでは、今までに発表された代表的なフラッシュメモリとそれを応用した半導体ファイルについて紹介する。

2. フラッシュメモリの動作原理

フラッシュメモリの記憶単位を構成するメモリセルの構造を分類すると、大きく分けて3種類の型がある。NOR 型、NAND 型と呼ばれているものと、最近発表された NOR 型と NAND 型の長所を合わせもった AND 型がある。これらの呼び方はメモリセルの構成が MOS 論理ゲート素子の NOR/NAND/AND に似た構成でできていることから名付けられた。ここでは NOR 型を例にとり、フラッシュメモリ動作の概略を述べる。

2.1 データの書込み

NOR 型フラッシュメモリのメモリセルを模式的に示したものが図-5 である。ここで、 $D1, \dots, Dn$ はデータ線であり、 $W1, W2, \dots, Wm$ はワード線である。データ線の本数は、そのメモリチップが同時に何ビット読み出せるか (語構成) をもとに決める。ワード線の本数はメモリのアドレス容量で決まる。単純化した例をあげると、128 ビットのメモリが8ビット構成であるならば、データ線は $D1$ から $D8$ の8本であり、ワード線は $W1$ から $W16$ までであることになる。実際の LSI では配置上の工夫を行い大容量でもワード線の本数が極端に多くならないようにしてある。

この図の中で1本のデータ線に接続されている記憶用トランジスタの並びが多入力 NOR ゲートと同じ並び方をしていることが分かる。

この中の1ビットだけをとりだして断面を模式的に見たものが図-6 である。

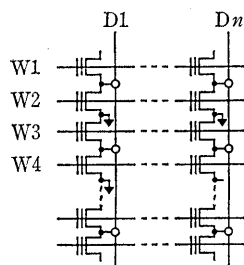


図-5 NOR 型概念図

この構造だけを見ると通常のフローティングゲートタイプの PROM と変わらない。図-6 で制御ゲートに 12 V, ソースをグラウンド電位, ドレインに 6 V を印加すると, ソースからドレインに向かってチャンネル内を電子が流れる。このチャンネル内を流れる電子のうち何個かが制御ゲート電極の電位に引っ張られて, フローティングゲート内に蓄積される。このようにしてフローティングゲートに電荷をためることで, 情報の記憶を行う。このような方法をホットエレクトロン注入と呼ぶ。

この方法は NOR 型を例に示しており, 他のメモリセル構成では違う方法 (トンネル電流書き込みなど) がとられていることもある。

2.2 データの消去

データの消去は, フローティングゲートに蓄積されている電荷をなんらかの方法で引き抜くことで行う。この様子を示したものが図-7 である。ここでは制御ゲートをグラウンド電位に, ソースを 12 V に, ドレインを開放状態にしたことでソースからフローティングゲートに向かってトンネル電流が流れる。このため蓄積されていた電荷がなくなり, セルを書込み前の状態に戻すことができる。

フラッシュメモリの場合 RAM のように任意の値を上書き (元のセルの値に関係なく “0”, “1” を自由に書き換える) できないので, 一度書き込んだ場所に再度書き込むときはいったん消去を行った後, 必要なデータを書き込む必要がある。この消去をあるまとまった単位で行えるようにしたことがフラッシュメモリの特徴である。この消去単位は初期のものでチップ全体や 64 キロバイト/16 キロバイト, 最新のもので 512 バイト程度となっている。

消去単位が大きいと一括して消去できる量が多

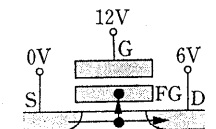


図-6 書き込み動作

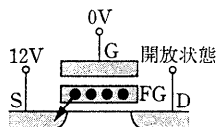


図-7 消去動作

いので内容の全面更新などでは書直し処理が簡単になる反面, ハードディスク置換えのような用途を中心に考えると, 512 バイト/セクタ (大半のパソコン用ハードディスクでは, 512 バイトが1セクタという管理単位で制御している) というハードディスクの管理単位から離れているほどハードディスクに見せ掛ける制御は困難になる。

そこで, 最新のフラッシュメモリではチップ自体の大容量化 (ハードディスク置換えを狙ったもの) とあわせて, セクタサイズをハードディスクと同じサイズに合わせる動きがある。

2.3 セル構成の特徴

NOR 型は図-5 に示したが, 他の型のセルを図-8 と図-9 に示す。図-8 は NAND 型, 図-9 は NAND 型と NOR 型の間接的構造をしている AND 型である。これらのセル構成図で, 白丸は半導体回路内のアルミ配線と多結晶 Si 配線を接続 (層間接続) するコンタクトホールである。コンタクトホールが多いとそのために半導体のチップ面積が大きくなる。NOR 型は 2 トランジスタにつき 1 個のコンタクトホールが必要なためチップ面積が NAND 型や AND 型に比べて大きくなるので, メモリの単価を安くすることが難しいといわれている。

NAND 型はコンタクトホールの数は少ないが

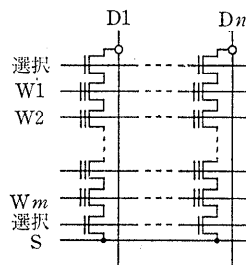


図-8 NAND 型概念図

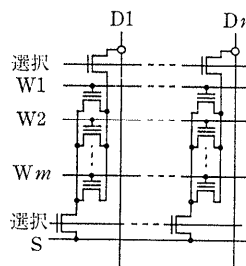


図-9 AND 型概念図

データの読出しを行うとき1本のデータ線に直列接続されているトランジスタが多いので、信号伝搬に時間がかかり高速読出しには向いていない。

AND型は両者の長所をあわせもつ構造である。つまり、コンタクトホール数は NAND 型と同程度であるが、読出しのときは直列接続されたトランジスタがないため、時間遅れが少なく高速読出しに向いていることが分かる^{5),6)}。

3. フラッシュメモリの特徴と応用

フラッシュメモリの長所はいうまでもなく、電源なしで記憶内容を保持できる不揮発性、半導体素子であることによる対衝撃性/高速アクセス性能などであるが、システムとして応用するときに使にくい点(欠点)もある。それらを次にまとめる。

3.1 フラッシュメモリの特徴

(1) 書換え寿命

今まで述べてきた各セルに共通する特徴をまとめる。フラッシュメモリは書込み/消去を行うために、フローティングゲートへの電荷注入/除去を行っている。このときフローティングゲートを取り囲んでいる絶縁物である SiO_2 の中をホットエレクトロンやトンネル電流が通過するので徐々に劣化が起これ書込みや消去の時間が長くなる。この様子を示したものが図-10である。この時間が所定の値を超えるまでの回数をこの素子が利用できる上限(書換え寿命)と決めている。この劣化のメカニズムはまだ完全に解明されていない。

この書込み/消去回数の上限はフラッシュメモリセルの構造にもよるが、おおむね $10^4 \sim 10^6$ 程度である(ハードディスクなどに比べて3桁以上少

ない)。この回数は EPROM 置換えとして考えると十分な回数であるが、そのまま半導体ファイルの記憶素子として利用するには信頼性が不足している。そこで、システム応用を考えるとときに工夫を行い、システム全体としては書換え可能回数を長くできるが、使用する素子自体の書換え回数は少なくする技術が重要になる。

(2) 書込み速度

NOR 型フラッシュメモリのリードでは通常の ROM と同程度のアクセス速度(数百 ns 以下)が得られる。しかし、NAND 型では 2.3 で述べたように、信号が伝搬するとき多くのトランジスタを経由しなければならないため、NOR 型より遅くなるのが普通である。そこで、一回の読出しで多くのデータを内部のバッファに読出しておき、それを外部の要求に従って順次シフト出力するようにした構成のものがある。そうすれば1ワード目のリードアクセスに十数 μs ~数十 μs 程度必要になっても2ワード目以降はシフトクロックで高速に読み出せる。ライトはどちらのタイプも RAM に比べれば大幅に遅い(数 μs ~数十 μs /ワード)ものが多い。ハードディスクなど(ヘッドシーク時間+回転待ち時間+セクタライト時間 $\approx$ 十数 ms~数十 ms)と比べれば桁違いに速いが、RAM を用いた半導体ファイルと比べれば書込み速度がかなり遅い部類になる。これはフローティングゲートへの書込み(電荷の注入/除去)自体に時間がかかっているからである。

このライト時間自体を改善する努力はフラッシュメモリ素子として進められているが、それだけではなくシステムとしてライト時間がリード時間と同程度にみなせる方式があれば半導体ファイルとして遜色はなくなる。

3.2 フラッシュメモリの応用例

フラッシュメモリが開発された当初の応用として考えられたものに紫外線消去型 EPROM 置換えがあった。このほかメモ리카ード、半導体ファイルの記憶素子などの応用がある。

(1) 紫外線消去型 EPROM 置換え

従来、パソコンなどの電源投入時の立上げ起動処理プログラムを格納するものとして紫外線消去型 EPROM が多く使われていた。コストを考えるとマスク ROM のほうが単価を安く抑えられるのだが、プログラム自体がバグ対策のためになか

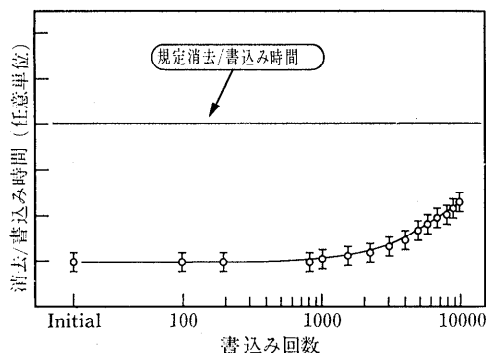


図-10 メモリセル劣化傾向(模式)

なか最終バージョンにならないなどの理由で開発初期にマスク ROM が製品に搭載されるのはまれであった。そこで製品の品質が安定するまでは EPROM を使っていた。EPROM を使用するとプログラムのアップデートのたびに ROM の取外し・紫外線消去、ROM ライタでの書込み、ROM の装着を繰り返す必要があった。これをフラッシュメモリにすればパソコンの処理プログラムで ROM 内容の更新ができる利点がある。

このような ROM 内容の更新はシステムの開発中だけでなく、そのシステムがユーザの手に渡るなどのフィールドに出たあとでも簡単にバージョンアップを実施できるなどのメリットもでてくる。アーケードゲーム機などのフィールドアップグレードなどでも適用できる。

(2) メモリカード

最も直接的な応用として考えられるものは最近標準化が進んでいるメモリカードのデバイスとしての応用である。国際的なメモリカードの規格では PCMCIA (Personal Computer Memory Card International Association) が標準化を推進しており、国内では(社)日本電子工業振興協会 (JEIDA: Japan Electronic Industry Development Association) がそれに呼応して標準化を進めている^{1), 2)}。この規格の中にはフラッシュメモリを用いたカードが規定されている。現在では1枚のカードの容量が1MB~20MB程度のものが実用化されている。これをシステム側では交換可能な記憶媒体として利用するが、コスト的に高いのでフロッピーディスク並みの普及にはいたっていない。また、カードを使用するシステム側ではフラッシュメモリの書込み処理やチップメーカー別特性の違いを吸収する専用の駆動ソフトウェアを組み込む必要がある。その他、カードの規格としては、単にメモリチップを収納しただけでなく、パソコンなどの入出力装置をカード化したものも規定されている³⁾。

(3) 半導体ファイル

現在一番注目を浴びている応用分野が半導体ファイルの記憶素子としての利用である。ポータブルな情報処理装置、特に手に持ったまま使うシステム用のファイル装置では振動や衝撃が従来のデスクトップタイプに比べてはるかに多くなる。ノートブックタイプのパソコンといってもそのほとんどが机の上で利用されている現状ではハード

ディスクを外部記憶装置に利用していても多くの場合問題にはならない。しかし、ペン入力対応のコンピュータなどのようなポータブル機器では、ハードディスクをアクセス中も本体を移動させることがあり、対衝撃性の面から不安がある。

そこでフラッシュメモリを記憶媒体に使用した半導体ファイルが重要になってくる。回転やヘッド移動をとまなう機構部品のまったくない半導体素子だけでできたシステムであるから、振動/衝撃/塵埃に強く、駆動電力もわずかで済む。

フラッシュメモリを半導体ファイルに用いる方法には大きくわけて二通りがある。(i)既存のハードディスクインタフェースに接続できるように制御マイコンや専用回路とフラッシュメモリを組み合わせたもの。(ii)記憶媒体そのものにはフラッシュメモリカードを使用し、外部記憶装置アクセスソフトウェアを工夫してハードディスクに見せかけるもの。

(ii)の方式は前節「(2)メモリカード」と基本的に同じものなので、ここでは特に(i)のシステムについて説明を行う。

4. 半導体ファイルへの応用

ここでは、フラッシュメモリの応用分野として最も市場が大きくなると期待されている半導体ファイルへの応用を中心に述べる。

4.1 半導体ファイルの必要性

情報処理装置の外部記憶装置としてみると、ハードディスクはその価格(ビットコスト)や記憶容量、大きさなどを考えるとたいへんすばらしいものであり、その優位性は当面ゆるがないと考えられる。しかし、回転円板に磁気記録するという機構的構成からくる制約が問題になる応用分野が近年になって目立ちはじめた。

ハードディスクはアルミやガラス素材の円板に磁性体を塗布やスパッタリングし、それを高速に回転(3600rpm もしくはそれ以上)させ、その上に磁気ヘッドを非接触状態のまま浮かせて磁気信号の書込み/読出しを行っている。そのヘッドの浮上量はわずかな(0.1 μ m 程度)ため機械的振動/衝撃に弱い。

ハードディスクが稼動中に強い衝撃が加われば磁気ヘッドと円板が接触し、媒体剥離やヘッドクラッシュを招く場合がある。このような事態にな

ると記録したデータは喪失され回復することはほとんど困難である。

最近、特に注目を集めているペン入力タイプのパソコンは人が持った状態で稼働させることが基本であり、機器に振動や衝撃が加わりやすい。そのため、このような機器ではハードディスクに代わる外部記憶装置が求められていた。

さらに動作時の消費電力も問題になる。円板回転起動時には数Aの電流が流れ、通常回転時でも数十mAの電流が流れ続けるため、電池駆動の携帯装置では電力が問題になってきた。

またハードディスクではアクセス時に必ず回転待ちやヘッドのシークが発生するためアクセス速度を1ms以下にすることはほとんど不可能である。アクセス時の使い勝手を良くする上でも高速応答できる半導体ファイルが望まれていた。

4.2 基本構成

ファイルとして応用する方式のうち、ハードディスクと完全互換インタフェースを保つタイプのものの概念図を図-11に示す。この図で標準インタフェースとして考えられているものは、SCSI (Small Computer System Interface) や IDE (Integrated Device Electronics) などがある¹⁰⁾。これらはともに小型ハードディスク用バスとしては一般的であり標準化が進んでいる。インタフェースLSIはこれら標準バスと内部回路を接続するものであり、標準バスからみれば他のハードディスクと同じようなインタフェースレジスタ類をもっている。マイコンはインタフェースLSIのレジスタを読み/書きして、これらバス上の制御コマンドを解釈しフラッシュメモリへのリード/ライトアクセス処理を行う。

マイコンが行う解釈処理の例をあげる。バスから「リードセクタコマンド」が送られてくると、

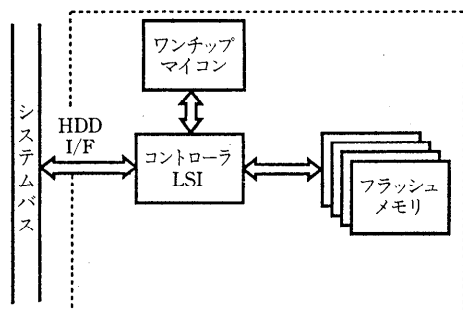


図-11 システム構成例

マイコンは要求のあった読出しセクタの番号からそれに対応するフラッシュメモリのアドレスを計算し、その番地からデータを読み出してバスへ転送する。「ライトセクタコマンド」がリクエストされたときも同様な処理を行う。

このようにしてマイコンはハードディスクと同じコマンドを処理実行しバスからみれば半導体ファイルであることを意識させない。そのためユーザは、ハードウェア的にもソフトウェア的にもホストシステムの変更を加えることなく半導体ファイルを使用した衝撃や振動に強い可搬型データ処理装置を作ることができるうえに、半導体ファイルの高速性を活かしてシステムスループットを向上させることができる⁴⁾。

このような方式でハードディスク互換システムを構成したときの課題を次にあげる。

4.3 ファイル適用での課題

(1) 素子の寿命

前章で述べたようにフラッシュメモリは、その構造上から書換え回数に制限がある。そのため単純にファイル用の記憶素子として使用すると、ユーザがセクタデータの書換えを行っても素子自体では書換えができていない場合が出てくる。これはファイル装置としては致命的な故障になる。

図-12はその使えなくなる素子がどのくらいの時間で発生するかをシミュレーションしたものである。横軸は書換えを開始してから時間、縦軸は書換え上限を超えた素子の発生個数を累積で示している。シミュレーションに使用したアクセス要求パターンは実際のパソコン使用中にハードディスクへ発行された書換え要求を記録しておき、そ

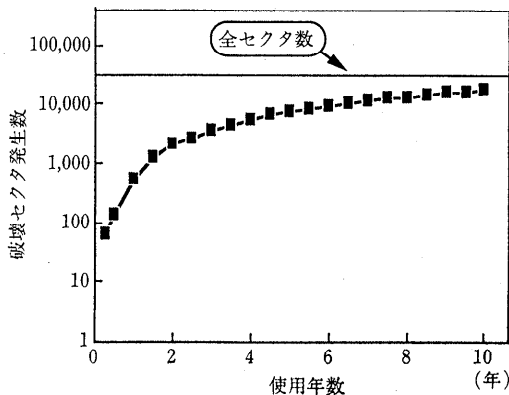


図-12 破壊セクタの発生状況

れを用いた。

このように、単純にフラッシュメモリを記憶素子として使うと2～3カ月程度で使えなくなるものができてしまう。そこでこの問題を解決するために、ファイルアクセスの状況をもっと詳しくみると、図-13 のようになる。これはファイル内のどのセクタにアクセスする割合が多いかを示したものである。使用したデータはシミュレーションに使用したものと同じものである（あるユーザが業務で使用したパソコンのアクセス状況の一例）。これから分かるように特定のセクタにアクセスが集中している。そのためにまずその集中したセクタが書換え不能になり、続いて頻度の多いものが書換えできなくなっていく。その一方でほとんどアクセスのないセクタもある。そこでこれらのアクセス頻度の多いセクタと少ないセクタを平均化して使用する方法が考えられている。その平均化方法はフラッシュメモリ半導体ファイルを製品化している企業のノウハウとなっていて詳細は不明であるが、この方法を用いることによって10年程度のシステム寿命を実現するのはそれほど困難ではない²⁾。

(2) 書き込み速度

フラッシュメモリの書き込み速度が遅いことも前章で述べた。この「遅い」というのも一般の半導体などの書き込み速度（数十～数百ナノ秒）に比べての話であり、ハードディスクなどの機構系をもつデバイスに比べれば十分に速いといえる。しかし、半導体ファイルとしての速度と考えると改善の余地は十分にある。

その一例はライトバッファを設けることであ

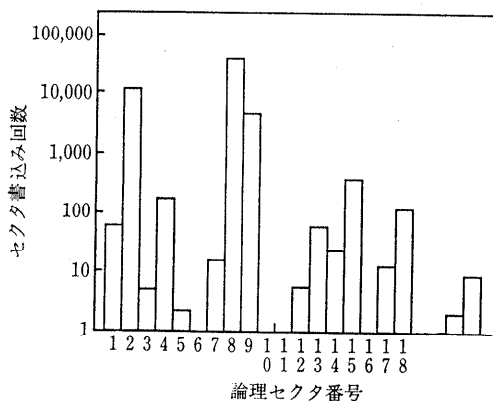


図-13 セクタ別書き込み頻度

る。図-14 は図-11 の構成にライトバッファを加えたものである。「ライトセクタコマンド」で書き込みが指定された場合、マイコンは直接フラッシュメモリにデータを書き込まずに、いったんライトバッファに書き込む。そのライトバッファに SRAM (Static RAM) を使用すれば、システムからみた書き込み速度は高速な SRAM と同等になる。ライトバッファに書き込まれたデータはホストシステムからのアクセス要求がなくなり時間的に余裕ができたときにフラッシュメモリへ書き込む。こうすることにより書き込み速度の点でも SRAM や DRAM を用いた半導体ファイルと遜色なくなる。

ライトバッファの容量は適用するホストシステムの構成にもよるが数十～数百 KB 分あればよい。これは 256 Kb～4 Mb の SRAM を 1 チップ持てばよいので価格面でも実装面でもそれほど負担にならない。

4.4 半導体ファイルの将来

以上のようなシステム的な技術改良を行うことでフラッシュメモリを用いた半導体ファイルは振動や衝撃、塵埃にも強い可搬型データ処理装置に最適なファイルとして応用できることが分かった。

しかし、現状ではフラッシュメモリ半導体ファイルはそれほど普及していない。システム製品でフラッシュメモリ半導体ファイルが適用しにくい原因の一つはファイルとしてみたときの価格である。

現在製品化されているフラッシュメモリは 1Mb～16Mb である。これらのチップの単価からみるとビットコスト (MB 当りの価格) は 10000～5000 円/MB 程度である。一方のハードディスクは数百～千円/MB 程度であり、その差は約 10 倍

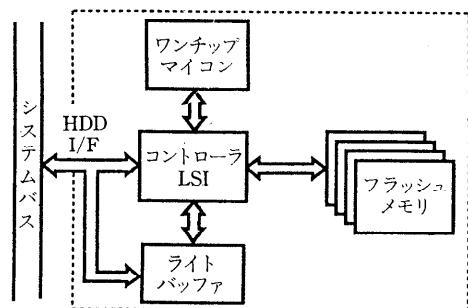


図-14 バッファメモリ付き構成例

以上ある。この差は容易に縮まることはないの
で、ハードディスクの応用分野がそのままフラッ
シュメモリ半導体ファイルに置き換わることはな
い。しかし、ハードディスクの低価格化はその大
容量化によって等価的にもたらされたものである
ため、小容量の適用分野ではビット単価は上昇す
る。図-15 はその様子を模式的に示したものであ
る。10~40MB 程度の小容量でよい応用製品では
必ずしもハードディスクが有利とは限らない。特
に可搬型システムのように半導体の特性が十分に
発揮できる分野ではフラッシュメモリ半導体ファ
イルが実際に製品化されている。

また、フラッシュメモリ自体の価格でみても
将来的には DRAM よりも下がる可能性がある
(1ビット当りの専有面積が DRAM より小さい)
ので、価格面での競争でハードディスクに比べて
不利な範囲は徐々に狭まっていくだろう。

現在発表されているフラッシュメモリは 16Mb
の製品までであるが、その次に 32Mb, 64Mb な
どが発表されるのに何年もかからない。仮りに
64Mb のチップを用いるとわずか1チップで 8
MB の記憶容量がある。名刺大の PCMCIA 規格
カードに 10~20 チップ程度を実装したとすると、
全体では 80~160 MB の容量になる。これだけの
容量を IC カード程度の大きさで実現するようにな
れば、現状では価格面で困難と思われていた
ハードディスクそのものの置換えが始まる可能性
もある。

さらに 256 Mb~1 Gb のチップが実用化される
ようになると個人使用のパソコンだけでなくネッ
トワーク接続されたクライアント・サーバ・シス

テムにおけるクライアントパソコン/ワークス
テーションでもフラッシュメモリ半導体ファイル
をシステム基板上に組み込んだ形で製品化でき
る。またそれを MCM (Multi Chip Module) 技
術を応用した場合、飛躍的な小型化が実現可能で
ある。

5. おわりに

以上述べてきたように、フラッシュメモリを半
導体ファイルの記憶素子として用いる応用分野は、
将来的に大きく伸びる可能性をもつ。半導体ファ
イルへの適用→チップ需要の拡大→チップの低価
格化→適用分野の拡大→チップ需要の拡大…とい
う今までの DRAM 製品が大幅に伸びたのと同様
の正循環ができればフラッシュメモリは今後大き
く伸びていく。そうなるためにはファイル関連装
置の記憶デバイスとしてフラッシュメモリが採用
されていくことが重要になり、前章で述べた長寿
命化技術や高速化技術が重要なキーテクノロジーに
なる。

今後の小型情報処理装置分野の動向を決定する
要因としてもフラッシュメモリ関連技術の流れに
は注意を払い、果たしてフラッシュメモリが次世
代の半導体製品を引っ張っていくキーデバイス
になるかどうかを注目しながら見定める必要が
ある。

最後に、この解説を執筆するに当たり多くの協
力をいただいた(株)日立製作所半導体事業部メモ
リ本部 ROM 設計室の川本室長をはじめ多くの
方々にこの場を借りて謝意を表します。

参 考 文 献

- 1) IC メモリカードガイドライン JEIDA-G 1-1991,
(社)日本電子工業振興協会 (1991).
- 2) PCMCIA PC Card Standard Release 2.0, PC-
MCIA (1991).
- 3) PC CARD ATA SPECIFICATION Release
1.01, PCMCIA (1992).
- 4) Wells, S. and Clay, D.: Flash Solid-State Drive
with 6 MB/s Read/Write Channel and Data
Compression, Proc. 40th ISSCC, Vol. 36, pp.
52-53 (1993).
- 5) Kume, H., Kato, M., Adachi, T., Tanaka, T.,
Sasaki, T., Okazaki, T., Miyamoto, N., Saeki,
S., Ohji, Y., Ushiyama, M., Yugami, J., Morimoto,
T. and Nishida, T.: A 1.28 μ m² Contactless Mem-
ory Cell Technology for a 3V-Only 64Mbit
EEPROM, 1992 International Electron Devices

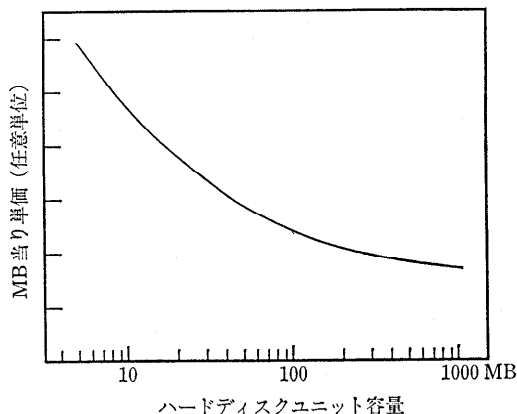


図-15 ハードディスクの容量当り単価推移 (模式)

- Meeting Technical Digest, 講演番号 24.7 (1992).
- 6) Onoda, H., Kunori, Y., Kobayashi, S., Ohi, M., Ajika, N. and Miyoshi, H.: A Novel Cell Structure Suitable for a 3 volt Operation, Sector Erase Flash Memory, 1992 International Electron Devices Meeting Technical Digest, 講演番号 24.3 (1992).
- 7) 特許公開公報, 特開平 5-027924 (1993).
- 8) Masuoka, F., Asano, M., Iwahashi, H., Komuro, T. and Tanaka, S.: A New Flash E²PROM Cell using Triple Poly Silicon Technology, 1984 International Electron Devices Meeting 講演番号 17.3 (1984).
- 9) Masuoka, F., Asano, M., Iwahashi, H., Komuro, T. and Tanaka, S.: A 256 K Flash EEPROM using Triple Poly Silicon Technology, 1985 ISSCC, 13.4, pp. 166-167 (1985).
- 10) SCSI Small Computer System Interface ANSI X 3. 131-1986, 日本規格協会 (1986).
(平成 5 年 6 月 14 日受付)

**常広 隆司**

昭和 29 年生。昭和 51 年岡山大学電子工学科卒業。昭和 53 年同大学院工学研究科電子工学専攻修士課程修了。同年(株)日立製作所入社。現在同社システム開発研究所第 8 部主任研究員。パソコンやワークステーションなどの小型情報機器のハードウェア関連の研究・開発に従事。電子情報通信学会会員。

