

OSI 通信用ハイブリッドIC

井戸上 彰 加藤 聡彦 鈴木 健二

国際電信電話(株) 研究所

筆者らは、パソコンやワークステーションの拡張ボードとして、OSIプロトコルをサポートする各種OSI通信ボードの開発を行っている。これらのボードを用いることにより、様々なOSI通信システムの構築を、パソコンやワークステーションをベースとして簡便かつ低コストに実現することが可能となる。しかしながら、近年ノート型やサブノート型などの携帯型のパソコンが急速に普及しつつあり、これらのパソコンを用いたOSI通信システムを実現するためには、PCカードによるOSI通信インタフェースが必要となる。このような超小型のOSI通信インタフェースの実現を可能とするため、筆者らは、OSI通信処理機能をサポートするOSI通信用ハイブリッドIC (*OSI Engine*)を開発した。本ハイブリッドICを用いることにより、従来と同様な機能を持つボードを約5分の1の部品数で実現でき、実装面積の大幅な縮小が可能となる。

Hybrid IC for OSI Communications

Akira IDOUE, Toshihiko KATO and Kenji SUZUKI

KDD R & D Laboratories

2-1-15, Ohara, Kamifukuoka-shi, Saitama, 356 Japan

We have been developing OSI communication boards for personal computers (PCs) and workstations. OSI communication boards construct PC or workstation based OSI communication systems easily and inexpensively. On the other hand, as portable PCs such as note type and subnote type PCs become popular, it is required to use these kinds of computers for OSI communications with PC card OSI interfaces. For this purpose, we have developed the OSI hybrid IC which supports a variety of OSI protocols in a single chip. The OSI hybrid IC, which we call *OSI Engine*, enables an OSI communication board to be implemented with about one-fifth parts compared with the current version of OSI board.

1. はじめに

筆者らはこれまでに、パソコン/ワークステーションの拡張ボードとして、OSI 5層ボードやOSI 7層ボードなどの各種OSI通信ボードの開発を行っている^{[1]~[3]}。これらのOSI通信ボードを用いることにより、端末、サーバ、ゲートウェイなど、OSIに基づく各種通信システムの構築を、パソコンやワークステーションをベースとして簡便かつ低コストに実現することが可能となる。

しかしながら、近年ノート型やサブノート型、パームトップ型などの携帯型のパソコンが急速に普及しつつあり、これらのパソコンを用いたOSI

通信システムを実現するためには、PCカードによるOSI通信インタフェースが必要となる。

このような超小型のOSI通信インタフェースは、CPUや通信コントローラなどの市販の部品をそのまま用いたハードウェア構成では実現が困難である。小型化のためには、OSI通信専用のLSIを新たに開発する必要がある。また、このような専用LSIは、部品数の削減による開発コストの低減や信頼性の向上などにも寄与することができる。

OSI通信用の専用LSIを開発する方法としては、要求される機能に従って、全く新たなLSIを論理レベルで開発する方法(フルカスタムIC)、複数の既存

ICの論理回路をベースとして新たな半導体チップを作成する方法(セルベースIC)、既存のLSIのベアチップをそのまま利用して、複数のベアチップを1つのパッケージに納める方法(ハイブリッドIC)などが考えられる。OSI通信用LSIの開発においては、開発期間やコスト、既存のOSI通信ボードのハードウェア/ソフトウェア資産の活用などの点を考慮して、ハイブリッドICによる実現方式を採用することとした。

本稿では、筆者らが開発したOSI通信用ハイブリッドIC(OSI Engine)^[4]の概要について述べる。以下、2.ではOSI Engineの開発の基本方針を示し、3.および4.でOSI Engineのハードウェアとソフトウェアをそれぞれ示す。また5.ではOSI Engineを用いた通信ボードの構成方法について述べ、6.でOSI Engineの実装結果と考察を示す。

2. 基本方針

OSI Engineの開発に当たって、以下のような方針を立てた。

- 各種のOSI通信に共通に必要なとなるCPUやLAPBコントローラなどの基本部品を集積し、標準的なLSI外形の基板上に実装する。
- 先に開発したOSI通信ボードのハードウェア/ソフトウェア資産をできるだけ活用する。
- 各種OSIプロトコルのサポートや、プロトコル仕様の機能追加などに対応するため、OSIの通信処理機能をハイブリッドICのもとで動作するプログラムとして実現する。
- プログラム用メモリやホストインタフェース用メモリとして、ROMやRAMなどの各種メモリを使用可能とする。また、専用線、パケット網、ISDN基本速度インタフェースなどの各種回線インタフェースに対応可能とする。
- 外部メモリや回線インタフェース回路と付加的な回路を用いずに直接接続可能とする。
- 高信頼化機能として、ハイブリッドIC内での障害を検出する機能を持たせる。

3. OSI Engineのハードウェア

3.1 概要

OSI Engineの内部構成を図1に示す。OSI Engineは、16ビットCPU(NEC V50)、LAPBコントローラ(NEC μ PD72107)、64KバイトのスタティックRAM(S-RAM)、およびCMOSゲートアレイのそれぞれのベアチップを、3×2.5 cmのパッケージに

納めたものである。内蔵のCPUおよびLAPBコントローラは、これまでのOSI通信ボードで採用してきたものであり、ボード用に開発済のプロトコル・プログラムが実行可能である。

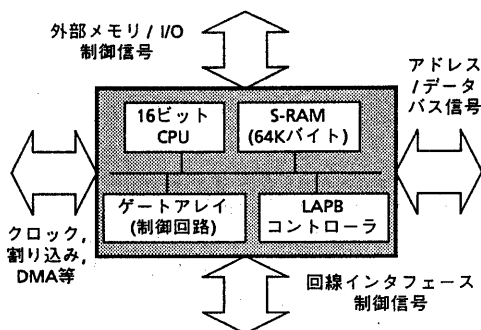


図1 OSI Engineの内部構成

採用したCPUは、タイマ、DMAコントローラ、非同期ポート、割り込みコントローラなどの機能を含んでいる。ゲートアレイは、外部メモリを接続するための制御回路や、回線インタフェースとの接続用の制御回路などを実現している。

OSI Engineの端子数は160ピンで、電源電圧は+5V、消費電流は160mA(MAX 280mA)である。端子としては、アドレス/データ・バス(24/16ビット)信号、外部メモリとの接続用の制御信号、V.24/V.28、V.10/V.11、およびISDN基本速度インタフェースの各回線インタフェースに対応するための制御信号、外部供給クロックや割り込み、DMA用の制御信号などが用意されている。

以下にOSI Engineの特徴的な機能を示す。

3.2 多様なハードウェア構成への対応

OSI Engineは、外部メモリおよび回線インタフェースを、以下に示す異なるハードウェア構成で実現可能としている。

- ① プログラム用メモリとして、ROMを使用する場合とダイナミックRAM(D-RAM)を用いる場合。
- ② ホストまたは上位CPUとの間でデータを転送するホストインタフェース用メモリとして、デュアルポートRAM(DP-RAM)を使用する場合と、データ用D-RAMを使用する場合。
- ③ ISDN、V.24/V.28、V.10/V.11の回線インタフェース。
- ④ ISDNに関して、発信時のB1/B2チャネルの選択と、64Kbpsまたは56Kbpsのデータ速度。

これらの選択は、OSI Engineの端子への入力信号または初期化プログラムによる内部レジスタの

設定値により指定される。メモリおよび回線インタフェースの制御、内部レジスタ、56Kbps信号のための速度変換はゲートアレイで実現している。

3.3 外部メモリへのアクセス

(1) D-RAMリフレッシュ機構

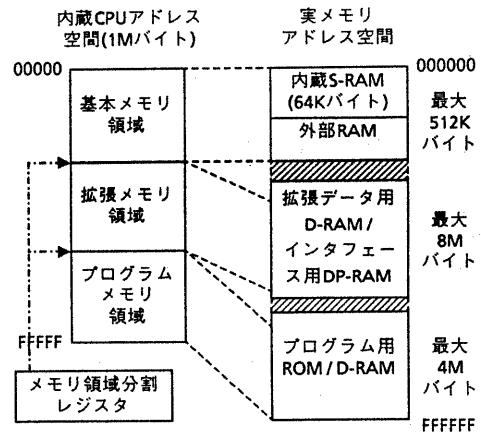
外部メモリとして使用されたD-RAMに対して、ゲートアレイによりメモリリフレッシュ機能をサポートしている。これにより、OSI Engineを付加的な回路なしでD-RAMと接続することが可能である。メモリリフレッシュの間隔は内部レジスタ設定により変更可能である。

(2) アドレス空間の割り当て

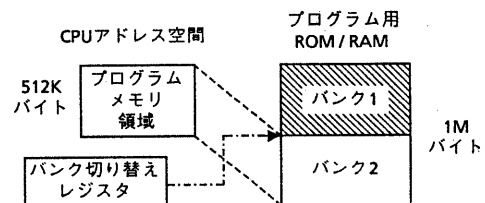
内蔵CPUのアドレス空間は1Mバイトであるが、OSI Engineは24ビットのアドレスバスを用いて16Mバイトのメモリ空間を提供する。このため、接続される外部メモリを以下のような方法を用いて、内部CPUのアドレス空間と対応付けている(図2参照)。

- 内蔵CPUのアドレス空間を、メモリ領域分割レジスタにより、基本メモリ領域、拡張メモリ領域、およびプログラムメモリ領域に分割する。
- 基本メモリ領域は常に存在し、内蔵のS-RAMを含めて最大512Kバイトの外部RAMに対応付けられる。本領域は、内蔵CPUの低位アドレスに直接マッピングされ、CPUから常に連続アドレスとしてアクセス可能である。
- 拡張メモリ領域およびプログラムメモリ領域に関しては、メモリ領域分割レジスタの設定により、任意のサイズを割り当て可能としている。拡張メモリ領域用として、拡張データ用D-RAMまたはホストや上位CPUとのインタフェース用DP-RAMを最大8Mバイト、プログラム領域用としては、ROMまたはD-RAMを最大4Mバイトまでそれぞれ接続可能である。
- 内蔵CPUのアドレス空間の拡張メモリ領域やプログラムメモリ領域のサイズは、接続可能な実メモリの最大サイズよりも小さい。このため、これらのメモリ領域においては、バンク切り替えレジスタにより、一定サイズのメモリバンクごとにCPUアドレス空間にマッピングして全外部メモリにアクセスする^⑤(図2(b))。

メモリ領域分割とバンク切替えの両レジスタ、および内部CPUとOSI Engineのアドレスバスの対応付けは、ゲートアレイで実現されている。



(a) メモリ領域の分割



(b) メモリバンクの例

図2 外部メモリへのアクセス方式

3.4 回線インタフェースとの接続

OSI Engineは、V.24/V.28(RS-232C)またはV.10/V.11の回線インタフェース回路、ならびにISDN基本速度インタフェース用通信コントローラ(Sインタフェース・コントローラ)およびLAPDコントローラに直接接続可能である。このために、ゲートアレイはV.24/V.28のデータ端末レディ(ER)やデータセットレディ(DR)などのインタフェース制御信号の入出力機能をサポートしている。さらに、モデムによる自動発呼の制御やデバッグ用として、非同期ポートの入出力端子もサポートしている。

回路規模や端子数の増加を避けるため、回線インタフェース用の送受信信号や制御信号に関しては、異なるインタフェース用の信号を同一の端子に割り当て、回線種別設定用の入力端子への入力と、内部レジスタの設定によって端子機能を切り替える方法を採用した。

例えば、V.24/V.28を選択した場合の送信データ(SD)および受信データ(RD)用の端子は、V.10/V.11を選択した場合、送信データ(T)および受信データ

(R)用の端子として機能し、ISDNを選択した場合は、それぞれBチャネル・データ出力およびBチャネル・データ入力用の端子として機能する。また、V.24/V.28における送信信号タイミング(ST2)用の端子は、V.10/V.11における信号タイミング(S)またはISDNにおけるBチャネル・クロック入力信号としても使用される。

(5) 高信頼化のためのウォッチドッグ・タイマ

OSI Engineは、プロトコル・プログラムの異常などを検出可能とするため、ゲートアレイ内にウォッチドッグ・タイマを実現している。ウォッチドッグ・タイマのタイムアウト値は可変であり、タイムアウト時にはマスク不可能な割り込みによって内蔵CPUに異常を通知する。

4. OSI Engine上で動作するソフトウェア

4.1 概要

OSI Engine上で動作するソフトウェアは、各層/ASEのプロトコル処理や、ホストまたは上位CPUとの間の入出力処理を実行するプログラム・モジュールと、これらのプログラム・モジュールを制御するモニタとから構成される。モニタは、内部レジスタなどOSI Engineのハードウェア設定を行うとともに、プログラム・モジュールの実行制御、バッファ管理、層/ASE間のプリミティブ転送用キューの管理、タイマ管理などを実現し、先に開発したOSI 7層ボード用のオペレーティング・システム^[6]と同等のシステム・サービスを提供している。これにより、筆者らがこれまでに開発した各種のOSIプログラム^[3]をOSI Engine上で動作させることが可能となっている。

これらのソフトウェアは、ネットワーク層以下のように規模が小さい場合は内蔵S-RAMに格納可能で、OSIの7層全体のように規模が大きくなると、外部のプログラム用メモリに格納される。

4.2 プロトコル・プログラムの実行方法

先に述べたように、内蔵CPUから各時点でアクセス可能なプログラム用メモリは限られているため、プログラムを以下のようにメモリバンク単位に分割する方式を採用した(図3参照)。

- 個々のプログラム・モジュールの分割に伴う複雑な実行制御機能の導入を避けるため、モジュール単位でプログラムをメモリバンクに振り分ける。図3の例では、モニタおよびセッション層以下のモジュールをバンク1に、プレゼンテーション

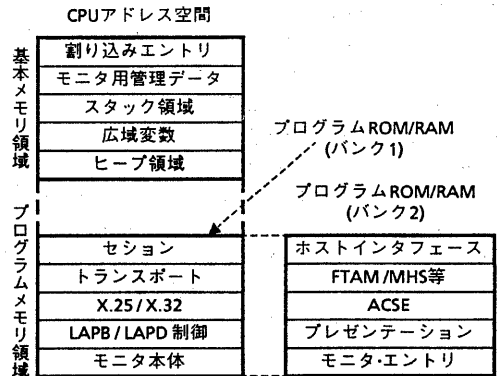


図3 プロトコル・プログラムのメモリ配置

ン層以上とホストインタフェースの各モジュールをバンク2に割り当てている。

- 次に起動すべきプログラム・モジュールが、現在マッピングされているメモリバンク内に存在しない場合は、モニタがバンクを切り替えた後、該当モジュールを呼び出す。呼び出されたプログラム・モジュールは、処理終了後、モニタを含むバンクに切り替えてモニタにリターンする。
- モニタを含まないバンクのプログラム・モジュールがモニタのシステム・サービスを呼ぶ場合は、そのバンクに設けられたモニタ・エントリ(システム・サービスのエントリ)内でバンクを切り替えた後、モニタ本体を呼び出す。
- 回線やホストからの割り込みエントリは、いずれのバンクが実行中であっても処理可能なように基本メモリ領域内におかれ、必要に応じて割り込み処理の本体(モニタ内)を含むバンクへ切り替える。割り込みからの復帰の際は、割り込み時点で実行中であったバンクに戻す。

このようなバンク切り替え機能はモニタで実現されており、各層/ASEのプログラム・モジュールは切り替えを意識する必要はない。

5. OSI Engineを用いた通信ボードの構成法

OSI Engineは、通信ボードの大きさや必要なプロトコル機能などの要求条件に応じて、様々なハードウェア構成を採用することができる。以下ではOSI Engineを用いた通信ボードの構成方法について述べる。

(1) OSI Engineのみによる最小構成

OSI Engineに、ホストの拡張バス・インタフェース回路および回線インタフェース回路を付加して

実現される最小構成のボードを図4(a)に示す。本構成においては、通信プログラムがOSI Engine内のS-RAMにホストからダウンロードされ、バッファ領域も内蔵S-RAM内で割り当てられる。本構成は、パケット網/電話網対応のネットワーク層以下のプロトコル(X.25/X.32)をサポートする場合などに適用可能である。

(2) 外部メモリを使用した構成

OSI Engineに加えて外部メモリを搭載したボードの構成を図4(b)に示す。図に示した各外部メモリは、独立に搭載するかどうかを選択することができる。

① プログラム用メモリを使用する場合

プログラム用メモリとしては、ROMまたはD-RAMの一方を使用できる。1Mバイト程度のプログラム用メモリを搭載することにより、7層すべてのプロトコルのサポートが可能である。

② データ用D-RAMを使用する場合

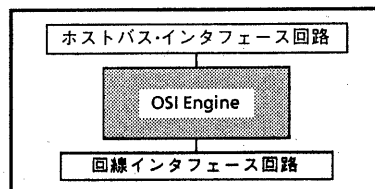
大きいバッファ領域が必要な場合は、内蔵S-RAMに加えて外部のデータ用D-RAMを使用できる。この形態においては、内蔵S-RAMのアクセス速度が外部メモリよりも速いため、プログラムの引数や変数などが保持されるスタック領域は内蔵S-RAM上に設定し、外部メモリはバッファ領域として使用する方法が有効である。ホストインタフェース用DP-RAMを使用しない場合は、ホストとのデータの送受信も本メモリを介して行われる。

③ ホストインタフェース用DP-RAMを使用する場合

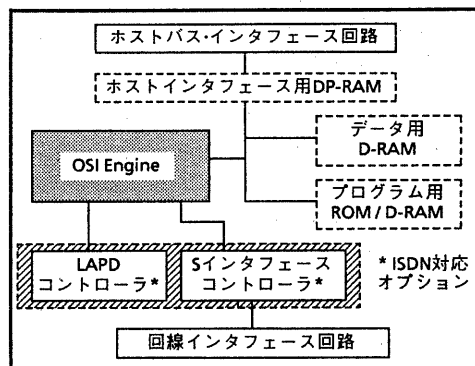
ホストとのインタフェースにおけるメモリアクセス競合を回避する必要がある場合には、ホストインタフェース専用の外部メモリを使用できる。この場合は、プロトコル・プログラムのダウンロードを含めたボードとホストとのデータの送受信は、すべてこのDP-RAMを経由して行われる。

(3) 上位CPUを搭載した構成

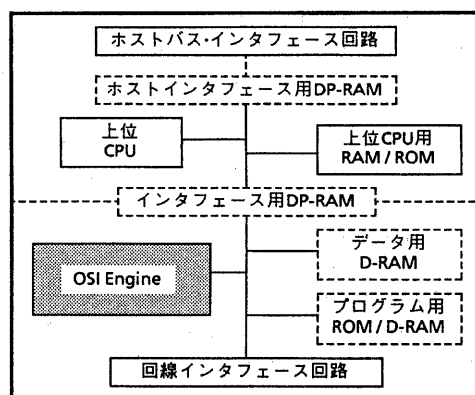
OSI Engineに加えて、さらに上位層プロトコルを処理するためのCPUを設ける場合の構成を図4(c)に示す。本構成においては、OSI Engineと上位CPUの間のデータ送受信用として、両者のメモリアクセス競合を削減する目的でインタフェース用DP-RAMを使用することができる。OSI Engineにローカルなバッファ領域に関しては、別途外部のデータ用D-RAMを設ける方法と、インタフェース用DP-RAM上に割り当てる方法が考えられる。



(a) OSI Engineのみによる最小構成



(b) 外部メモリを使用した構成



(c) 上位CPUを使用した構成

図4 OSI Engineを用いた通信ボードのハードウェア構成例

本構成は、V.10/V.11などの高速回線を対象として、7層すべてを高いスループットで実現する必要がある場合や、要求されるデータ転送の負荷が大きい場合などに有効であると考えられる。OSI Engineは、上位CPUの処理能力などに応じて、ネットワーク層まで、トランスポート層まで、またはセッション層までをサポートする方式を選択できる。

6. 結果と考察

作成したOSI Engineの外観を写真1に示す。以下に、OSI Engineの実装結果と考察を示す。

① これまでに、OSI Engineを搭載した試験用ボードを作成し、開発済のMHS P2/P7を含むプロトコル^[7]を搭載して、X.25の回線上で正常に動作することを確認した。OSI Engineを用いることにより、従来のOSI通信ボードと同等の機能を、約5分の1の10個程度の部品数で実現可能となった。現在、OSI Engineを用いて、ISAバスを対象として、パケット網/電話網に対応するボードと、ISDNに対応するボードの開発を進めている。ISDN対応のボードでは、OSI Engineによる実装部品数削減の利点を生かして、外部に別のLAPBコントローラを設け、Bチャネル2本を同時にOSI通信に使用可能としている。

② OSI通信用の専用LSIを開発するにあたり、ハイブリッドICによる方式を採用した。このため、OSI Engineのハードウェア構成は、これまでのOSI通信ボードをベースに、メモリバンク切り替え機能などを拡張したものとなっている。これにより、他の専用LSIの開発方法に比べて、短期間かつ低コストで実現できたと考えられる。

③ OSI Engineは、各層/ASEのOSIプロトコル処理をソフトウェアで実現し、これをダウンロードまたは外部ROMで実現する方法を採用している。これにより、LSI内部のROMにプログラムを実装する方法に比べて、同一のLSIで多種のプロトコルをサポート可能となり、プロトコルのバージョンアップにも対応可能となり、さらに通信プログラムに問題があった場合も修正が容易となった。

④ プロトコル処理専用のLSIとしては、X.25を対象としたセルベースのLSIが報告されている^[8]。このLSIは、数10Mbpsのスループットの実現を目的として、LSI内部の論理回路やマイクロプログラムなどによってX.25プロトコル処理を実現してい

る。これに対しOSI Engineは、2Mbps程度までのスループットを対象とし、X.25のみでなく、OSIの7層全体を含めた様々な通信プロトコルに対処することを目的としている。

⑤ また、フレーム同期とFCS (Frame Check Sequence)の生成/検出機能を持つHDLCコントローラを内蔵する汎用CPUも市販されている^[9]。これに対し、OSI EngineはLAPB手順のサポート、内蔵S-RAMの搭載、メモリ管理機能などのOSIインタフェースの実現に有用な機能を実現している。

⑥ OSI Engineは、開発済のOSI通信ボードのハードウェア/ソフトウェア資産を活用している。このためOSI Engineを用いた通信ボードも、先のOSI通信ボードと同程度の性能を持つと考えられる。

7. おわりに

本稿では、標準的なLSIの大きさをOSI通信処理機能を実現するOSI通信用ハイブリッドIC (OSI Engine)のハードウェア/ソフトウェアの概要について報告した。OSI Engineを用いることにより、従来のOSI通信ボードと同等の機能を、約5分の1の10個程度の部品数で実現でき、実装面積の大幅な縮小が可能となった。これにより、携帯情報端末用OSI PCカードなど、超小型OSIインタフェースの実現が容易となった。最後に口頭ご指導いただくKDD研究所浦野所長、眞次長に感謝する。

参考文献

- [1]: A. Idoue, et. al., "Design and Implementation of OSI Communication Board for Personal Computers and Workstations," Proc. of ICCV '90, Nov. 1990.
- [2]: 加藤, 井戸上, 鈴木, "パソコン用OSI 7層ボード," 信学1992秋季大会, B-412, Sep. 1992.
- [3]: 井戸上, 加藤, 鈴木, "OSI 7層ボードの実装と評価," 情報処理学会マルチメディア通信と分散処理研究会, Vol. 93, No. 58, July 1993.
- [4]: 加藤, 井戸上, 鈴木, "OSI通信用ハイブリッドICの開発," 信学1994秋季大会, B-663, Sep. 1994.
- [5]: 加藤, 井戸上, 鈴木, "ROM切替え機能を用いたOSI 7層ボードの開発," 信学1992春季大会, B-601, Mar. 1992.
- [6]: 井戸上, 加藤, 鈴木, 小野, "OSI 7層ボードのためのオペレーティング・システム," 情報処理学会論文誌, Vol. 35, No. 5, May 1994.
- [7]: 井戸上, 加藤, 鈴木, 飯作, "パソコン用MHS P2/P7ボードの開発," 信学1992秋季大会, B-413, Sep. 1992.
- [8]: Ichikawa, Yamada, Akaike and Aoki, "Protocol Control VLSI for Broadband Packet Communications," Proc. of Globecom '88, 45.6, Nov. 1988.
- [9]: MOTOROLA INC., "MC68302 Integrated Multi-protocol Processor User's Manual," 1990.

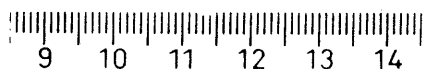


写真1 OSI Engineの外観