

VLSI配置手法の評価

小澤 時典 石井 建基 三浦 地平 小川 泰
寺井 秀一 早瀬 道芳 岸田 邦明 山田 則男
(日 立 製 作 所)

1. はじめに

L S I の集積度は年々増加し、設計に多くの人工工数を要している。設計期間短縮のため、幾つかの自動レイアウト・システム〔1, 2, 3〕が開発され、使用されている。

自動レイアウトに置ける最も重要なことは、チップ寸法を小さくすることである。設計者は、多大な人工工数を掛けて小さなチップを開発するか、自動レイアウト・システムを使用してチップ寸法は少し大きいかも知れないが、短期間に少ない工数でチップを開発するか決断しなければならない。従って設計者は、自動レイアウト・システムの質を知る必要がある。

従来、集積密度という観点からレイアウト設計の質を客観的に表現する指標が無かったので、われわれは、自動レイアウト・システムの性能評価指標として、トランジスタ当たりの正規化面積を定義した。

また、我々の経験では多くの場合、レイアウトの質は配置手法の良さに依存していた。その自動配置手法の評価関数については、従来最小スパン木など4種の仮想配線長が知られている〔4〕が、我々は面積と相関の強い幹線長和に着目し、これを新たな配置評価関数として採用し、チップ面積と幹線長和の比例関係が良く一致することを実験的に確かめた。

本文では、評価尺度の考え方、幹線長和に着目した3種の配置手法について述べ、5種の配置組み合わせについて実験的に評価した結果について述べる。評価に用いたL S I は、標準セル方式による500~20,000ゲートのカスタムL S Iである。

2. レイアウト・モデル

面積利用効率という観点から、設計の質を評価するために用いたレイアウト・モデルを図1に示す。

ブロックは、論理設計の基本単位となるもので通常500~1000ゲート規模のものである。各ブロックは、標準セルまたはマクロ・セルの集まりである。セル間接続の配線は3層、すなわち、ポリシリコン層(P S)、金属2層(A L 1、A L 2)を用いている。第2金属層(A L 2)はセルの上を自由に通過できる。

セル列間の配線領域をチャンネルと呼ぶ。チャンネル内の配線は、幹線支線方式である。A L 1は幹線として使用し、P S及びA L 2は支線(BRANCH)として使用

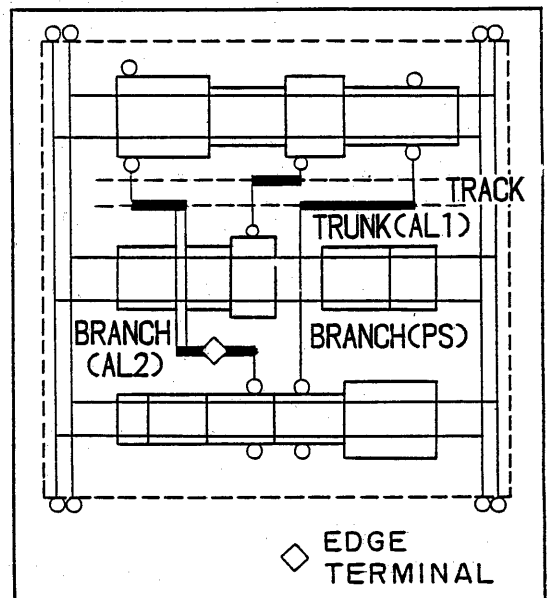


FIG.1 BLOCK MODEL

される。幹線を割り当てる格子をトラックとよび、その数を如何に減らすかが課題である。

3. 評価尺度

3.1 面積利用効率の尺度

一般に、LSIレイアウト設計の質は、集積密度で表現される。集積密度は、単位面積に何個の素子が入っているかを表している。しかし、この値は、同一の半導体プロセスであれば設計の良さを表しているが、異なる半導体プロセスにおいては、プロセスの良さを表す意味の方が強い表現になっている。従って、異なる半導体プロセスにたいして、集積密度は設計の質を表すよい尺度とはいえない。

例えば、同一の装置を実現する2つのLSI、AとBがあり、各々は配線格子間隔が $2\mu\text{m}$ 及び $4\mu\text{m}$ ルールで設計されていたとする。しかもチップ寸法は同一であった場合について考えてみる。この場合、集積密度は、同じ値になるが明らかにBの方が優れた設計と言える。

この矛盾は、レイアウト設計が、設計基準、特に配線格子間隔に支配されていることを見落としていることに基因すると考えられる。従って、面積を表現するために、単に長さを用いることなく、配線格子間隔で正規化した値を用いれば、一般的に設計の質を表現できると考えられる。

そこで我々は、新たに設計の評価尺度として1トランジスタ当たりの正規化面積(NA)を定義した。

$$NA = (X * Y) / \text{全素子数}$$

$$\text{ここに、} X = XL / XP, Y = YL / YP,$$

XL, YL: チップ両辺の長さ、

XP, YP: 配線格子間隔

図2に、NAの定義を図で説明したものを示す。

例えば、チップ寸法が $10\text{mm} * 10\text{mm}$ で、10,000トランジスタが集積されており、配線格子間隔が $10\mu\text{m}$ であったとすると、 $X = Y = 1000$ となりNAは100となる。

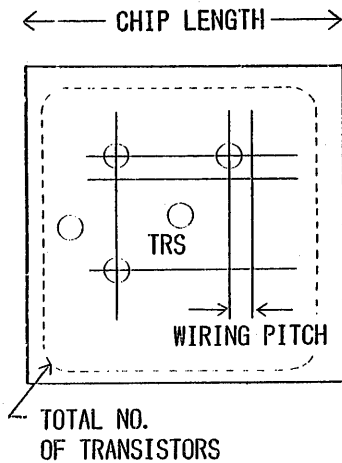
図3は、異なるプロセスによるCMOSおよびNMOSの人手設計による集積度とNAの関係を示したものである。RAM、ROMは、集積度が増加しても、NAの値はほぼ一定である。またCMOSとNMOSの論理LSIでは、プロセスが異なるにもかかわらずNAはほぼ同じ値となっている。

同図は、セル領域、ブロック領域、およびチップと3つの領域についてのNAを示しているが、集積度が増すに連れてNAも増加している。これは配線が複雑になっていることを示しているといえる。具体的には、セル領域で $NA = 5 \sim 12$ 、ブロック領域で $NA = 14 \sim 20$ 、チップ領域では $NA = 25 \sim 35$ である。ゲート・アレイでは、当然のことながら面積効率が悪く $NA = 40 \sim 50$ となっている。

3.2 配置の評価関数

配置手法における評価関数は、仮想配線長の総和とするのが一般的である。評価関数として選ばれた仮想配線長の総和が、最小となる配置が良い配置であると考えられる。

$$NA = \frac{\left(\frac{\text{CHIP LENGTH}}{\text{WIRING PITCH}} \right)^2}{\text{TOTAL NO. OF TRANSISTORS}}$$



EXAMPLE	CASE A	CASE B	COMMENT
CHIP LENGTH	10 mm	10 mm	SAME
NO. OF TRS	100K TRS	100K TRS	SAME
NO. OF TRS PER UNIT SQUARE	1000TRS/mm ²	1000TRS/mm ²	SAME
WIRING PITCH	5 μm	2.5 μm	
NA	40	160	A IS MORE DENSE THAN B

FIG. 2 THE DEFINITION OF NORMALIZED AREA

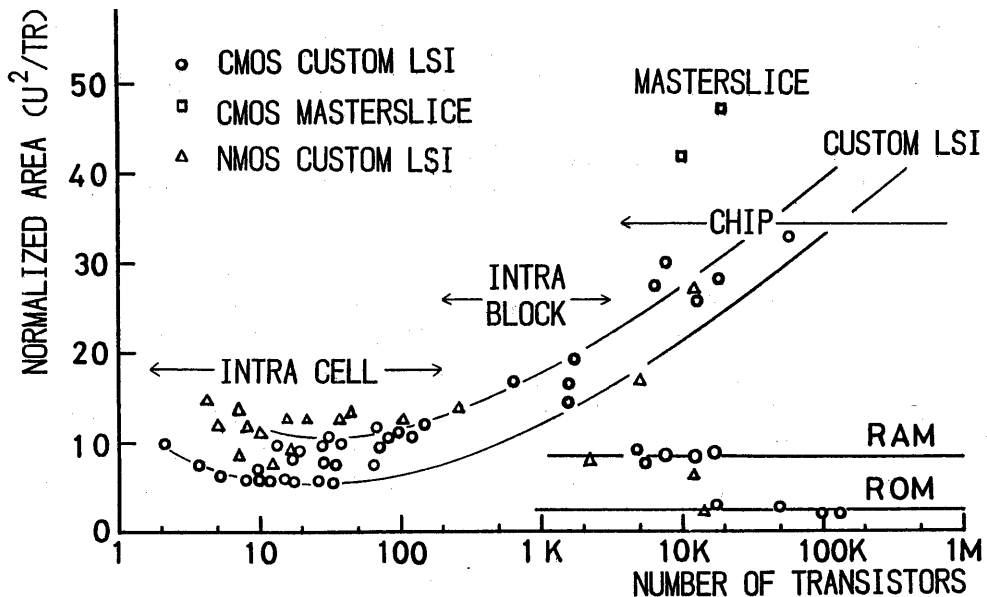


FIG. 3 THE RELATION BETWEEN COMPLEXITY AND NORMALIZED AREA

しかし、仮想配線長の計算方法には、幾つかの考え方があり、これまで図4のA～Dに示す4種類〔4〕が知られている。どの計算方法を選ぶかは、対象物の性質に依存する。A～Dは、最初、配置可能な位置が固定されたプリント板あるいはゲート・アレイで採用された計算方法である。それがLSIにもそのまま利用されていることが多い。

しかし、LSI、特にカスタムLSIの特徴は、配線領域の面積が可変であり、100%の配線を達成するために必要な配線領域を確保し、その面積を最小とすることを目標としていることにある。

この目標に、最も適した評価関数として、我々は幹線長に注目した。すなわち図4Eである。

図1に示したブロック・モデルを見れば明らかなようにブロック面積は、セル面積と配線領域に分けられる。セル面積は、固定であるから、可変なのは配線領域のみである。従って、ブロック面積を最小化するためには、セル列長を揃えることと、配線領域のトラック数を少なくすることに努力が払われる。〔5〕 図1で支線長（Branch）は、面積に影響を与えないことが明らかであるから、幹線長の総和を最小化することが、トラック数最小化に効果があると考えている。これを実験的に確認して6章で述べる。

4 配置手法

ここでは、評価に用いた3つの基本配置手法について述べる。

4.1 ネット・バランス法

この手法は、配線ネットを左右にバランスさせることが、幹線長を短くする配置に近づくという考えに基づいて、繰り返し配置改善を行うものである。この考えは、1次元的なセル列に対しても、また2次元的なセル列に対しても適用可能である。

図5は、ネット・バランス法と従来の重心法〔5〕を比較したものである。重心法の場合は、評価関数を素子Xとそれに接続する他の素子との仮想配線長の総和としていた。そうすると図5（C）のようにXの配置されるべき位置はBとCの間となる。その理由は、重心法の評価関数では、図5（B）に示すように同一配線ネットを1～1のごとく、3本の幹線として多重に計算されているからである。結果としては、図5（D）のごとく2トラック必要になっている。この弊害を除く為に考えたものが、ネット・バランス法で、評価関数として、幹線長に着目して配線ネット1本にたいして幹線1本を対応させるという考え方である。すなわち、素子Xに着目したとき、その素子に接続する幹線を左右にバランスさせようというものである。図5の例では、1トラックでよいことになる。このことをさらに具体的に説明したものが図6である。Xの置かれた位置（横軸）と幹線長和（縦軸）との関係を示したものである。Xのネットが左右にバランスする位置で、幹線長和は最小となっている。この操作をすべての素子にたいして順次行う。

4.2 ジグザグ2次元配置

これは、1列のセル列を2次元化する方法である。図7は、単純ジグザグと多

重ジグザグの考え方を示している。単純ジグザグでは、1回折れ曲がりのセル列が長くなる為、折り曲げた結果、列間対向セルについてみると、接続関係の弱いセルが近くに配置されるというまずいことが起こる。多重ジグザグは、この欠点を補うもので、上下、左右ともに接続関係の強いセルが近くに置かれ、良い結果が期待される。この比較結果は、6章で述べる。

4.3 2次元クラスタリング配置

1次元クラスタリング配置は、クラスタリングとトップダウン・リニア配置で構成される。〔6〕1次元クラスタリングを適用した後に、単純ジグザグを行うと、接続関係の強い素子は、X方向に並ぶことになる。しかし、幹線長に着目したときは、これでは不十分で、2次元的に配置することがのぞまれる。その解決策として、その解決策として、つぎに可変長セルを取り扱う2次元クラスタリング配置手法について述べる。(図8参照)

ステップ 1：クラスタリング

論理的接続関係の強さにより、異なる大きさのセルをほぼ同じ大きさのクラスタに纏める。基本クラスタ数は、セル列段数の整数倍とする。

ステップ 2：基本クラスタの配置

トップダウン分割により、基本クラスタの相対配置を決定する。

この手続きは、2段階に分けられる。最初は、基本クラスタ間の接続度によりバイナリー木を作成する。次に、クラスタ・サイズを考慮しつつバイナリー木の分解を繰り返して基本クラスタの配置を決定する。

ステップ 3：セル配置

基本クラスタ内のセル配置は、1次元クラスタリング配置手法により決定される。

4.4 配置手順

配置手順は、4つのステップから成る。すなわち、1次元初期配置、1次元配置改善、2次元初期配置、それに2次元配置改善である。その各ステップで先に述べた基本配置手法が適用できる。なかでも有効と思われる5つの組み合わせを表1に示す。

たとえば、手順Aは、1次元初期配置は簡単に決め、1次元ネット・バランス法による改善を行い、次に単純ジグザグで2次元化し、最後に2次元ネット・バランス法で改善を行っている。手順Bは、1次元初期配置に1次元クラスタリング配置を適用し、以降はAと同様である。手順Eは、1次元配置を行わず、先に述べた2次元クラスタリング配置と2次元ネット・バランス法の改善を行っている。

5. 配線手順

配置手順の性能評価のために用いた配線手順を簡単に述べる。

ステップ 1：ピン割り当て

図1に示したようにセルは、上下両面に端子を持っている。ここでは、配線領域の幹線密度を下げるように端子選択を行う。

ステップ 2：層割り当て

縦方向配線(支線)は、ポリシリコン層と金属層を選択して使用できる。

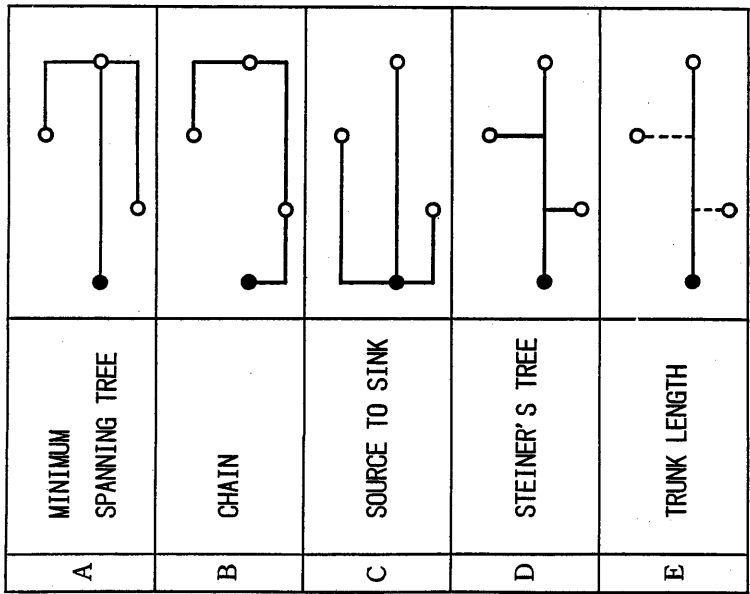


FIG. 4 EVALUATION FUNCTION FOR PLACEMENT
TABLE 1 PLACEMENT PROCEDURE

	A	B	C	D	E
1-DIMENSIONAL PLACEMENT					
NET BALANCE	○		○		
CLUSTERING		○		○	
ZIGZAG PLACEMENT					
SIMPLE-ZIGZAG	○	○			
MULTI-ZIGZAG			○	○	
2-DIMENSIONAL PLACEMENT					
CLUSTERING					○
NET BALANCE	○	○	○	○	○

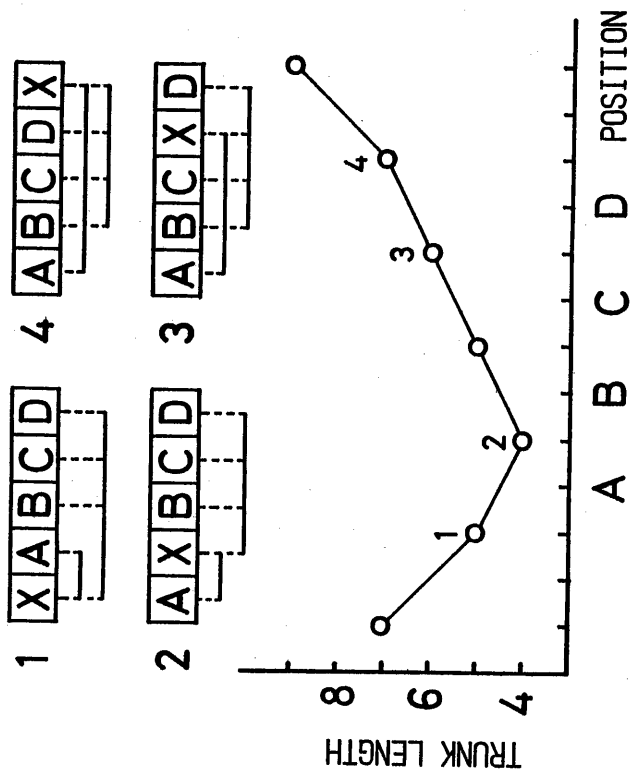


FIG. 6 EXPLANATION OF NET BALANCE PROCEDURE

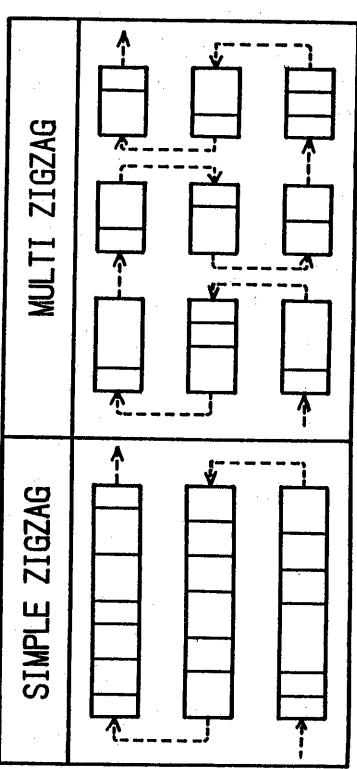


FIG. 7 ZIGZAG TWO-DIMENSIONAL PLACEMENT METHOD

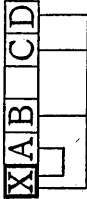
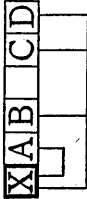
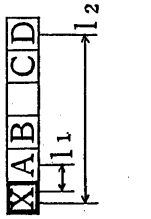
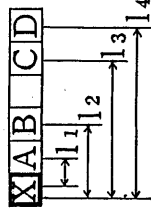
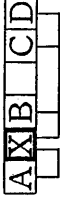
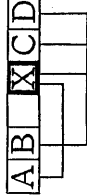
	NET BALANCE METHOD	RELAXATION METHOD
A INITIAL PLACEMENT		
B EVALUATION FUNCTION	 $\text{MIN } \sum l_i$	 $\text{MIN } \sum l_i$
C RESULTS OF IMPROVEMENT		
D NO. OF TRACKS	1	2

FIG. 5 NET BALANCE PLACEMENT METHOD

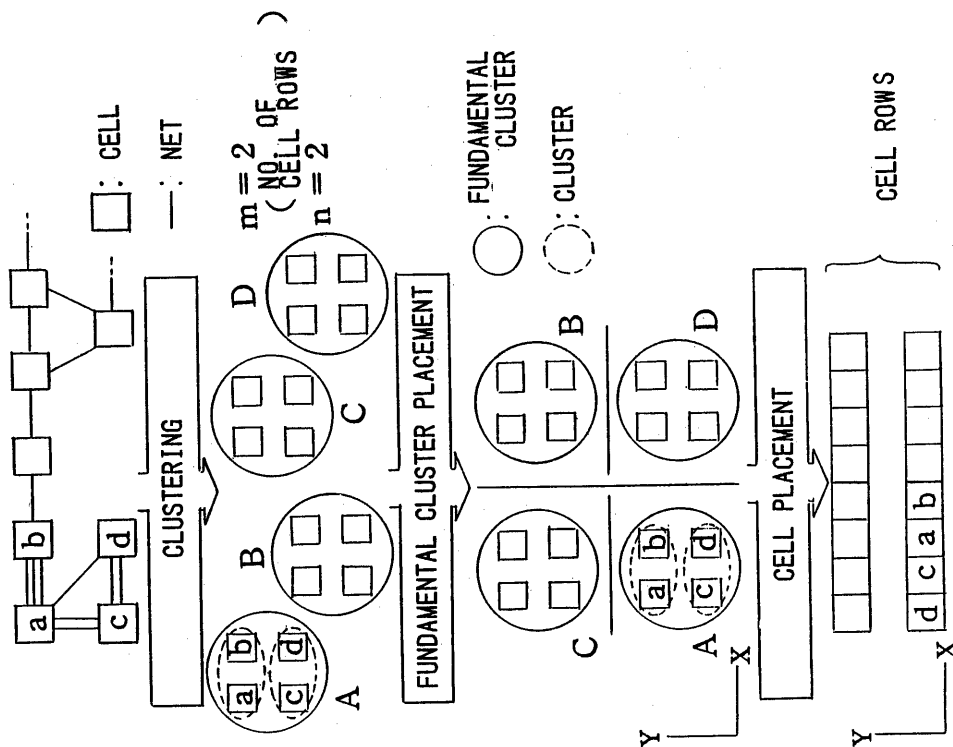


FIG. 8 TWO-DIMENSIONAL CLUSTERING METHOD

ここでは、信号の伝播時間などを考慮しつつ層選択を決める。

ステップ 3 : 列通過配線割り当て

セル列を乗り越える配線については、通過場所を割り当てる。

ステップ 4 : チャンネル内配線

幹線分割〔7〕を含むチャンネル割り当て法により配線し、未配線が発生したときは、迷路法〔8〕により配線する。

6 . 配置評価結果

3つの基本手続きを組み合わせた5つの配置手順の性能評価結果について述べる。

6 . 1 幹線長とブロック面積の関係

図9は、異なる集積度の論理回路について、ブロック面積と幹線長との関係をグラフにしたものである。同図で、幹線長及びブロック面積は、配線格子間隔で正規化した値である。この実験において、配置手順は、表1(E)を用いているが、ほぼ直線となっており、比例関係にあることが読み取れる。従って、幹線長和がブロック面積を支配していることが実験的に確認されたと言える。このことから、標準セル方式LSIの自動配置においては幹線長和最小が実用的によい目的関数であると言える。

6 . 2 配置手順の比較評価

配置手順の良さを評価するため、人手設計の結果のある約500ゲートのブロック6種と、人手設計の結果のない5,000ゲート・ブロック1種を使用した。また設計の質を表す指標としては、2章で定義した正規化面積NAを用いた。まず、500ゲートレベルのデータで、人手設計の結果と比較プロットしたのが図10である。手順A~Cは、人手より劣り、手順D, Eは人手より5.5~65%良い結果が得られた。

最良の結果は、手順Eで得られ、人手設計の $NA = 14.9$ にたいし、 $NA = 13.9$ であった。この値は、図3に示した人手設計による大型セルの値にちかいものである。これにより標準セル方式による自動配置配線の性能も人手設計に近づいてきたと言える。

図11は、5,000ゲート・ブロックを例題にした時のNA値を示している。傾向は、図10の場合とほぼ同様であり、手順Eで最良の結果が得られている。手順EのNA値は、手順AのNA値よりも約30%小さい値となっている。

また、同図には幹線長和と総配線長和の値も示しているが、正規化面積と同じ傾向を示しているのは幹線長和であり、総配線長和についてみると手順Cで明らかに異なった値となっている。このことから、幹線長和最小がブロック面積最小化に寄与することが確認されたといえる。

表1に示した5種の配置手順の計算機使用時間を図12に示す。500ゲートで10秒以下、5,000ゲートで600秒以下と十分実用的な性能を得ている。

6 . 3 VLSI チップの設計例

われわれのシステムでは、2つの設計アプローチが選択できる。第1は、階層

的設計で、カスタムVLSIなどの設計に使用される。第2は、非階層的設計で、マスタスライス〔9〕などの設計に使用される。

これまでに上記配置手法を組み込んだシステムで、1～2万ゲートのVLSIを階層的設計により、また3～6千ゲートのマスタスライスLSIを非階層的設計により、設計した経験がある。

6千ゲートのマスタスライスLSIについては、数十種の設計経験があり、すべて100%の配線率を達成しており、そのときの計算機使用時間は、10分以下であった。

7. 結 言

VLSIレイアウト設計の質を表す指標として、1トランジスタ当たりの正規化面積(NA)を定義し、製造プロセスの異なるVLSIについて定量的に設計の質を比較評価できる見通しを得た。

また、標準セル方式による自動配置手法の目的関数として、幹線長和、すなわちセル列方向のみの幹線長和を採用することを提案し、実験的にこの幹線長和最小がブロック面積最小化を目標とするときの目的関数として適していることを確かめた。

ついで、標準セル方式に適した3つの配置手法を述べ、これらを組み合わせた5つの配置手順の質の良さを500ゲートおよび5,000ゲートのブロックを例題に比較評価を行った。その結果、2次元クラスタリング配置手法が、最も面積利用効率が高い、すなわちNA値が小さいことがわかった。500ゲート・ブロックについては、6種平均で人手よりブロック面積を6.5%縮めることができた。

ここに述べた配置手法は、自動レイアウトシステムに組み込まれ、1～2万ゲートのカスタムVLSIおよび3～6千ゲートのマスタスライスLSIの設計に適用され、これまでに数十種の設計経験があり実用になることを確認している。

8. 参考文献

- (1) H. Terai, et. al.; Automatic Placement and Routing Program for Logic VLSI Design based on Hierarchical Layout Method, Proc. of Conf. ICCD ('82. 9).
- (2) Y. Ohno, et. al.; Integrated Design Automation System for Custom and Gate Array VLSI Design, Proc. of Conf. ICCD ('82. 9).
- (3) T. Adachi, et. al.; Hierarchical Top-down Layout Method for VLSI Chip, Proc. of 19th DA Conf. ('82. 6).
- (4) M. Hanan, et. al.; Placement Techniques, Chap. 5, p213-282, Design Automation of Digital Systems, Prentice-Hall ('72).
- (5) T. Kozawa, et. al.; Block and Track Method for Automated Layout Generation of MOS-LSI Arrays, Digst. of ISSCC, p62 ('72. 2).
- (6) D. M. Schuler, et. al.; Clustering and Linear Placement, Proc. of 9th DA Workshop ('72. 6).
- (7) T. Kozawa, et. al.; Advanced LILAC: An Automated Layout Generation System for MOSLSIs, Proc. of 11th DA Workshop ('74. 6).
- (8) R. Kamikawai, et. al.; Placement and Routing Program for Masterslice LSIs, Proc. of 13th DA Conf. ('74. 6).
- (9) T. Itoh, et. al.; A 6000 Gate CMOS Gate Array, Proc. of ISSCC ('82. 2).

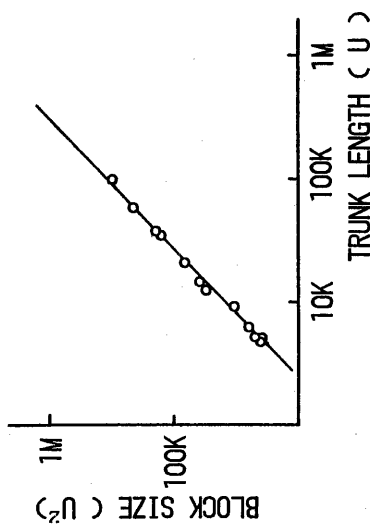


FIG. 9 LINEAR RELATION BETWEEN TRUNK LENGTH AND BLOCK SIZE

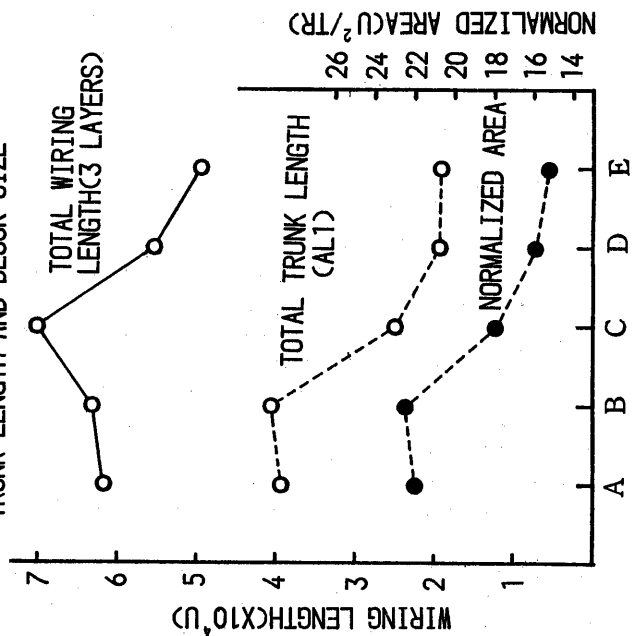


FIG. 11 EXPERIMENTAL RESULT FOR 5000 GATE BLOCK

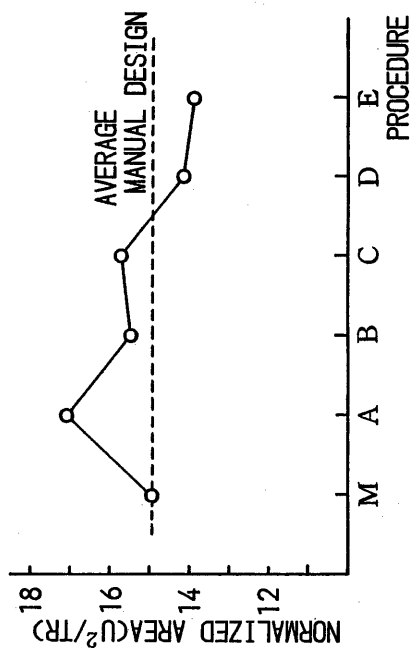


FIG. 10 COMPARISON OF PLACEMENT PROCEDURES FOR 500 GATE BLOCKS (AVERAGE FOR 6 BLOCKS)

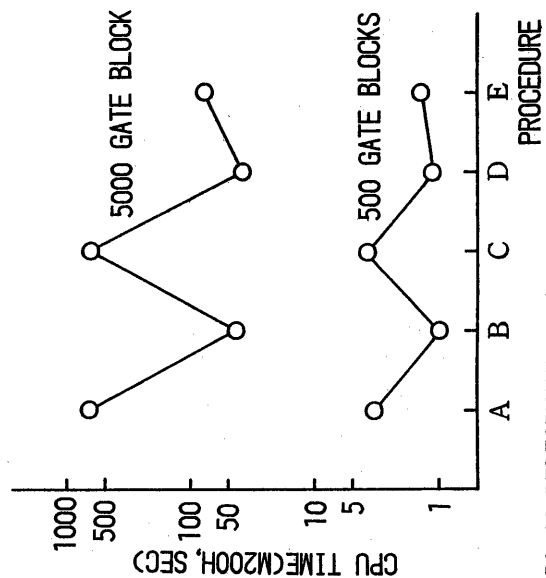


FIG. 12 PERFORMANCE OF PLACEMENT PROCEDURES