

大規模高密度レイアウトプログラム : ALPHA-II

北沢仁志 安達徹 上田和宏

(日本電信電話公社 厚木電気通信研究所)

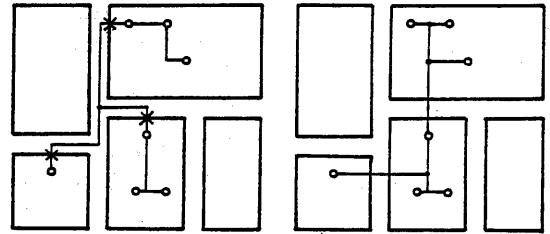
1. はじめに

VLSIの大規模化に対処するため、レイアウト設計においても階層的手法が広く用いられている。階層的レイアウト設計手法を、配線の方法により分類すると、

- a) ブロック内、ブロック間共にチャンネル配線法で結合[1][2],
 - b) ブロック内はチャンネル配線、ブロック間は線分探索法で結合[3],
 - c) 配置だけをブロック毎に行ない、配線はチャンネル配線法で一括して結合[4],
- の3種類に分けられる。

これらを比較すると、集積密度、100%配線の保証、自動化率の点において、20Kゲート以下のVLSIに対してはc)が最も良いと考えられる[4]。しかし更に大規模化が進み、50~100Kゲートの規模となると、多層配線、電源配線等の新たな問題が生じ、上記a)~c)の何れも、高密度なレイアウトを短時間で実現するためには不十分である。

本文では50Kゲート以上のVLSIの自動レイアウトに要求される諸点を整理し、実現可能な一つの方法を提案する。又、この方法によるレイアウトの実行例を示し、集積密度、処理



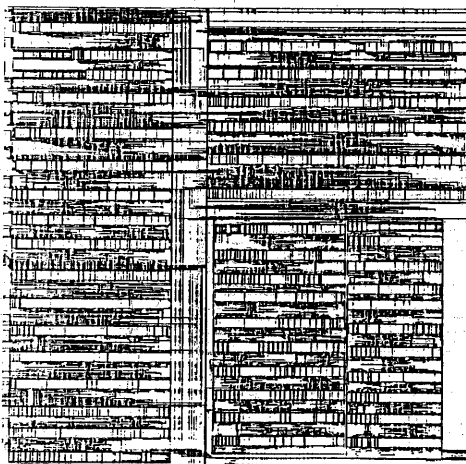
(a) ブロック毎に決定 (b) チップ全体で決定

図2 配線経路

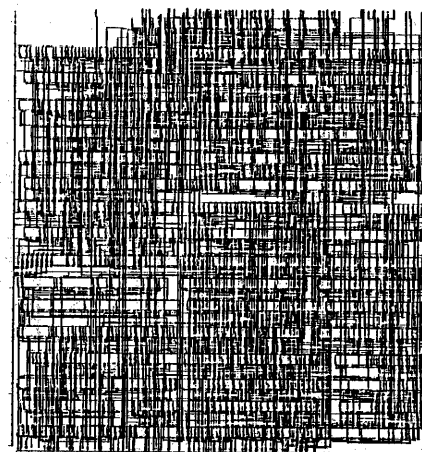
速度等について検討する。

2. 大規模高密度レイアウトのアルゴリズム

図1はa)及びc)の方法で実行した2Kゲート規模のレイアウト例である。一括配線により高い密度が得られるのは、図2のようにチップ全体を同時に考慮して配線経路が決定できるためである。しかし、一括配線を用いるには、図3のようにセル列を揃える必要があり、これによる面積増加は回路規模の増大につれて大きくなる。多数の実行結果より、一括配線でa)に比較し高い密度が得られるのは20Kゲート程度までであり、特に大きな効果が得られるの



ブロック間チャンネル配線



分割配置一括配線

図1 階層的レイアウトの比較

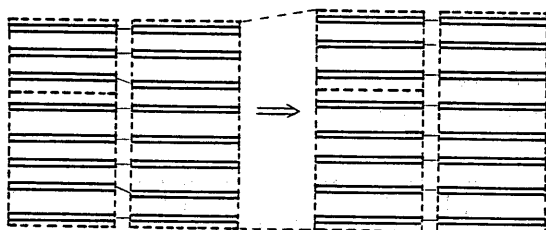


図3 セル列を揃えることによる損失

は3Kゲート前後であると考えられる。又、1ブロックのセル数は100~300が最適であった。

したがって50Kゲート級VLSIでは、3Kゲート程度のスーパーブロック（以下SBと略記する）を一括配線でレイアウトし、これらをチャンネル配線法又は線分探索法で結合する方法をとらなければならない。

ところで、大規模化に伴う質的な変化として下記の4点が挙げられる。

a) ROM、RAM、PLAの他ALU、乗算器など種々のマクロセルが多数使用される。

b) アルミ3層以上の多層配線が用いられる。この場合、配線間隔、スルーホール近接条件などのプロセス条件が種々に変化する。

c) 電源配線の量が増加すると共に複雑な形状となり、SB間配線はこれを避けて結合する必要がある。

d) パッド数が増加し、周辺及びチップ内部に種々の形状に並べられる可能性がある。

これらの諸点を考慮し、SB間結合方法としてのチャンネル配線法と線分探索法とを比較する

表1. チャンネル配線法と線分探索法との比較

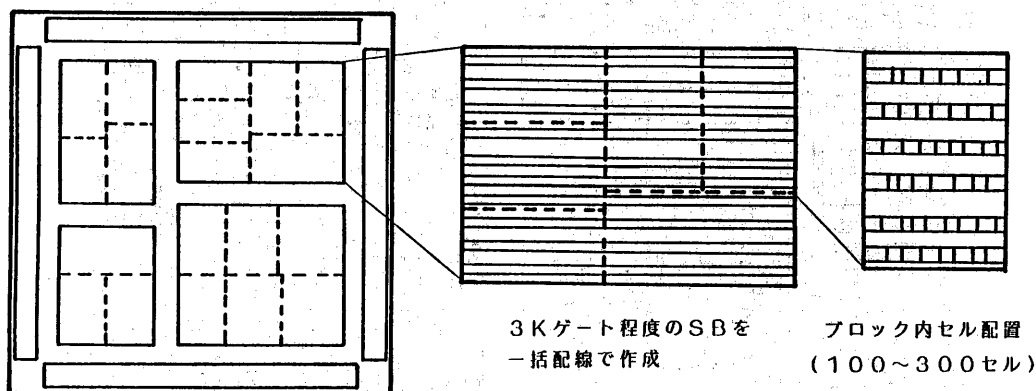
	機 能	チャンネル	線分探索
1.	100%配線の保証	○	×
2.	端子位置、SB形状に対する自由度	×	○
3.	マクロセル、SB上の未使用格子の利用	×	○
4.	プロセス条件への対応	△	○
5.	多層配線	△	○
6.	電源を避ける信号線配線	×	○
7.	SBの位置調節	△	△
8.	処理速度	○	×
9.	記憶容量	○	×

と表1のようになる。

多層配線に関しては、チャンネル配線法で3層以上を用いる方法が幾つか報告されているが〔5〕、配線間隔やスルーホール近接条件を可変とすることは困難である。又、マクロセル上を利用することはできない。一方、線分探索法では第1~2層、第2~3層、第3~4層、又は第1~2層、第3~4層のように2層ずつ繰り返し使用すれば配線層数は任意となる。又、マクロセル上を含めてすべての空きトラックが使用できる。

表より明らかのように、大規模化に伴う種々の質的变化を考慮した場合、SB間結合には線分探索法の方が適している。又、図2で説明したように、グローバルな配線経路が得られることから、スイッチボックス問題〔6〕が避けられることから、チップを分割することなく全体を一度に配線する方が高い密度が期待できる。

以上より、50Kゲート以上のVLSIレイアウト手法として図4の方法が考えられる。



SB、パッド間を線分探索法で結合

図4 大規模高密度レイアウト手法

線分探索法の問題点は100%配線が保証できないこと、処理速度が遅いこと及び大きな記憶容量を必要とすることであるが、処理速度、記憶容量については近年の大型計算機の進歩により充分実用の範囲内にあると考えられる。100%配線については特殊な処理を用いて繰り返しにより解決することができる。第3、4章において線分探索法の結合力を強化し、又、100%配線を可能とする2つの方法“予測線分探索法”及び“仮想線分”処理について述べる。尚、任意に分散した点の間を結合するもう一つの方法として迷路法があるが、これは多大な処理時間を要し、汎用計算機上での実用は困難であるため除外した。

3. 予測線分探索法

本章では“先読み”により結線能力を増強し、又、目標点に最も接近しやすい経路近傍だけを探索することにより高速化を図った“予測線分探索法”を提案する。本手法では配線層は2層とし、水平方向、垂直方向で別の層を用いる。以下に例を挙げてアルゴリズムを説明する。

先読み処理 図5の始点Sから目標点Tへの探索を考える。Sから下方に向かった線分がA点で折曲げられて到達できるTに最も近い点はaである。これをAからの“期待位置”と呼ぶ。同様にして下方及び上方に探索を進めたときの期待位置を求めると、折曲げ点{A, B, C, D}に対して期待位置{a, b, c, d}が求められる。水平方向の探索については折曲げ点{E, F, G, H,}に対して期待位置{e, f, g, h,}が求められる。この中で最もTに近い点はcであり、これより経路SCを決定する。次にCから水平方向の探索を行ない、Tに最も近い期待位置iより、経路CIを定める。尚、Iは前回の期待位置cとは異なっている。同様に探索を続けると図5の経路SC I J K L Tが求められる。

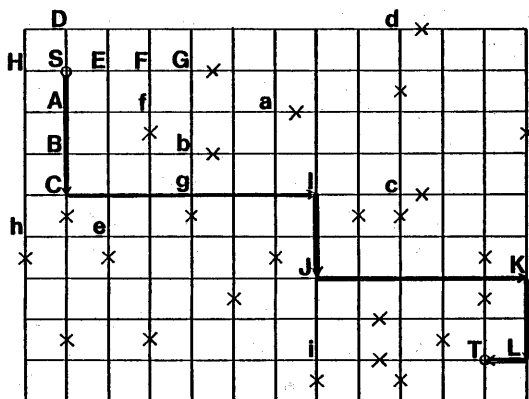


図5 予測線分探索法 (×印は通過禁止)

f, g, h}が求められる。この中で最もTに近い点はcであり、これより経路SCを決定する。次にCから水平方向の探索を行ない、Tに最も近い期待位置iより、経路CIを定める。尚、Iは前回の期待位置cとは異なっている。同様に探索を続けると図5の経路SC I J K L Tが求められる。

迂回処理 上記の探索方法は高速であるが、S-T間に幅の広い障害物が存在すると探索に失敗する。これを回避する方法を図6に示す。Sから探索を進めたときB点において、現在の位置BよりTに近い期待位置を得ることができなくなる。この場合は一つ前の点Aに戻り、B点で減少させることができなかったY方向の距離だけを評価関数として期待位置を捜す。これより期待位置cを求めることができ経路SACDETが得られる。

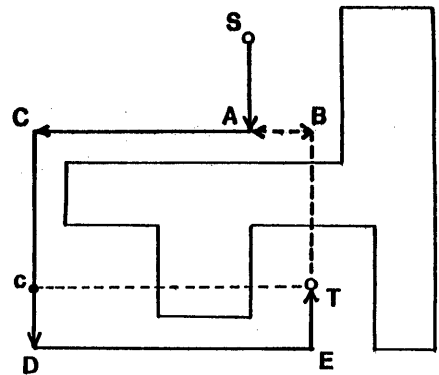


図6 幅の広い障害物の迂回

サブ・ターゲット処理 予測線分探索法では先読みを利用し、指定した点(サブ・ターゲット)の近傍を通るような配線経路を求めることができる。図7はSからTへの探索においてST1及びST2をサブ・ターゲットに指定した例である。A点で折曲げたとき、ST1から一定距離以内の点aが期待位置として得られる。したがって経路SAを決定した後、直ちにST2に向かって探索を進める。これにより経路SABCDTが得られる。この方法では、サブ・ターゲットが正確に最適経路上に無くても、近傍を通過する最適経路を求めることができる。サブ・ターゲット処理はネットの局在の緩和、SB間の距離が変化したときの配線経路変化の防止、及び次章で述べる100%配線の保証に

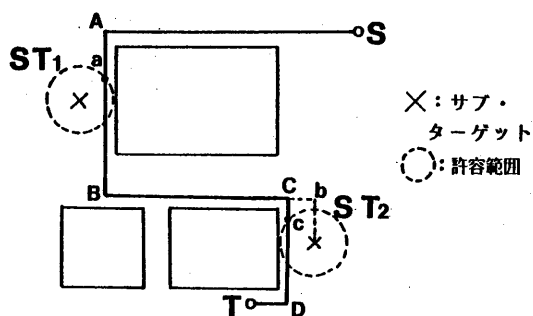


図7 サブ・ターゲット処理

用いることができる。

線分探索法は始点から目標点に向かって探索を行なうが、図8に示すように、SB内には同一ネットの既接続部分が多数存在する。本方法で

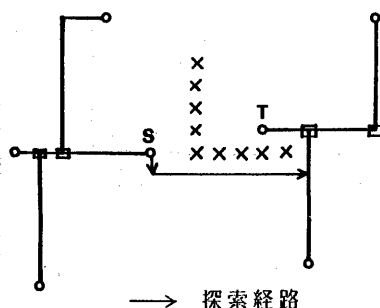


図8 既接続線分の途中への結合

は既接続部分を認識し、目標点に到達しなくても、既接続部分の一カ所と交叉した時点で結合が完了したものと見做している。このように、目標を点だけでなく線として扱うことにより無駄な迂回が避けられる他、結合に失敗する率も減少できる。

上記機能を備えた予測線分探索法は、スルーホール数の制限のもとで、実際的な問題に対し迷路法と同程度の結合力を示した。

4. 仮想線分の利用

線分探索法は任意に分散した点を結合できるという点で極めて有力な配線方法であるが、最大の欠点は100%配線が保証できないことにある。100%配線の実現は結合力の強化だけでは不可能である。例えば、チャンネル密度より狭い幅に固定されたチャンネルがあったら配線は

不可能である。チャンネル配線法で100%配線が保証されるのは、チャンネル幅を任意に変えることができるためである。

線分探索法でも配線途中でチャンネル幅を増加し、100%配線を保証することは可能である。しかしブロックのシフトが既に接続済のネットに影響を与え、不必要にチャンネル幅を増加してしまう。例えば図9では $g-g'$ 間の接続のためCH2の幅を1増加させるとネット e, f がCH1で折曲るためCH1の幅も1増加させなければならない。もし、CH2の幅が初めから2であれば、ネット e, f はCH1を垂直に通過し、CH1の幅は1でよい。

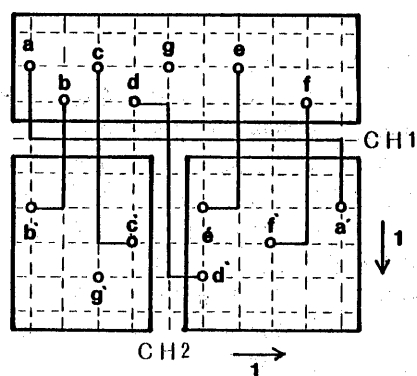


図9 配線途中でのチャンネル幅調節

本章では、仮想線分 (Virtual Line) を利用し、実際にブロックをシフトすることなく配線を通していき、同時にチャンネル必要幅も計算する方法を示す。この方法により繰り返し処理で100%配線が実現できる。

今、図10のようにSB及びパッドが配置されたチップを考える。SB1, SB2はマクロセルであり端子は周辺に出ている。又、上面は通過禁止としている。SB3~SB6は一括配線で作られたSBであり、未使用トラックを利用することができる。又、端子は内部に分散している。

各チャンネルの中心付近に一本の仮想線分を置く。仮想線分上は通常は通過禁止としておくが、経路探索に失敗した場合は通過可能として再度探索を行なう。このとき仮想線分上は何回でも通過できる。又、仮想線分上を重複して通過し

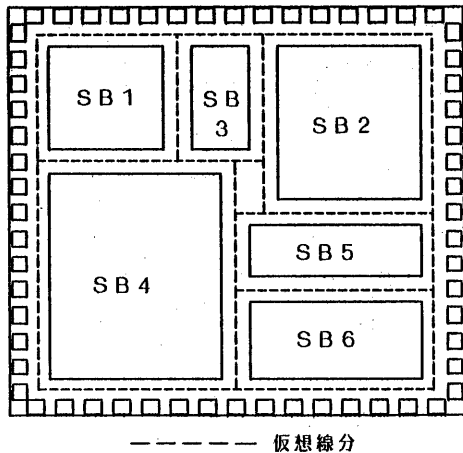


図10 仮想線分処理

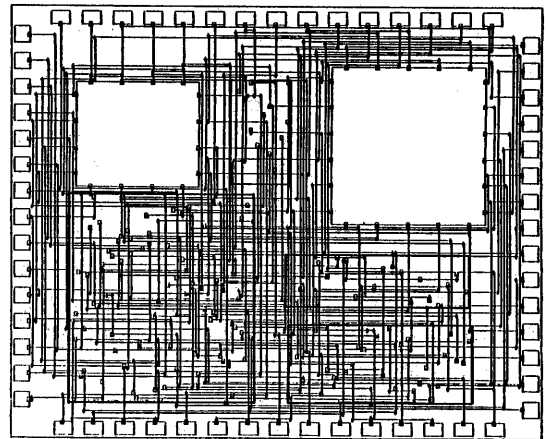


図12 SB間配線

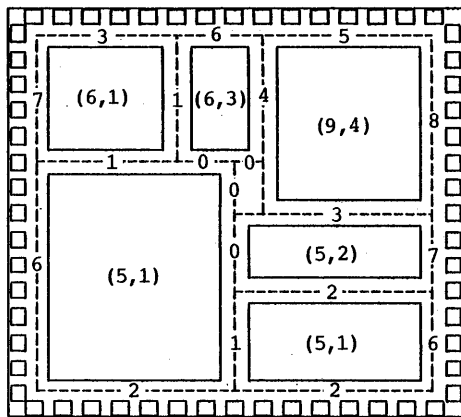


図11 仮想線分密度及びブロックシフト量

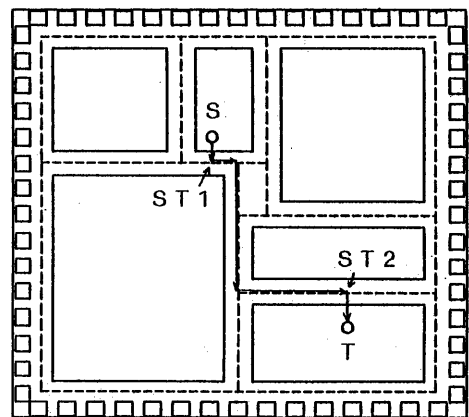


図13 仮想線分上のサブ・ターゲット

たネットを、重複なく通すに必要なトラック数（以下これを“仮想線分密度”と呼ぶ）を数える。

全ネットの配線後、仮想線分に、仮想線分密度に応じた幅を与えれば必要なチャネル幅が得られる。全ての仮想線分密度が1以下になれば配線が完了する。SBの相対位置が変化しネット経路が変わること、及び仮想線分の交点の必要幅予測が厳密でないことから、100%配線が得られるまでには3～4回の再試行が必要である。尚、仮想線分密度が0であれば、その仮想線分は取除いても良い。

図1.1に1回目の線分探索における、仮想線分密度を示す。これにより、図中の（ ）内の

値だけSBをシフトし再配線する。2回目の配線では仮想線分密度2の所が4ヵ所あった。図12は3回目の配線で100%配線が得られたものである。

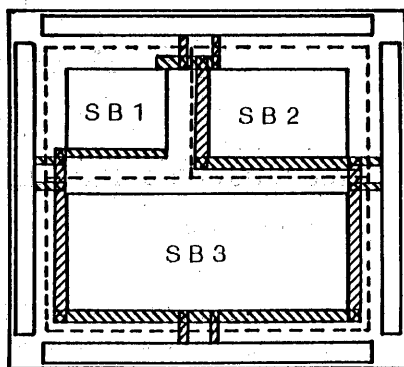
仮想線分上を通過可能として再探索を行なうときは、図13のように、S及びTに最も近い仮想線分上にサブ・ターゲットをおく。ST1-ST2間は必ず結合可能であり、S-ST1、T-ST2間は端子がSB周辺まで引出されていれば必ず結合できる。端子がSB内に残されていればサブ・ターゲットまでの結合に失敗した場合は、その端子を周辺まで引出すようにSBを作り直す。この方法により100%配線が保証される。

5. 電源及び周辺処理

電源配線の方法としては1層で全配線を行なう方法〔7〕, 信号線と同様に方向で分けて2層を用いる方法などがある。ALPHA-IIではアルミ配線層の厚さ、信号線の結合を妨害しないことなどを考え、主として上位2層を用いている。電源線の位置及び幅はインタラクティブな支援プログラムを用いグラフィック端末から入力する。このプログラムはSBの配置、仮想線分の自動挿入などの機能を持ち、仮想線分密度からSB位置、電源線の長さを自動調節することも可能である。

周辺回路は個別に、又は同一辺のものを一まとめにしSBとして扱う。SB配置での扱い方により周辺に置くことも内部に置くこともできる。但し、接続のための配線には内部の接続と同様な層、方向、及びピッチの制約を受ける。

図14に電源を含むSB配置の例を示す。仮想線分は任意の幅に広げられる可能性があり、これに伴って電源線も矛盾なく変化しなければならない。このためには電源線と仮想線分との交線は電源線の長さ方向と垂直でなければならない。

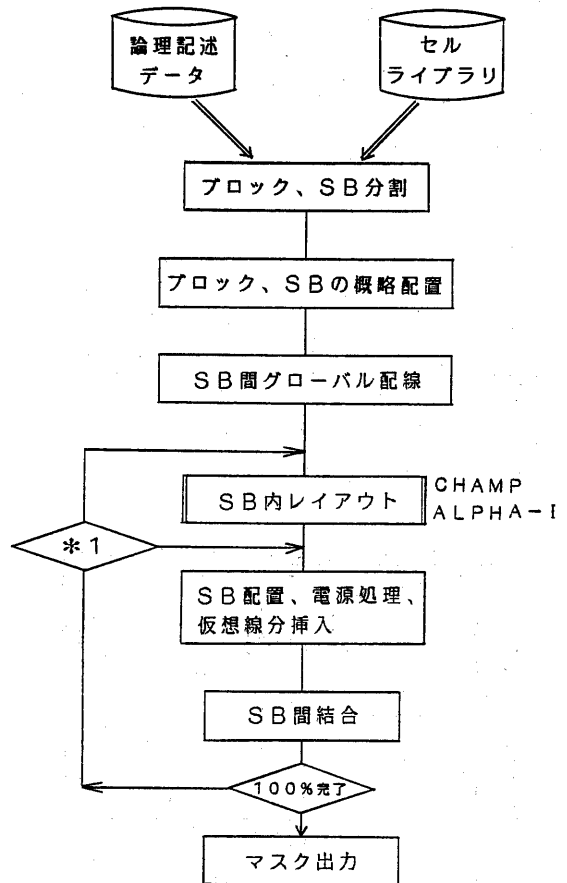


縦方向電源線
 横方向電源線
 仮想線分

図14 電源配線と仮想線分との関係

6. ALPHA-IIシステムの構成

図15にALPHA-IIの流れを示す。ブロック、SBのグローバル配置では、ブロックの面積予測値〔8〕を考慮し配置を決める。SB間グローバル配線ではSB間ネットの経路からSBの最適端子方向を定める。これに従って



*1: サブターゲットへの接続は100%完了か?

図15 ALPHA-IIの処理の流れ

SB内部をCHAMP〔9〕、ALPHA-Iでレイアウトする。

7. 実行例

図16は16bit CPU（約5Kゲート、13ブロック+1ROM+2RAM）をALPHA-Iでレイアウトした結果である。同じ回路を2個のSB又は16個のSB（1ブロックを1SBとして扱う）に分割しアルミ1, 2層及び2, 3層で配線したときの、面積及びALPHA-Iと比較した面積比を表2に示す。又、表中の1, 3を図17, 18に示す。

配線層はアルミ2層の場合は第1層を横方向、第2層を縦方向に、アルミ3層の場合は第2層

表2. ALPHA-IIのレイアウト結果

	配線層数	SB数	面積	面積比
1	Al 1,2	16	33.1(mm ²)	99.1 (%)
2	Al 1,2	2	31.0	92.9
3	Al 1,2,3	16	26.3	78.9
4	Al 1,2,3	2	30.8	92.1

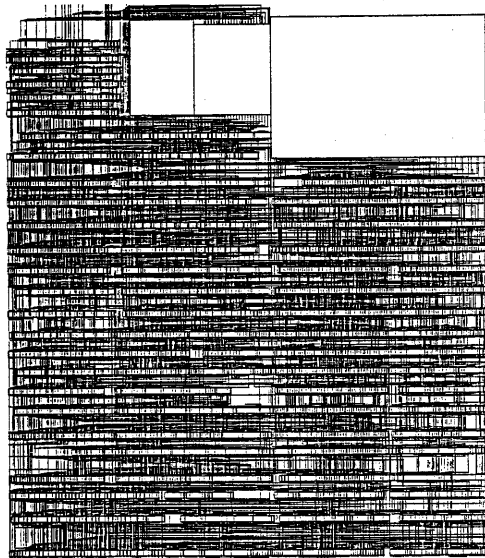


図16 ALPHA-Iによるレイアウト

16 bit CPU 33.4mm²

を縦方向、第3層を横方向に使用した。第1、2層はSB内でも既に使用されていて、未使用部分を利用した。第3層はSB内では未使用であり全面が使用できる。第3層目の配線間隔は第1層目の2倍とした。

配線層がアルミ2層だけの場合は図4に示した比較的大きなSBを用いる方が良い。SB数が多いと線分探索法により処理されるネット量が多くなり高い密度は得られない。

アルミ3層配線の場合は、図4と異なり、SB数が多い方が集積密度が向上した。これはSB数が少ないとSB間の配線量が少なく、アルミ第3層がほとんど使用されないためである。3層配線の場合の最適SB数は、SB間配線が、

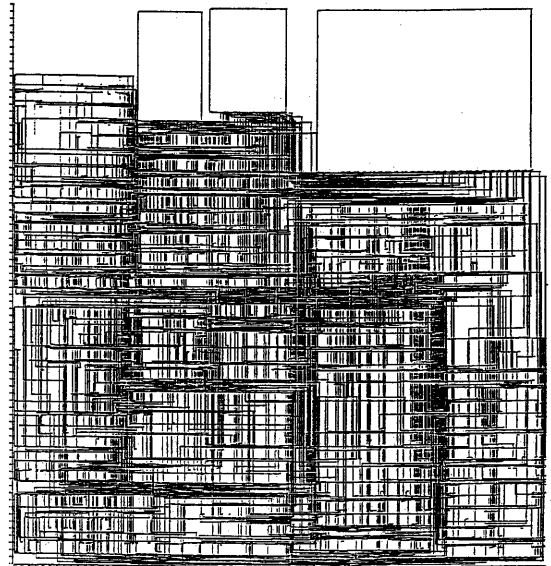


図17 ALPHA-II、Al 2層、16SB

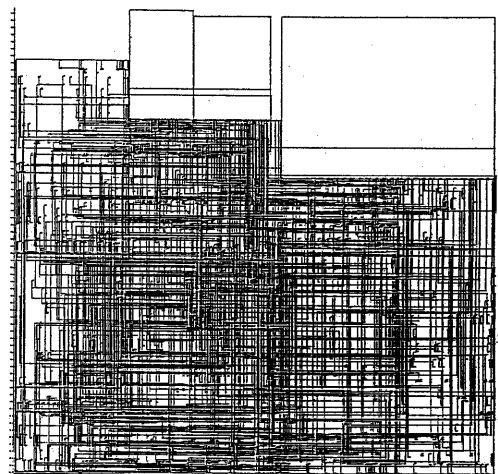


図18 ALPHA-II、Al 3層、16SB

仮想線分上を丁度1本通過する程度の値であると考えられる。しかし、プロセス制約が変化し第3層目の配線間隔が第1層と同程度まで縮められた場合、第3層を有効に使うにはSB数は極めて多数となり電源配線も困難になる。これを避けるためにはSB数は図4に示した程度に留め、SB内配線に3層チャンネル配線を利用し第3層の一部分を使用しておくことが必要であると考えられる。

ALPHA-IIによる高密度化の効果は規模が増大する程大きくなる。32bit CPU(約17ゲート+RAM)ではアルミ2層配線で約10%縮小、3層配線では約35%縮小(Tr密度では50%向上)が得られている。50Kゲート級では効果は更に大きくなると考えられる。

予測線分探索法によるSB間配線に要する時間Tはおよそ

$$T \propto X \text{ 方向 mesh 数} \times Y \text{ 方向 mesh 数} \\ \times \text{ 配線本数}$$

となり、図18(680×330mesh, 306net)では約4分(IBM3081)を要した。これにより推測すると50Kゲート規模(2000×1000mesh, 1000net)では約120分と考えられる。尚、配線が困難になると、逆方向からの探索、仮想線分を用いる探索など、1ネット当りの探索数が増すため、配線に要する時間は増大する。

8. むすび

50~100Kゲート級フルカスタムVLSIの高密度レイアウト手法を検討し、“予測線分探索法”によるスーパーブロック間配線を利用したALPHA-IIを提案した。本システムでは“仮想線分”の利用により100%配線を保証している。又、マクロセル上も利用する3層配線、インタラクティブな電源配線が可能である。ALPHA-IIによるアルミ3層配線では、32bit CPUにおいて30~40%チップ面積が縮小できた。

謝辞

最後に、日頃御指導御助言をいただく本研究所向井久和集積回路研究部長、須藤常太集積応用研究室長に感謝致します。又、プログラムの一部を作成していただいた原田育生氏、プログラムの試用を通じ貴重な御意見をいただいた丹生和男氏、本資料作成に協力していただいた服部静枝さんに感謝致します。

参考文献

- [1] B. T. Preas and C. W. Gwyn, "Method of hierarchical automatic layout of custom LSI circuit masks", 15th Design Automation

Conference, 1978, pp. 206-211.

- [2] K. Sato, T. Nagai, et al, "MIRAGE - A simple-model routing program for the hierarchical layout design of IC masks", 16th Design Automation Conference, 1979, pp. 297-304.
- [3] C. P. Hsu, "A new two-dimensional routing algorithm", 19th Design Automation Conference, 1982, pp. 46-50.
- [4] T. Adachi, H. Kitazawa, M. Nagatani, and T. Sudo, "Hierarchical top-down layout design method for VLSI chip", 19th Design Automation Conference, 1982, pp. 785-791.
- [5] W. Heyns, "The 1-2-3 routing algorithm or the single channel 2-step router on 3 interconnection layers", 19th Design Automation Conference, 1982, pp. 113-120.
- [6] J. Soukup, "Circuit layout", Proc. IEEE Vol. 69, No. 10, 1981, pp. 1281-1304.
- [7] Z. A. Syed and A. Gamal, "Single layer routing of power and ground networks in integrated circuits", J. Digital Systems, Vol. 6, No. 1, 1982.
- [8] 北沢、上田: "ポリセルレイアウトにおけるブロック形状の統計的予測," 情報処理学会第27回全国大会, 5L-8.
- [9] K. Ueda and H. Kitazawa, "Algorithm for VLSI chip floor plan", Electron. Lett., 1983 Vol. 19, No. 3.