

PATEGE: シリーズ・ゲートECL回路のためのDCパラメトリック・テスト生成システム

猿山 秀一

荻原 拓治

村井 真一

(三菱電機 情報電子研究所)

1. はじめに

LSIのテストには、次の3種類のテストがある。

- (1) 機能テスト: 被テスト回路の論理機能をテストする。
- (2) DCパラメトリック・テスト: VOL (出力low電圧)、VOH (出力high電圧)、IIL (入力low電流)、IIH (入力high電流)、ICC (電源電流) のような電圧及び電流を測る。
- (3) ACテスト: 信号の伝搬遅延時間を測る。

機能テストに対しては、LSSD (2) に代表されるようなテスト容易化設計法 (1) の導入により、自動テスト生成 (3) - (5) が実現でき、その効果が上がっている。LSSDは、遅延テストの自動生成にも有効である (6) が、通常は、遅延テスト・パターンは論理設計者が人手で作成している。

一方、DCパラメトリック・テストはデバイス・テクノロジーに対する依存度が高く、特にECL回路に対しては、他のデバイス・テクノロジーに対するよりも複雑なテストとなる。その理由を次に示す。

- i) VBB (基準電圧) テストが必要である。
- ii) IIL、IIHの値は回路構造、内部状態及び入力パターンに依存する。

従来、ECL回路のDCパラメトリック・テストは、人手によって作成されていた。しかしながら、DCテスト・シーケンスの作成は、上で述べた後述するように複雑であり、論理設計者にとって時間のかかる、また誤りを起こしやすい作業である。そこで、我々は、シリーズ・ゲートECL回路のためのDCパラメトリック・テスト自動生成システムPATEGEを開発した。

PATEGEは、次の2つの機能を持つ。

- (1) 被テスト回路の各外部入力端子に対して、入力電流 (IIL、IIH) 及び基準電圧 (VBB) テスト・パターンを自動生成し、その期

待値を計算する。

- (2) 被テスト回路の電源電流 (ICC) テスト・パターンを自動生成し、その期待値を計算する。

なお、出力電圧 (VOL、VOH) テストは、機能テスト・シーケンスからVOL、VOH測定可能な位置を求めることができるので、機能テスト・シーケンスの一部が、VOL、VOHテストに対しても適用される。

本報告では、PATEGEのテスト生成アルゴリズムと実行結果について述べる。

2. シリーズ・ゲートECL回路

ECL回路のシリーズ・ゲート構造とは、2つ以上のECLスイッチを直列に接続し、接続の方法によって種々のマクロ機能を実現する技術であり、高速・高集積化が可能であるという重要な利点を有する。

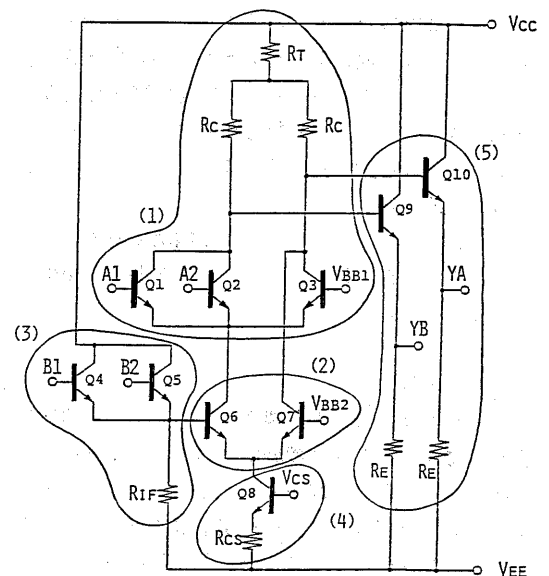


図1. ECL回路のシリーズ・ゲート構造

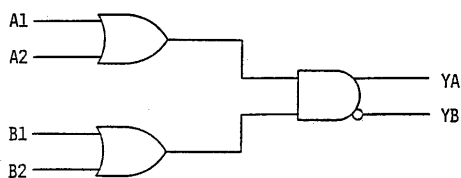


図2. ゲートによる等価回路

図1は、図2に示すマクロ機能をシリーズ・ゲート構造で実現した例であり、次の5つの部分から成る。

- (1) 1次レベル・カレント・スイッチ
- (2) 2次レベル・カレント・スイッチ
- (3) 2次レベル・入力エミッタ・フォロウ
- (4) カレント・ソース
- (5) 出力エミッタ・フォロウ

図1において、1次入力A1、A2のどちらかがhigh、2次入力B1、B2のどちらかがhighになった時、トランジスタQ1またはQ2がONになり、さらにトランジスタQ6がONになるので、出力YAがhigh、YBがlowになり、図2の機能が実現される。

3. DCパラメトリック・テスト

ECL回路に対しては、 I_{IL} 、 I_{IH} 、 V_{BB} 、 V_{OL} 、 V_{OH} 及び I_{CC} テストが必要であるが、 V_{OL} 、 V_{OH} テスト・パターンは先に述べたように機能テスト・パターンから得られるので、ここでは V_{OL} 、 V_{OH} を除いたDCパラメトリック・テストについて述べる。

以下、シリーズ・ゲートECL回路に対する I_{IL} 、 I_{IH} 及び V_{BB} テストのテスト条件と規格について述べる。

(1) I_{IH} テスト

I_{IH} とは、外部入力端子にinput high電圧 V_{IH} を加えた時の入力電流値である。 I_{IH} テストにおいては、各入力端子に V_{IH} を加えた時の入力電流 I_{IH} を測定し、それが規格値に収まっているかどうかを判定する。この時、 I_{IH} が流れるように、被測定入力端子（IUT）から電源 V_{EE} までの経路を活性化させる必要がある。

IUTが入力トランジスタの並列入力1つに接続されている場合、他の並列入力には、値0を割り当てる必要がある。ここで、並列入力とは、1次レベル・カレント・スイッチ、2次レベル・入力エミッタ・フォロウにおいて、互いに並列に接続されている入力トランジスタの入力端子のことで、図3においては、A1とA2が1次レベルの並列入力であり、B1とB2が2次レベルの並列入力である。

図3は、IUT INの I_{IH} テスト条件を示している。IUT INは1次入力トランジスタQ1に接続されており、Q2が並列入力なので、Q2をOFFするために、Q2の入力端子であるA2に値0を割り当てねばならない。また、IUTから V_{EE} への経路を活性化するために、2次入力B1、B2のどちらかに値1を割り当てねばならない。

これらの1次入力A2、2次入力B1、B2は、一般には、被テスト回路の外部入力端子に直接接続されているとは限らないので、A2、B1、B2に必要な値（0、1、Xまたは0、X、1）をもたらすように、外部入力パターンを生成する必要がある。

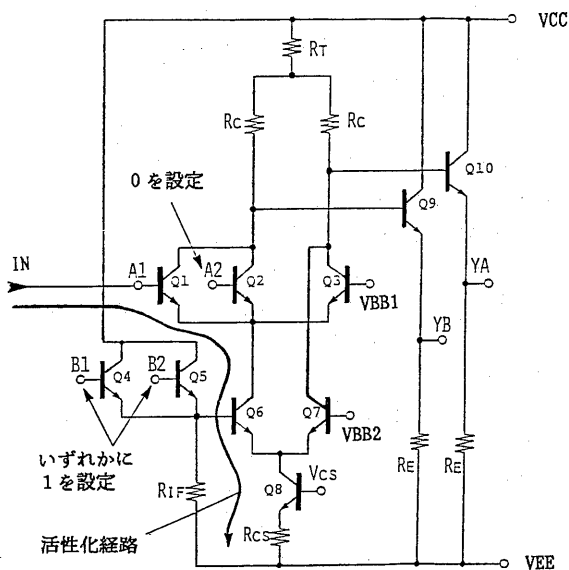


図3. 外部入力INの I_{IH} テスト条件

図3の例ではIUT INは一つの1次入力トランジスタに接続されているだけであるが、一般には、いくつかの1次、2次入力トランジスタに接続されている。以下に、 I_{IH} テストの条件と規格を示す。

●条件

- (1) IUTが1次入力トランジスタに接続されているとき、IUTから1次入力トランジスタを通してV_{EE}までの経路を最大限活性化するように、外部入力パターンを生成する。この時、活性化されたスイッチ部に並列入力があるなら、それらに0を割り当てるように生成する。
- (2) IUTが2次入力トランジスタに接続されているとき、そのエミッタ・フォロワ部の他の並列入力にすべて0をもたらすように、外部入力パターンを生成する。
- (3) IUTが、1次、2次の両方の入力トランジスタに接続されているとき、
(1)、(2)の両方を満たすように外部入力パターンを生成する。

●規格

$$I_{IH} \leq m \times I_{IH1} + n \times I_{IH2}$$

- m : IUTに接続されている活性化された1次入力トランジスタ数
n : IUTに接続されている2次入力トランジスタ数

I_{IH1}: 1次入力トランジスタ1個当たりの最大I_{IH}

I_{IH2}: 2次入力トランジスタ1個当たりの最大I_{IH}

(2) I_{IL}テスト

I_{IL}とは、入力low電圧V_{IL}を入力端子に加えた時の入力電流値である。I_{IL}テストにおいては、各入力端子にV_{IL}を加えた時の入力電流I_{IL}を測定し、それが規格値に収まっているかどうかを判定する。

●条件

I_{IH}テスト・パターンを用いる。

●規格

$$I_{IL} \leq m \times I_{IL1} + n \times I_{IL2}$$

m : IUTに接続されている1次入力トランジスタ数

n : IUTに接続されている2次入力トランジスタ数

I_{IL1}: 1次入力トランジスタ1個当たりの最大I_{IL}

I_{IL2}: 2次入力トランジスタ1個当たりの最大I_{IL}

(3) V_{BB}テスト

V_{BB}とは、内部で生成される基準電圧のことで、入力及び出力の閾値を設定するために使われる。V_{BB}テストにおいては、V_{BB}は各入力端子に(I_{IL}+I_{IH})/2の入力電流を流した時の入力電圧として測定され、それが規格値に収まっているかどうかを判定する。

●条件

IUTが1次入力トランジスタにのみ接続されており、かつI_{IH}テスト・パターンが存在するなら、それを用いる。

●規格

$$V_1 \leq V_{BB} \leq V_2$$

V₁: V_{BB}の最小値

V₂: V_{BB}の最大値

4. PATEGEシステム構成

図4にPATEGEのシステム構成を示す。PATEGEは次の3つのプログラムから成る。

- (1) BLIB: ABAGE及びPCCで使用するDCテスト・ライブラリを作成する。
- (2) ABAGE: IIL、IIH、VBBテストに対するテスト・パターンを自動生成し、それらの期待値を計算する。
- (3) PCC: ICCテストに対するテスト・パターンを自動生成し、その期待値を計算する。

PATEGEが扱える回路は、基本ゲート(OR、NOR、AND、NAND、NOT及びXOR)のみで構成されていなければならない。従って、回路内のマクロ機能はこれらの基本ゲートに展開されており、また各ゲートはそれ自身が属するマクロの識別名とマクロ・タイプに関する情報を持っている。

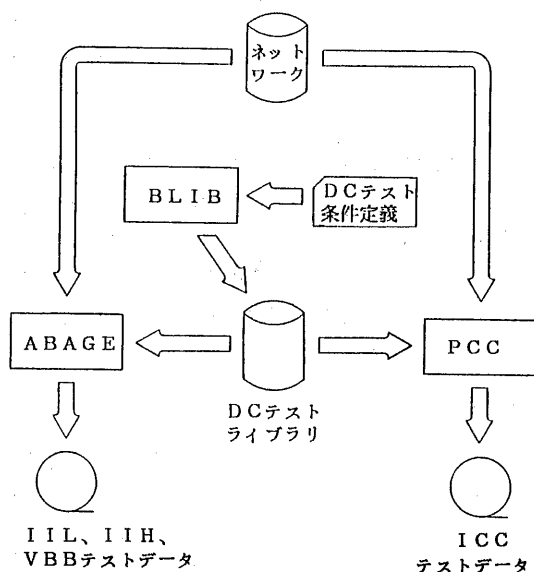


図4. PATEGEの構成

4.1 BLIB: DCテスト・ライブラリ生成

IIH、IIL、VBBテスト・パターン生成や電源電流テストのための電流値計算は、マクロを単位として行われる。BLIBはこれらのDCテスト条件や電流値を各マクロ・タイプごとに定義したデータを入力し、ABAGE、PCCで参照されやすい形式に変換してDCテスト・ライブラリを生成する。

DCテスト・ライブラリは次の項目から成る。

- (1) マクロの入力端子の属性(1次レベル/2次レベル)とそれに接続されている入力レジスタの数
- (2) マクロの入力端子が外部入力端子と接続されている時、IIH、VBBテストを実行可能とする同一マクロ内の他の入力端子のパターン
- (3) マクロ内の定電流値
- (4) マクロ内のゲートの論理状態によって決まるマクロ内の電流値。

4.2 ABAGE:

IIL、IIH、VBBテスト自動生成

ABAGEは、前節に示したテスト条件を満足するように、外部入力テスト・パターンを、各外部入力端子ごとに1パターンずつ生成する。次の3つのステップが各外部入力端子ごとに繰り返される。

ステップ1 マクロの認識

IUTに接続されているマクロを認識し、DCテスト・ライブラリを参照して、IUTからVEEへの経路を活性化するのに必要なマクロの入力パターンを得る。

ステップ2 外部入力テスト・パターンの生成

ステップ1で認識したマクロの入力端子は、図5に示すように、一般には被テスト回路の外部入力端子と直接接続されているとは限らない。従って、次節で述べるアルゴリズムにより、マクロの入力がテストに必要なパターンになるように外部入力パターンを生成する。

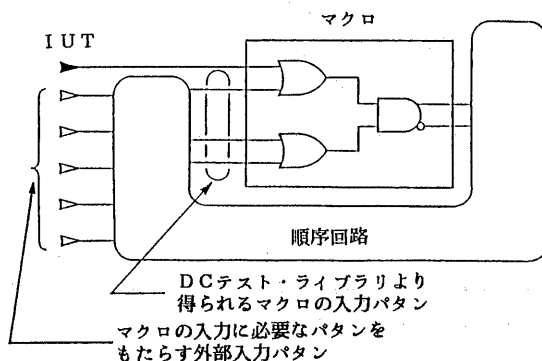


図5. IIL、VBBテスト生成

ステップ3 IIL、IIHの計算

活性化された入力トランジスタの数を数え、IIL、IIHの期待値を計算する。

4.3 PCC: 電源電流テスト・パターン自動生成

ICCとは、被テスト回路がある論理状態になった時の総電源電流値のことである。被テスト回路のICCを計算するためには、回路内のすべてのゲートの論理値が決まらねばならない。PCCは一つのボタンを与えることにより、すべての内部状態が決定されるようにテスト生成を行う。組合せ回路の場合は、外部入力に0、1から成る任意の一つのボタンを与えることによりすべてのゲートの論理値が決まるが、順序回路の場合は、図6に示すように回路内のレジスタがホールド状態になる可能性があるため、外部入力に任意の一つのボタンを与えただけでは、すべてのゲートの論理値が決まるとは限らない。

すべての外部入力に0又は1の値を与えたにもかかわらず、不定値となるゲートが回路内に存在するということは、回路内に不定値から成るループが存在するということである。不定値から成るループは、すべてのループ制御信号(図7の例では信号AとB)がDLV*であることによって生じる。逆に言えば、ループ内の任意の一つのゲートのループ制御信号がDLVであるなら、不定値から成るループではなく、ある定まった論理状態になる。

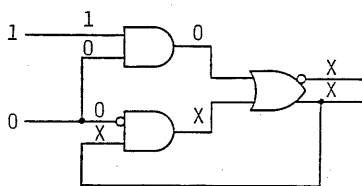


図6. レジスタのホールド状態

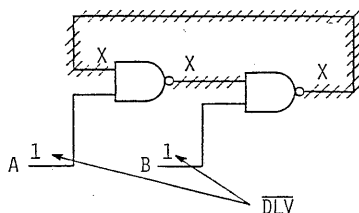


図7. 不定値から成るループ

ICCテスト・パターン生成手順

ステップ1 前処理

外部入力端子から回路をトレースし、回路内のゲートを次に示す2つの部分回路に分類する。

- (1) 組合せ部分回路: 外部入力パターンによらず、すべてのゲートの論理値が決定される部分回路で、すべての外部入力端子を含む。
- (2) 順序部分回路: (1)の残りの部分回路。

ステップ2 不定値から成るループの検出

順序部分回路から、不定値から成るループを1つ検出する。このループには、不定値のループ制御信号を持つゲートが少なくとも1つ以上はある。

もし、不定値から成るループが存在しないなら、ステップ4へ行く。

ステップ3 不定値から成るループの切断

ステップ2で検出した不定値から成るループを切断するため、次節で述べるアルゴリズムを用いて、不定値のループ制御信号がDLVとなるように、外部入力パターンを生成する。(図7においては、信号A又はBが0となるように外部入力パターンを生成する。)複数の不定値ループ制御信号がある場合、組合せ部分回路に属する信号を高い優先度として、外部入力パターンを生成するように試みる。

外部入力パターンが生成されたなら、他の不定値ループの検出と切断を行うために、ステップ2へ行く。

また、外部入力パターンが生成できなかったなら、テスト生成不可として手順を終了する。

ステップ4 後処理

まだ不定値となっている残りの外部入力に任意の値を割り当て、合意操作を行う。回路内のすべての信号値が決定し、ICCテスト・パターンが得られたことになる。

ICCの計算

回路内のすべての信号値が定まった後で、PCCはDCテスト・ライブラリを参照して各マクロの電流を算出し、その総和としてICCの期待値を求める。

* DLV: Dominant Logic Value とは、ゲートの出力を一意に決めてしまう論理値のことで、AND / NANDでは0、OR / NORでは1のことである。

5. 外部入力端子パターン生成アルゴリズム

ここでは、IIH、VBB、ICCテスト生成で共通に用いられるテスト生成アルゴリズムについて述べる。このアルゴリズムは、指定された複数の内部信号線が目的値となるように外部入力パターンを生成する。

組合せ回路の縮退故障を検出する機能テストパターン生成アルゴリズムの一つに、PODEM法⁽³⁾がある。これは、縮退故障の存在する信号線が故障値とは逆の値になり、さらにその信号線の故障の影響が外部出力端子まで伝搬するように経路を活性化するテスト・パターンを求めるアルゴリズムである。この方法は、最悪の場合は、すべての可能な外部入力パターンを尽くすので、検出可能なすべての故障に対するテスト・パターンを求めることができる。

ここで述べるアルゴリズムは、PODEM法の一部、すなわち縮退故障の存在する信号線に故障値と逆の値をもたらしまで回路を後方操作する部分を拡張し、順序回路内の指定された信号線が目的パターンになるように、外部入力端子パターンを生成するものである。ABAGEにおいては、ステップ1で認識されたマクロの入力端子が指定された信号線で、DCテスト・ライブラリより得られたテスト条件を満たすパターンが目的パターンである。また、PCCにおいては、ステップ2で述べたループ制御信号が指定された信号線で、そのゲートのDLVが目的パターンとなる。このアルゴリズムは次の4つのステップからなる。

ステップ1 外部入力端子とその設定値の初期選択

目的パターンを設定すべき指定された信号線のうち、まだ信号線が不定値Xとなっている信号線と初期目的値を1つ選び、不定値となっている経路を外部入力端子に到るまでバック・トレースする。この際、反転ゲート(NOR、NAND、NOT)を通過するごとに目的値を反転させる。バック・トレースにより到達した外部入力端子とその時の目的値を選択された外部入力端子と初期設定値とする。このようにして選択された外部入力端子と設定値は指定された信号線に目的値をもたらし可能性は高いが、必ずしも目的値をもたらしとは限らない。そこで、後述のステップ4において、他の外部入力パターンの可能性を調べるため、今選択された外部入力端子と設定

値及びその逆の値を判断トリー⁽³⁾に加える。

ステップ1は、基本的には、PODEM法と同じであるが、順序回路にも適用可能に拡張したので、バック・トレースの方法がPODEM法とは異なる。

PODEM法においては、扱う回路が組合せ回路なので、不定値の信号をバック・トレースすることにより、必ず外部入力端子に到達できる。しかし、ここでは、扱う回路が順序回路であるため、図8に示すように回路にフィード・バック・ループが存在し、不定値経路のバック・トレースが必ずしも外部入力端子に到るとは限らない。従って、バック・トレース法を次に示すように拡張した。

バック・トレースを行う間、現在トレース中の信号線にトレース済みの印を付けて行く。また、現在トレース中のゲートが2つ以上の不定値である入力信号線を持つなら、そのうちの任意の一つを次にトレースする信号線として選び、他のものは現在の目的値とともに記録しておく。トレース済みの信号線が再びトレースされた時、その経路はループであるので、記録されている他の分岐をトレースし直し、外部入力端子へ到達するよう試みる。

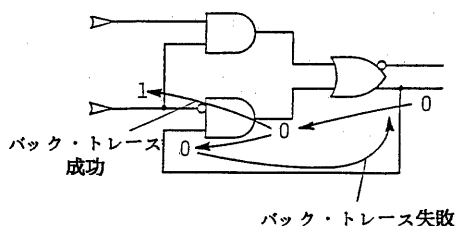


図8. バック・トレース

また、順序回路においては、図9に示すように外部入力端子へ到る不定値の経路が存在しない場合がある。このような場合は、そこまで設定された外部入力端子パターンが不適当であるので、他の入力パターンについて調べるために、ステップ4へ行く。

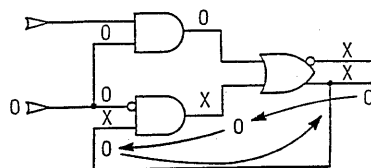


図9. バック・トレースできない例

ステップ2 含意操作

現在までに選択されている外部入力端子と設定値に対する含意操作を行い、一意に論理値の定まるゲートの論理値を決定する。

ステップ3 判定

PODEM法においては、その時までの外部入力パターンが有効であるかどうかは、次の基準によって判定する。

- 1) 故障の存在する信号線が故障値と逆の値になっているか？
- 2) 故障の存在する信号線から外部出力端子まで故障の影響を伝搬できる経路は存在するか？

もし、上記の基準が満たされていないなら、その時までに設定されている外部入力パターンは不適当であると見なされ、他の入力パターンについて調べに行く。

一方、本アルゴリズムにおける判定基準は次のようである。

- 1) 指定された信号線の論理値と目的パターンを比較し、一致していたなら必要な外部入力パターンが求まったので、アルゴリズムを終了する。
- 2) 指定された信号線のうち、まだ不定値となっている信号線を除いて目的パターンと一致していたら、さらに別の外部入力端子と設定値を求めるためにステップ1へ行く。
- 3) その他の場合、すなわち指定された信号線と目的パターンが不一致ならば、次のステップ4へ行く。

ステップ4 外部入力端子と設定値の変更

指定された信号線のパターンと目的パターンが一致しない場合や、図9に示したような外部入力端子へ到達する不定値の経路が存在しない場合、その時までに設定された外部入力端子パターンが不適当であるので、他の外部入力端子パターンについて調べる必要がある。

すなわち、判断トリー上のまだ試されていない枝を選び、それを替わりの外部入力端子と設定値として、ステップ2へ戻る。もし、すべての枝が試されていたなら、目的パターンをもたらすような外部入力端子パターンは存在しないので、アルゴリズムを終了する。

このアルゴリズムは、PODEM法と同様に、最悪の場合はすべての可能性を検査するので、目的パターンをもたらす外部入力端子パターンが存在するなら、必ず発見できる。

図10は、順序回路(Dラッチ)にこのアルゴリズムを適用した例である。この例では、DラッチのOR出力が1になるように外部入力パターンを生成するものとする。

(a) まず、目的値を設定すべき信号であるDラッチの出力からバック・トレースを行う。フィードバック・ループ以外は何の不定値経路をトレースするかは任意であるが、ここでは外部入力CLK1に到達したとする。この時の目的値は0であるので、外部入力端子CLK1とその設定値0が選択されたことになる。ここで、CLK1の設定値0とその逆の値である設定値1を判断トリーに加えておく。

(b) 次に、CLK1の設定値0に対する含意操作を行うと、CLK1の信号線が0に決まるだけで、Dラッチの出力はまだ不定値のままであるので、再びバック・トレースを行う。同様にCLK2と設定値0が選択され、判断トリーに加える。

(c) CLK2の設定値0に対する含意操作を行うと、Dラッチの出力は不定値のままであるが、今度は不定値経路のバック・トレースを行っても、外部入力端子に到達する経路が存在しない。従って、ここまで設定されたCLK1=0、CLK2=0という外部入力パターンは不適当であるので、判断トリー上のまだ試されていない枝、すなわちCLK2=1を替わりの設定値として選択する。

(d) CLK1=0、CLK2=1に対する含意操作を行うと、Dラッチの出力は不定値のままであるが、今度は不定値経路のバック・トレースにより外部入力端子D1に到達でき、設定値として1が選択される。

(e) 外部入力端子D1の設定値1に対する含意操作の結果、DラッチのOR出力が1になり、目的値と一致した。従って、求める外部入力パターンが生成できたことになる。

なお、この場合指定された信号線に目的パターンをもたらす外部入力パターンは複数存在するが、生成されるのは最初に発見されたパターンのみである。

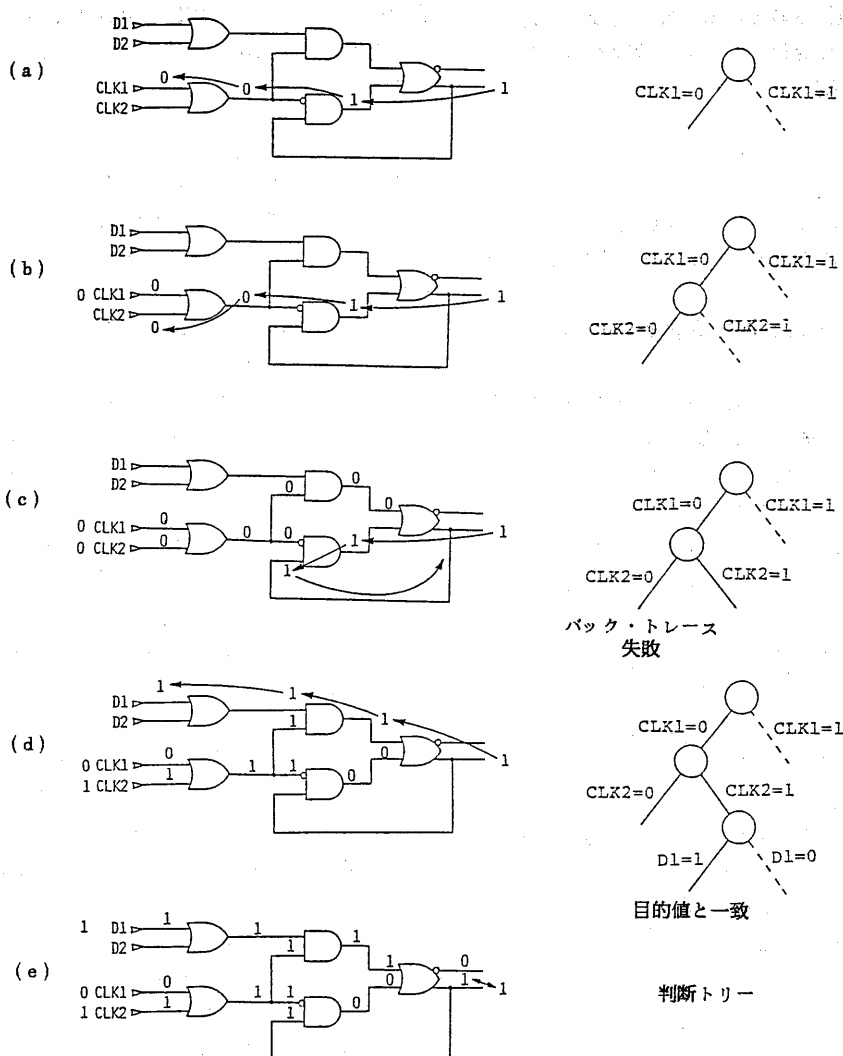


図10. 外部入力パターン生成例

表1. 実行結果 (on MELCOM COSMO 900 II)

回路	ゲート 数	外部入 力端子 数	Dラッ チ 数	A B A G E				P C C	
				外部入力 に接続さ れている T r . 数	外部入力に 接続され ている1次 レベルT r 数	IIL/IIH テスト カバレッジ (%)	VBB テスト カバレッジ (%)	実行時間 (sec)	実行時間 (sec)
1	389	77	0	79	56	100.0	100.0	3	3
2	468	69	0	87	66	93.1	92.4	3	3
3	580	50	10	50	50	100.0	100.0	2	3
4	1713	15	11	15	14	100.0	100.0	2	6
5	2247	82	39	122	122	94.3	94.3	15	8
6	2564	62	36	76	76	89.5	89.5	126	8
7	2585	70	83	83	83	98.8	98.8	51	10
8	3270	48	120	72	72	100.0	100.0	19	18

6. 実行結果

ABAGE及びPCCを2個の組合せ回路と、6個の順序回路に適用した結果を表1に示す。このうち順序回路は、記憶素子として、Dラッチのみを使用している。

なお、実行はMELCOM COSMO 900 IIで行った。

表1において、IIL/I IHテスト・カバレッジとは、次式で表されるものとする。

外部入力に接続される活性化されたトランジスタ数
外部入力に接続されるトランジスタ数

また、VBBテスト・カバレッジは、次式で表されるものとする。

VBBテスト可能な1次レベル・スイッチ数
外部入力に接続される1次レベル・スイッチ数

表1に示すように、ABAGEは高テスト・カバレッジのIIL/I IH、VBBテスト・パターンを短時間で生成できた。また、PCCもICCテスト・パターンを短時間で生成できた。

なお、IIL/I IHおよびVBBテスト・カバレッジが100%にならない理由には、次のものが挙げられる。

- (1) 回路構成により、IUTに接続されているすべての入力トランジスタを1つのパターンで同時に活性化できない場合がある。
- (2) VBBテストにおいては、IUTが1次、2次の両方の入力トランジスタに接続されている場合がある(表1の回路2の場合)。
- (3) 各テスト生成において、バック・トラックの数を制限(1000回)したため、テスト・パターンを生成できなかった場合がある。

7. まとめ

シリーズ・ゲートECL回路のためのDCパラメトリック・テスト生成システムPATEGEについて述べた。PATEGEにより入力電流(IIL、I IH)、基準電圧(VBB)および電源電流(I

CC)テストのための自動テスト・パターン生成が実現され、これにより論理設計者は、テスト・パターンを手で作成するという煩雑な作業から解放された。

残された未解決の問題として、エッジ・トリガ・フリップ・フロップを含む順序回路の自動テスト生成がある。PATEGEにより生成されるテスト・パターンは静的であるが、セット/リセット端子がないエッジ・トリガ・フリップ・フロップを含む順序回路のテスト・パターンは時系列パターンでなければならない。しかし、この問題は、順序回路の縮退故障に対する機能テスト・パターン生成と同じくらい難しい問題であると言える。

参考文献

- (1) T.W. Williams and K.P. Parker. "Design for Testability - A Survey", IEEE Trans. Comput., C-31, pp. 2-15, Jan. 1982.
- (2) E.B. Eichelberger and T.W. Williams. "A Logic Design Structure for LSI Testability", 14th DAC, pp. 462-468, Jun. 1977.
- (3) P. Goel. "An Implicit Enumeration Algorithm to Generate Test for Combinational Logic Circuits", FTCS 10, pp. 145-151, Oct. 1980.
- (4) H. Fujiwara and T. Shimono. "On the Acceleration of Test Generation Algorithms", FTCS 13, pp. 98-105, Jun. 1983.
- (5) T. Ogihara, S. Murai, Y. Takamatsu, K. Kinoshita and H. Fujiwara. "Test Generation for Scan Design Circuits with Tri-state Modules and Bidirectional Terminals", 20th DAC, pp. 71-78, Jun. 1983.
- (6) E.P. Hsieh, R.A. Rasmussen, L.J. Vidunas and W.T. Davis. "Delay Test Generation", 14th DAC, pp. 486-491, Jun. 1977.