

セルおよびマクロセル用 シンボリック設計システム：CAMEL

宮下 弘 丹生 和男 渡辺 隆 笠井 良太 上田 和宏

NTT電気通信研究所 厚木研究所

1. まえがき

論理LSIの大規模化に伴ないレイアウト設計自動化は必須となり、多くのシステムが開発されている[1-4]。これらの自動レイアウトシステムでは、規格化されたセルをレイアウトの基本単位とするビルディングブロック方式や標準セル方式が広く採用されている。また、集積度の向上に伴ない、規格化された比較的小規模なセルだけではなく、より大規模なマクロセルも使用した複合設計方式も採用されている[5]。

このような設計方式を前提とした従来の自動レイアウトシステムでは、セルおよびマクロセルボタンはあらかじめ人手設計されており、これらのセル間の配線を自動で行なっている。このセル間配線では、配線間や、配線とスルーホール間のデザインルールなど比較的少数のデザインルールのみを考慮すれば良く、通常、これらのデザインルールを勘案して決定した配線格子上で自動配線を行なう。

一方、セルおよびマクロセルはインタラクティブ図形処理システムを使用して人手設計される。これらのセルボタン設計では、高密度化と高性能化を狙として、デザインルールを考慮して設計する必要があるため非常に長い設計期間を必要とする。その上、数万ゲートにおよぶ大規模な論理LSIでは、数10種類から100種類以上にもおよぶセルを用意する必要がある。これらのセルボタンは、セルライブラリとしてデータベース上に登録され、数多くの品種のLSIの設計に利用される。しかし、デザインルールの変更が生じた場合は、一般的には、セルライブラリ内の全セルボタンを再設計する必要があるレイアウト設計期間の短縮化の大きな障害となっている。

これらの問題点を解決し、レイアウト設計期間の短縮化をはかるため、セルボタン自動生成の研究もすすめられている[6][7]。しかし、実際にセルライブラリ内のセルの設計に適用し、人手に匹敵する品質のセルボタンを設計するのは困難であり、人手修正を要することが多い。また、小規模なセルだけではなく、大規模なマクロセルにも適用可能なセル生成手法の確立も必要であるが、大規模なマクロセルのセルボタン生成を自動で行なうのは困難であり、人手で入力したシンボリック図を基にして、セルボタンを自動生成する方

法が有効かつ実用的である[8-12]。

本報告では、セルやマクロセルを対象としたシンボリック設計システムCAMELについて述べる。本シンボリック設計システムは、大型のホスト計算機と接続されたグラフィック端末を利用してセルおよびマクロセルのシンボリック設計を行なう。シンボリック設計は、予め記述されている素子間の接続情報とリンクを取った形で行なう。シンボリック設計結果は接続情報とリンクが取れた形でデータベースに格納される。セルボタンは入力されたデザインルールに基づきシンボリック設計結果から生成され再びデータベースに格納される。本稿では、システム構成、シンボリック入力手法、ボタン生成手法について説明するとともに、セルボタン生成例について述べ、システムの有効性を示す。

2. システム構成

シンボリック設計システムCAMELのシステム構成を図1に示す。設計するセルあるいはマクロセル内の素子間接続情報は、階層仕様記述言語HSL[13]を使用して記述される。この記述はコンパイルされ、オブジェクト形式でデータベース中に格納される。このデータベースは論理表現部、シンボリック表現部、ボタン表現部の3部分に分れており、お互いの関係もボインタ形式で格納されている。

本システムは、この素子間接続情報を基にしてセルあるいはマクロセルのシンボリック設計を行う。シンボリック設計は、ホスト計算機に接続されたグラフィック端末を用いてインタラクティブに行う。シンボリック設計では、用意されたシンボリック入力コマンドを使用して、シンボル入力ならびにシンボル間配線を行う。また、シンボリック設計においては、簡単な接続チェックをリアルタイムで行うことができる。

シンボリック図から実ボタンへの変換は、入力されたデザインルールに基づいて行う。デザインルールに基づくボタンのコンパクションも行うことができ、高密度のセルボタンを得ることができる。デザインルールは、予め設計者により、デザインルールファイルに格納されている。このファイル中には、セルボタン生成に必要なデザインルールが格納されており、設計者

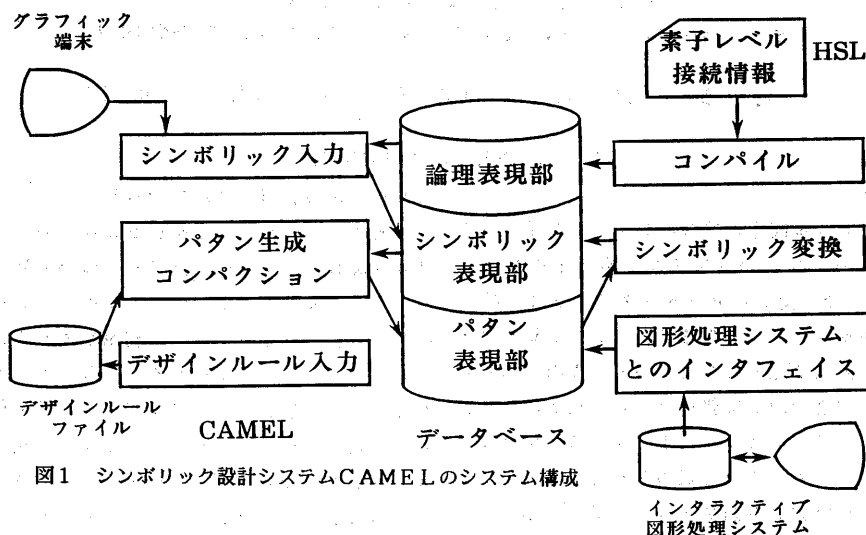


図1 シンボリック設計システムCAMELのシステム構成

が自由に修正・追加ができる。

一方、インタラクティブ図形処理システムで人手設計されたセルマスクパターンはデータベースのパターン表現部に格納し、シンボリック変換プログラムを用いることにより、対応するシンボリック図に変換することができる。このため、人手設計された多くのセルおよびマクロセルのセルパターンを有効に利用することができる。

3. シンボリック設計

3.1 簡易化デザインルール

シンボリック設計手法としては、粗い格子上で設計を行う方法[10]、仮想的な格子上でレイアウトを行う方法[11][12]などが提案されている。本システムのシンボリック設計では、シンボル入力が効率良くできること、並びに設計したセルのサイズの予想が容易であることの2点を考慮して以下に述べる設計手法を採用することとした。

本システムでは、CMOSセルおよびマクロセルをシンボリック設計することを目的としており、シンボリック入力層としては、アルミ第1層、アルミ第2層、P拡散層、N拡散層、ポリシリコン層などを使用する。また、使用するシンボルは、P拡散とアルミ第1層のコンタクトホール、N拡散とアルミ第1層のコンタクトホール、ポリシリコン層とアルミ第1層のコンタクトホール、アルミ第1層とアルミ第2層のスルーホール、Pサブコンタクト、Nサブコンタクト、などである。

シンボリック設計は、予め設定された粗い格子上で行うが、シンボリック入力時に簡易化したルールを決め、それらに従ってシンボリック入力する。このルールを簡易化デザインルールと呼ぶ。簡易化デザインルールは、通常のデザインルールを出来るかぎり反映し、実際のセルサイズの予想が可能となるように決定されている。簡易化デザインルールを用いたシンボリック設計例を図2に示す。

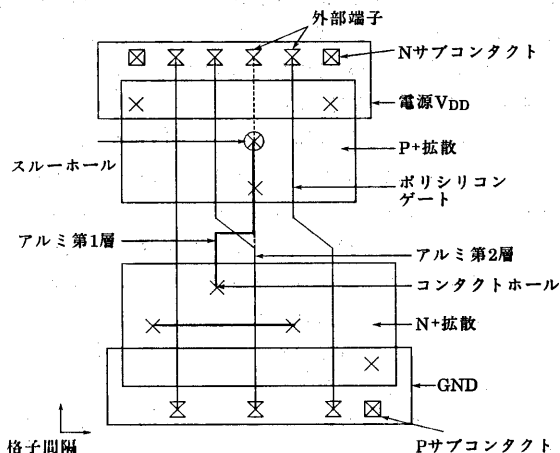


図2 簡易化デザインルールによるシンボリック設計例

3.2 シンボリック入力手順

シンボリック設計は、大型計算機に接続されたグラフィック端末を使用して計算機と対話しながら行う。CMOSセルのシンボリック設計では、セル内の素子間接続情報が予め作成されているとして、以下の手順で行う。

(1) 拡散領域の入力

CMOSセルのボタン設計では、同電位の同種類の拡散領域をなるべく併合して、セルの面積を縮小する手法が一般的に使用される。そのため個々のMOSトランジスタの拡散領域を1個ずつ配置していくのではなく、一まとまりの拡散領域を単位として拡散領域をシンボリック入力するのが能率的である。そのため、本システムでは、拡散領域を矩形または多角形のシンボルとして入力する。

(2) トランジスタシンボルの配置

素子間接続情報に基づき、未配置のトランジスタを1個ずつ選択しながら、トランジスタシンボルを1個ずつ配線格子に配置していく(図3)。トランジスタシンボルの挿入角度は、45度の倍数に限定する。拡散領域内にトランジスタシンボルを配置した例を図4に示す。

(3) トランジスタゲートシンボルの入力

各トランジスタのポリシリコンゲート形状を入力する。ポリシリコンゲートは、一続きの線を入力することとし、各トランジスタのポリシリコンゲートを分割して入力し、通常のポリシリコン配線と区別する。ポリシリコンゲートを表現する線は、唯1個のトランジスタシンボルのゲート端子位置を通過しなければならない。ゲートシンボルの入力例を図5に示す。

(4) 配線入力

素子間接続情報中では、ネットが番号付られている。設計者は、ネット番号を指定し、配線経路を格子に入力する。ネット番号を指定すると、そのネットで結ぶべき端子が最小木を張る形で表示される。通常の信号配線は線で入力されるが、電源配線など特殊な配線については矩形、多角形で入力することを許す。

(5) スルーホール・コンタクトホール入力

スルーホール・コンタクトホールのタイプ名はその種類や属性によって予め決められている。ネットに対応する配線経路を入力しながら、必要なタイプのスルーホール・コンタクトホールのシンボルを必要な位置に入力する。

また、シンボリック図の編集コマンドが各種用意されており、シンボルの挿入、削除、移動を自由にインタラクティブに行なうことができる。さらに、グラフィック端末の画面においてウィンドウの拡大、縮小、移動なども必要に応じて行なうことができ、効率良くシンボリック入力を行なうことができる。

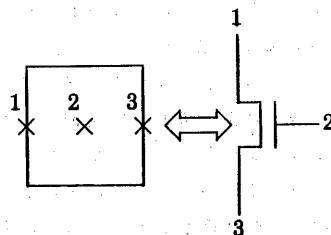


図3 トランジスタシンボル

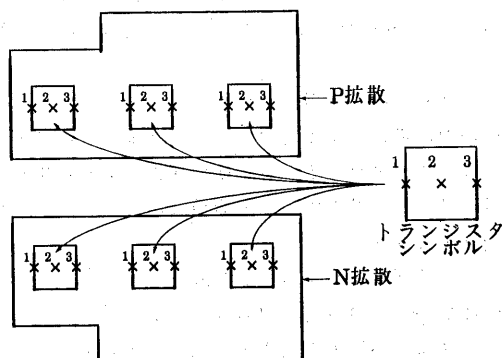


図4 拡散領域内へのトランジスタシンボルの配置例

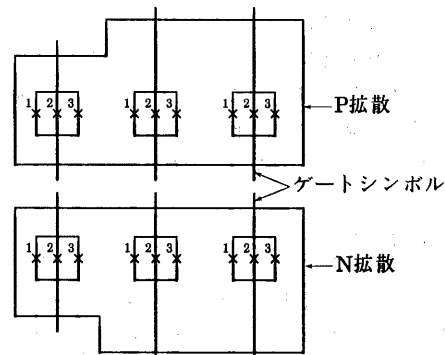


図5 ゲートシンボルの入力例

3.3 接続チェック

シンボリック入力時には、誤ったシンボリック入力を避けるため、種々のチェックを行なう。チェックは、リアルタイムチェックとバッチチェックに分類できる。計算機と対話的に実行できる簡単なチェックはリアルタイムで行い、処理時間を必要とするチェックはコマンド入力によるバッチ処理で行なう。

(1) 拡散領域入力

拡散領域の形状(矩形または多角形)のチェックと異なるタイプの拡散領域のオーバーラップをチェックする。

(2) トランジスタシンボル入力

トランジスタシンボルが拡散領域に包含されることのチェック、拡散領域のタイプ(PまたはN)とトラ

ンジスタのタイプ（PまたはN）が一致すること並びにトランジスタの重複配置のチェックを行なう（図6）。ここで、各トランジスタのタイプ（PチャネルまたはNチャネル）は接続情報中に格納されている。

（3）ポリシリコンゲートのシンボリック入力

トランジスタシンボル内のゲート端子位置とゲートシンボルを表現する線が接続していること、拡散領域とポリシリコンゲートシンボルの交叉、並びにポリシリコンゲートの突き出しのチェックを行なう（図7）。

（4）ネットのシンボリック入力

同層の配線シンボル間のショートチェック、スルーホール・コンタクトホールとその接続配線層とネット番号のチェック並びに、拡散領域とポリシリコン配線の交叉チェックを行なう（図8）。

（5）外部端子のシンボリック入力

外部端子とその接続配線の層とネット番号のチェック、並びに外部端子シンボルの重複配置のチェックを行なう。

（6）ネットの接続チェック

ネット番号を指定して、チェックコマンドを入力することにより、断線チェック、浮き配線、浮き端子（内部端子、外部端子）、浮きスルーホール・コンタクトホールをチェックすることができる。

4. バタン化とコンパクション

セルのシンボリック設計結果は、データベースのシンボリック表現部に格納される。このシンボリック図ならびにデザインルールをもとにして、セルボタンをボタン生成・コンパクションプログラムにより生成する。ボタン生成・コンパクションでは、最長路アルゴリズム[14]を用いて、X方向あるいはY方向にデザインルールを考慮してできる限り詰めることができる。特に、詰めたくないシンボル層が存在する場合は、その層を指定して、コンパクションの対象外の層とすることができる。

デザインルールの指定では、図9に示すように、2層間の最小スパーシングを図形の内側、外側から指定することができる。また、配線シンボルについては、層毎に配線幅を指定することができる。さらに、隣り合った配線、トランジスタなどの間にデザインルール（スパーシング）が存在しない場合、飛越し処理を指定することにより、一方が他方を飛び越したり、重なったりすることができる。生成されたセルボタンは、シンボリック図とリンクが取れた形式でデータベース

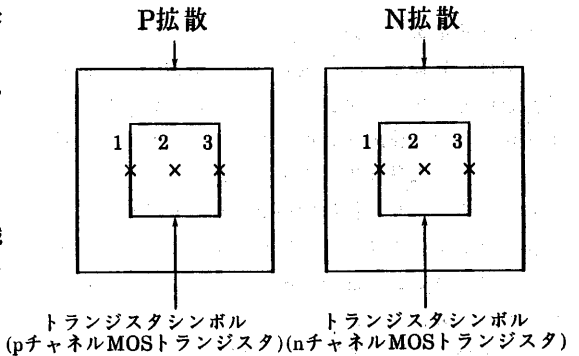


図6 トランジスタシンボルのチェック

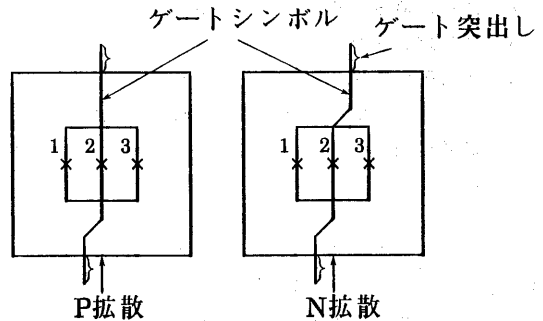


図7 ゲートシンボルのチェック

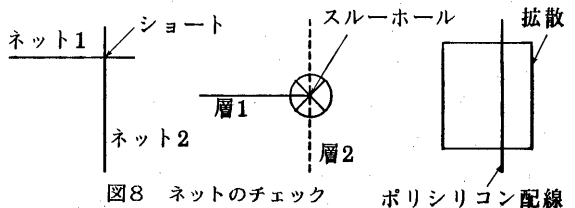


図8 ネットのチェック

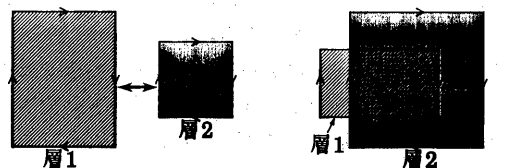


図9 デザインルールの指定

のボタン表現部に格納する。

コンパクションの手順は以下の通りである。

(Step 1) シンボル図中のシンボル（P拡散領域、N拡散領域、ポリシリコンゲート、アルミ第1層配線、アルミ第2層配線、コンタクトホール、スルーホール、入出力端子）からP⁺イオン注入（N⁺イオン注入）、Pウェル（Nウェル）、チャンネルストップなどのボタン図形を生成する。このボタン図形は、デザインルールを正確には考慮せず、内側（外側）、右側（左側）、上側（下側）などボタンの相対的位置関係のみ考慮して初期ボタンを生成する。

(Step 2) 各ボタン図形を水平セグメントと垂直セグメントに分解する。

(Step 3) 水平セグメント間の上下関係、垂直セグメント間の左右関係をグラフ化する。ただし、セルの下辺と上辺(左辺と右辺)に対応する仮想的なソースノードとシンクノードを設置する。

(Step 4) (Step 3)で作成したグラフ上で上下関係(左右関係)を表わす有向枝にデザインルールを与え、最長路アルゴリズム [14] により各セグメントの座標が決定される。X方向コンパクションでは左右関係を表現するグラフ G_x 、Y方向コンパクションでは、上下関係を表現するグラフ G_y を使用する。

(Step 5) (Step 4)で求めた座標に従い、各セグメントを移動して、対応するマスクボタンを生成する。

チップレベルの自動レイアウトシステムでレイアウトの基本単位として使用するすべてのセルボタンはこのような方法で生成されデータベース内に格納される。チップレベルの自動レイアウトプログラムは、各セルの入出力端子位置、セル外形、セルの配線禁止領域をデータベース内から参照し、セル間の自動配線を行なう。ここで、セルの配線禁止領域は、セル内配線として配線格子を既に使用したためセル間配線としては使用できない配線格子領域を示している。この領域は、データベースに格納された実ボタンから予め自動抽出されデータベースのシンボリック表現部に格納されている。

5. 実ボタンのシンボリック変換

セルボタンは、原則として、CAMELを使用してシンボリック設計され、データベース上に格納される。シンボリック図は、予め作成されていた素子間接続情報とリンクが取れた形式でデータベース内に格納されており、セル名を指定することにより、対応するシンボリック図をシンボリック設計システムにロードすることができる。一方、現在までにインタラクティブ図形処理システムを使用して人手設計された多くのセルボタンは、図形データとして図形処理システムのデータベース内に格納されており、デザインルールが変更された場合には、これらのセルボタンを再設計しなければならない。

そこで、これらの人手設計されたセルボタンをシンボリック表現に変換し、シンボリック設計システムのデータベース内に格納するプログラムを作成することとした。このとき、素子間接続情報もボタンの解析に

より自動生成され、上述のシンボリック表現とリンクがとられる。デザインルールの変更が起きた場合には、新しいデザインルールをデザインルールファイルより入力してセルボタン生成・コンパクションプログラムを使用して対応するボタンを生成する。

シンボリック化の手順は、以下の通りである。

(Step 1) 拡散層とポリシリコンゲート層の間の図形演算 (AND) により、素子を抽出する。

(Step 2) 配線、コンタクトホール・スルーホールをトレースして等電位点を求め、(Step 1)で抽出した素子間の接続情報を作成する。素子には適当な名前を付加する。

(Step 3) シンボリック図中のシンボルの挿入座標、拡散、配線などの座標を3. 1で述べた簡易化デザインルールに適合するように座標変換する。

(Step 4) 作成されたシンボリック図を抽出された素子間接続情報とリンクがとれた形式でデータベース内に格納する。

実ボタンのシンボリック変換の例を図10に示す。

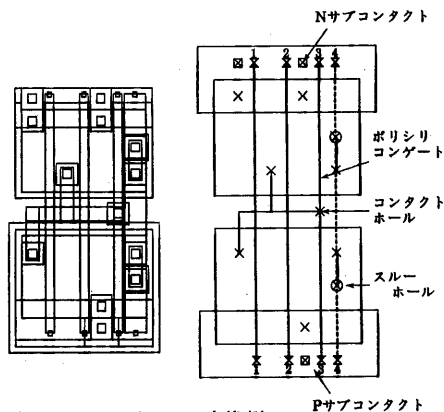


図10 シンボリック変換例

6. セルボタン生成例とその評価

本シンボリック設計システムを使用して、CMOS標準セルを設計した例を図11に示す。図11(a)は、CMOS標準セルの回路図、図11(b)は、CAMELによるシンボリック設計結果、図11(c)は、生成されたセルボタン、図11(d)は、生成されたセルの配線禁止領域を示す。この手法を用いて、画像処理用LSIで使用するCMOS標準セル37種類の設計を行なった。図12(a)にこの37種類のCMOS標準セル内のトランジスタ数の分布を示す。平均で15トランジスタ程度の規模を有しており、小

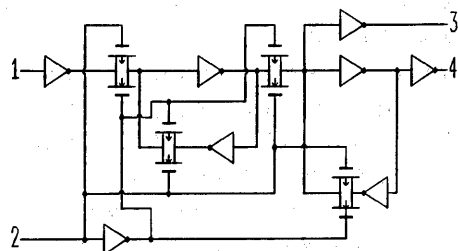
規模であるインバータから、フリップフロップまで各種のセルを含んでいる。

このセルバタンの設計では、シンボリック設計に5人・日、セルバタンの生成に1/2人・日程度の設計期間を必要とした。この設計期間は、図12(b)に示すように、従来の人手設計に比較して、約1/8程度であり、大幅な設計期間の短縮化が達成された。さらに、バタンの修正も、シンボリック図を修正し、それを基にしてバタンを生成する方法により極めて効率的に行なうことができた。

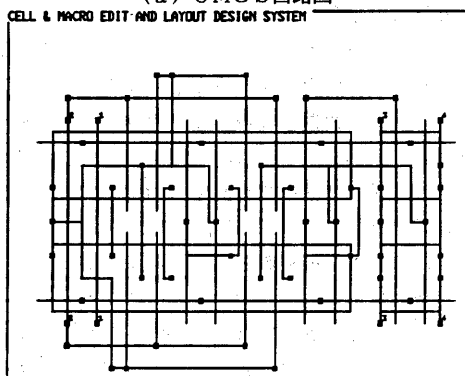
また、チャンネル長やチャンネル幅の異なるトランジスタを含むCMOS標準セルのシンボリック設計では、予めそれを考慮して、(1)拡散領域のサイズをチャンネル幅に対応して、(2)ポリシリコンゲートの幅をチャンネル長に対応して、変更してシンボリック入力してセルバタン生成を行なった。異なるチャンネル幅を持つトランジスタを含むCMOS標準セルのシンボリック設計結果と対応するセルバタン生成結果を各々、図13(a)と(b)に示す。これらの例では、トランジスタ配置は、人手で行なったが、簡単な論理式表現可能なCMOS複合ゲートや小規模なCMOSセルでは、トランジスタ配置を自動で行い[15-17]、セルバタンを自動生成することができる。

また、CMOS標準セルでは、セルの入出力端子は、セルの上辺、下辺に設置され、その設置されるX座標はチップレベルの自動配線プログラムの配線格子にある必要がある。そのため自由にコンパクションを実行することはできず、セルの外部端子が配線格子に乗るという条件のもとでコンパクションを行なう必要がある。

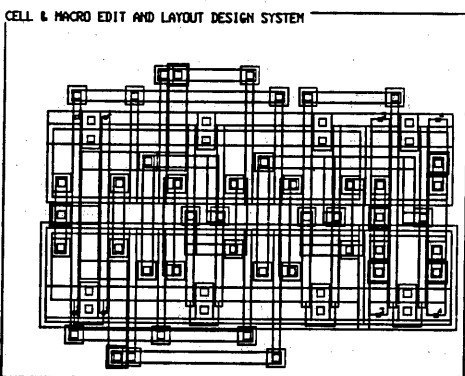
図14(a)(b)にシンボリック設計結果とデザインルールを与えて、バタン生成・コンパクションを自動で行なった結果を示す。この図では、デザインルールを満足する範囲で拡散領域が併合され、コンパクトなセルバタンが得られている。この図では、ウェルやサブコンタクトのバタンは省略している。セルバタン生成のために必要なCPU時間は、高々数秒程度であった。一般に、大規模なマクロセルを高密度にレイアウト設計するためには、このような手法を採用して効率的なセルバタン生成を行なう必要があると考えられる。



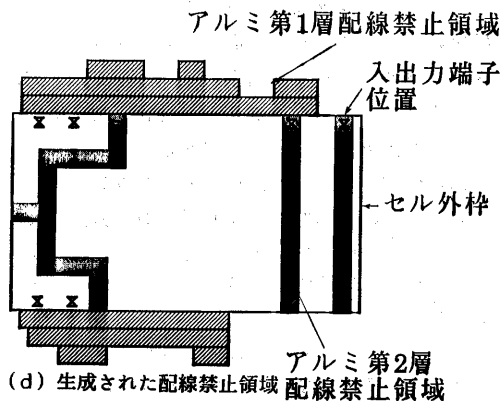
(a) CMOS回路図



(b) シンボリック設計結果



(c) 生成されたセルバタン



(d) 生成された配線禁止領域

図11 CMOS標準セルのバタン生成例

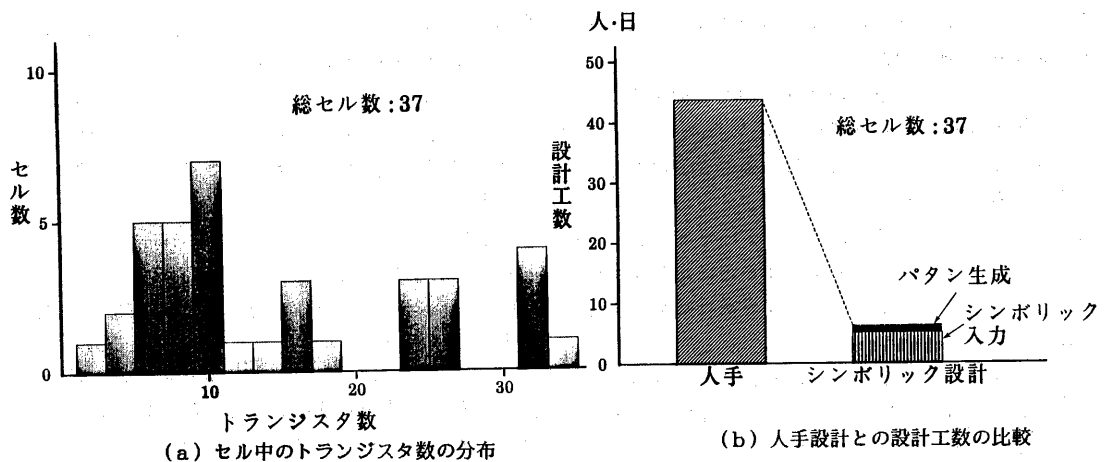


図12 設計工数

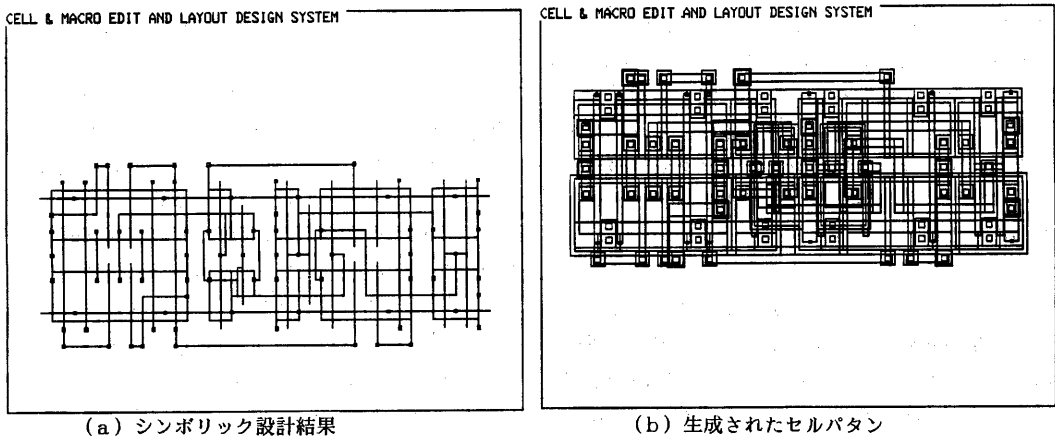


図13 チャンネル幅の異なるトランジスタを含むCMOS標準セルのボタン生成例

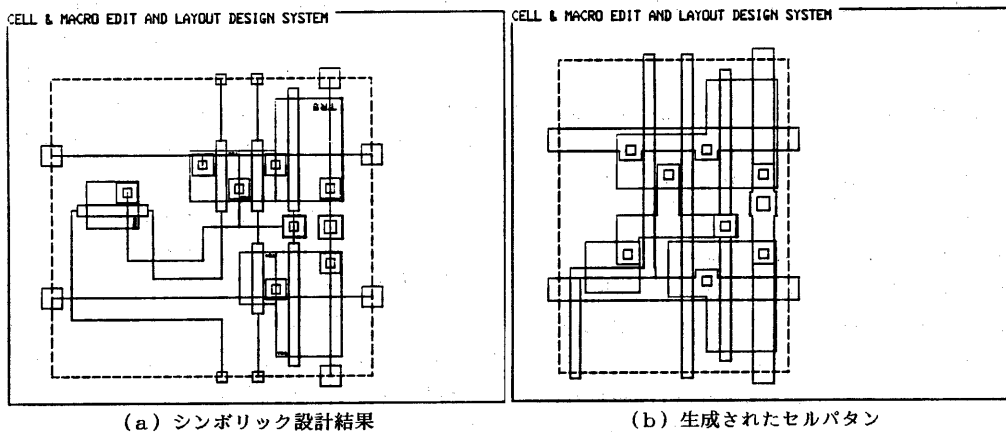


図14 コンパクションを使用したシンボリック設計例

7. まとめ

セルおよびマクロセルを対象としたシンボリック設計システムCAMELについて述べた。本システムの特徴は以下の通りである。

- (1) セル内の素子間接続情報を作成し、その接続情報に基づいて、素子配置、素子間配線を行う。そのため各種接続チェックをリアルタイムで行える。
- (2) シンボリック設計は、大型計算機に接続された

グラフィック端末を使用して、各種コマンドを入力して計算機と対話形式で行う。

(3) シンボリック設計の効率化のため簡易化デザインルールを定義した。簡易化デザインルールは、実ボタンを反映するように定義され、実ボタンのセルサイズ推定に利用できる。

(4) シンボリック設計結果は、データベース上に格納され、デザインルール・ファイル内に定義されたデザインルールを使用してセルボタンを自動生成することができる。

(5) インタラクティブ図形処理システムを用いて人手設計したセルボタンをシンボリック変換し、本システム内に格納することができる。

本システムを使用して、CMOS標準セルをシンボリック設計し、ボタン生成を行った。その結果、従来の人手設計に比較して、大幅な設計期間の短縮化が達成された。更に、扱えるセルの大規模化とコンパクションを含むセルボタン生成手法の改良とそのプログラム化を進めている。また、シンボリック設計の効率化のためには、素子配置、素子間配線をサポートする自動化機能も必要となろう。

謝辞 本研究を進めるに当り御指導、御鞭撻を頂いた向井久和集積回路研究部長、須藤常太集積回路研究部統括役、中島孝利集積応用研究室長、堀口勝治論理回路研究室長に深謝します。また、データベースについて御教示頂いた永谷三義論理回路研究室調査員、星野民夫集積応用研究室調査員に深謝します。

参考文献

[1] Adachi, T., Kitazawa, H., Nagatani, M. and T. Sudo: Hierarchical top-down layout design method for VLSI chip, Proc. 19th DA Conf., pp.785-791(1982).

[2] Ueda, K., Kitazawa, H. and I. Harada: CHAMP:Chip floor plan for hierarchical VLSI layout design, IEEE Trans. on CAD, Vol.CAD-4, No.1, January, pp.12-22 (1985).

[3] Ueda, K., Kitazawa, H. and T. Adachi: A highly-automated top-down layout design system for hierarchical custom VLSIs, Proc. of the IEEE Custom Integrated Circuits Conference, pp.452-455(1985).

[4] Karatsu, O., Hoshino, T., Endo, M. and K.,

Ueda: An automatic VLSI synthesizer, Proc. of ISCAS 85 pp.403-406(1985).

[5] 深見、笠井、宮下、上田: スタンダードセル・マクロセル複合設計方式とCADツール、昭和60年度電子通信学会総合全国大会 S4-12 1985年3月30日。

[6] Miyashita, H., Adachi, T. and K. Ueda: An automatic cell pattern generation system for CMOS pair-transistor array LSI, VLSI85 pp.379-388, August 28 (1985).

[7] 宮下、上田: CMOS標準セル自動生成システム: ACG, 情報処理学会設計自動化研究会資料 22-4 1-9 1984年7月17日。

[8] Dunlop, A.E.: SLIM-The translation of symbolic layouts into mask data, Proc. of 17th DA Conf., pp.595-602(1980).

[9] Williams, J.D.: STICKS-A graphical compiler for high level LSI design, Proc. of 1978 National Computer Conference, pp.289-295(1978).

[10] Larsen, R.P.: Versatile mask generation techniques for custom microelectronic device, Proc. of 15th DA Conf., pp.193-198(1978).

[11] Weste, N.H.: MULGA-An interactive symbolic layout design system for the design of integrated circuits, The Bell System Technical Journal, Vol.60, No.6, pp.823-857(1981).

[12] Weste, N.H.: Virtual grid symbolic layout, Proc. of 18th DA Conf., pp.225-233(1981).

[13] Hoshino, T., Endo, M. and O. Karatsu: An automatic logic synthesizer for integrated VLSI design system, Proc. of the IEEE Custom Integrated Circuits Conference, pp.356-360 (1984).

[14] Lawler, E.: Combinatorial Optimization: Networks and Matroids, New York: Holt, Rinehart and Winston, Inc., 1976.

[15] Uehara, T. and W. H. Vancleemput: Optimal layout of CMOS functional arrays, Proc. of 16th DA Conf., pp.287-289(1979).

[16] Uehara, T. and W. H. Vancleemput: Optimal layout of CMOS functional arrays, IEEE Trans. on Computers, Vol.C-30, No.5, pp.305-312(1981).

[17] 宮下、上田: CMOSセルにおけるトランジスタ配置の一手法、昭和59年度電子通信学会総合全国大会 390 1984年3月27日。