

制御信号系にもとづくタイミング検証

TIMING VERIFICATION BASED ON THE ANALYSIS OF CONTROL CIRCUITS

藤本徹哉、野田浩明、神戸尚志

T.FUJIMOTO,H.NODA,T.KAMBE

シャープ株式会社 コンピュータシステム研究所

COMPUTER SYSTEMS LABORATORIES SHARP CORPORATION

あらまし LSIのタイミング誤りには制御系に潜在するスパイクまたはセットアップ・ホールド時間の不足に起因する記憶素子の誤動作によるものが多い。これを解決するため本稿では制御系に着目した回路構造の解析と、その結果にもとづいた論理シミュレーションによるタイミング検証手法を紹介する。本手法は記憶素子の非同期的ふるまいにも対処可能であること、並びにタイミング誤りの特定が容易であることを特長とする。

Abstract Most of timing problems in VLSI are write failure of storage elements caused by critical racing in control circuits or insufficient setup-hold time. In this paper, we describe a timing verification system using logic simulation based on static analysis of control circuits. In this system, even asynchronous behavior of storages can be treated and it is easy to point out and to analyze timing failures.

1. はじめに

LSIの高速大規模化に伴って、さまざまな局面で生じるタイミング誤りは大きな問題となっている。従来から、データ依存性のために論理シミュレーション時には予測できなかった動作や、実装時の外部入力スキーによるスパイクの発生は大きな問題であった。加えて、近年その危険性をますます大きくしているものに配線の及ぼす影響がある。素子の高速化とトランジスタの微細化、チップの大型化によってゲート遅延に対する配線遅延の比重は増加の一途にあり、特に自動レイアウト技術を利用した場合、論理設計段階でその影響を高精度に予測することが極めて困難である。そのため、論理がLSIチップとして実現されて初めてタイミング誤りが顕現するという可能性は増大している。従って、そのような危険を回避するためには、根本的にハザードフリーな制御系の設計が必要とされる。

また、今日のLSIは、単に大規模であるばかりではなく、著しく複雑な機能が集積されているものが大部分である。そこでは必然的に、それを制御するための多相クロックや非同期回路など複雑な制御系が用いられている。またデータ系と制御系の密接な干渉も問題を困難なものとしており、タイミング誤りは、極めて複雑な様相を呈してきている。

このような流れのなかで、タイミング解析はまずゲートレベルの論理設計段階で動作速度を最適化するための重要な技術として発展してきた。それは単一のクロックにもとづく最も基本的な順序回路モデルが対象であり、静的なバス解析、あるいはテストパターンによらない動的解析を行ってデータバス系の遅延時間がクロック周波数の要求を満たすかどうかを解析するものであった[1,2,3]。

しかし、より複雑となっている現象を解析し設計を支援するためには、従来のように単純な回路モデルでは不十分な場合が多い。

また、クロック系を解析することにより実用

性をもったタイミング解析システムも開発されつつあるが、依然その対象は整然とした同期式システムである[4,5]。

このような状況を踏まえ、本稿では非同期的なふるまいと複雑な制御系をもちROM-RAM等の機能ブロックを含むような、より一般的な論理回路を対象とするタイミング検証手法を紹介する。

2. システムの目的と概略

論理LSIは、ストローブタイムでの出力を、その時刻での期待値と比較することによってテストされる。本稿では、このようなテストが可能な回路を対象とする。換言すると、我々は、タイミング誤りという問題を論理シミュレーションと実デバイスの動作の違いをもたらすものと捉える。

このような回路では、出力は記憶素子または外部入力によって安定性を保証されている。よって、タイミング誤りとは、記憶素子の保持する値に関する誤動作と考えられる。その原因是、次の二つである。

[A]制御系の組合せ論理回路に潜在するスパイクが記憶素子に入力されて値が破壊される場合

[B]記憶素子でのデータとクロックの間にレーシングがおこっているためセットアップ・ホールドが満足されず値が書き込めない場合

第一の問題を扱うツールは存在するが、対象を組み合せ回路に限定せねばならず、実用的ではない。また第二の問題は、従来のタイミング検証が取り上げてきた問題であるが、記憶素子の非同期なふるまいに対しては十分とは考えられない。

我々の目的は、回路を構成する全ての記憶素子について、このような可能性を調べることである。そのために、まず回路情報を収集するための構造解析をおこない、その結果を反映させた論理シミュレーションによる動的タイミング解析をおこなう。

本手法は以下の処理フローで構成される。

【step-1】 構造解析

論理回路を静的に解析し、上記の現象が起こり得る箇所と、その条件、および観測すべき信号を列挙する。以下の部分からなる。

[1.1] 陽に定義されていない記憶素子の検出

[1.2] スパイクの検査のため制御系の解析

[1.3] セットアップ・ホールドの検査のためデータバス系の解析

【step-2】 論理シミュレーション

論理検証時のテストパターンを用い、構造解析が指示する信号を観測する。

【step-3】 動作解析

論理シミュレーションの結果と構造解析の指示に基づき、タイミング誤りを検出する。ここでは、二つの主要な検査項目以外に以下の補助的な項目を検査する。

[3.1] 禁止入力。セット・リセットの衝突、バスの同時書き込みなど。

[3.2] 記憶素子を書き換えるためには不十分な短いパルス。

[3.3] クロックスキュー。

また、本手法はつきのような特徴をもっている。

(1) 設計上の制約が少ない

フリップフロップ、D-ラッチ等、同期式の記憶素子およびメモリ、レジスタ等の機能レベル素子、さらに通常のタイミング解析ツールでは扱えない非同期ラッチ、プッシュプルゲートなど多種多様の素子を含むことを許している。したがって回路設計上の自由度は高い。また、クロック系に関する制限も特にないため、タイミング設計においても同じことがいえる。

(2) タイミング誤りの特定が容易

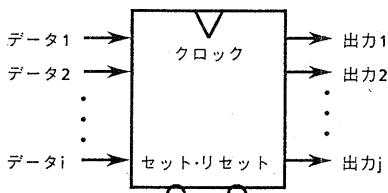
疑似エラーを極力抑えるため、データバス系についてはデータの出発と書き込みをつかさどるクロックエッジの解析をおこない、制御系についてはスパイクの伝搬条件等の解析をおこなう。またシミュレーション法であるためエラーの発生状況の解析が容易である。

本文では、信号の到着ばらつきは全て経験的なパラメタとして与えるものとする。論理シミュレーションで用いる遅延と整合性を持った値を与えることでハザードフリーな設計の支援と、レイアウト後のデバイスの動作検証に適用することができる。

次節以降では【step-1】構造解析部について述べる。3節では記憶素子の定義を行い、4節では以降の解析に先立って陽に定義されていない記憶素子の検出について述べ、5、6節で、前記タイミング誤り[A]、[B]の解析について述べる。

3. 記憶素子

ここでいう記憶素子とは、論理値を保持するものの全てをいい、(図1)に示すように、四種類の端子すなわちデータ、出力、クロックおよびセット・リセットを持つものである。ただし出力端子以外は必須ではない。ここでクロックとは、立ち上がりまたは立ち下がりエッジによって記憶素子への書き込みを制御する信号であり、データはこの信号の特定のエッジに対してセットアップ・ホールドタイムを満たさなくてはならない。またセット・リセットとは、レベルによって、記憶素子の値を非同期的に“0”または“1”に強制する信号である。このようなモデルに従うと、さまざまな記憶素子は、(表1)に示したような構成の入力端子をもつと考えられる。



(図1)

記憶素子	信号	データ	クロック	セット・リセット
フリップフロップ	○	○	○	
D-ラッチ	○	○		
トライステート	○	○		
ブッシュブル				○
非同期ラッチ				○

(表1)

ここで、同期式記憶素子はフリップフロップのように常に値を保持するものと、D-ラッチのようにトランスペアレントな状態をとるものを見分ける。これらの間ではクロックの意味が大きく異なり、特に後者の場合、値を保持してい

ないときにはスパイクが影響を与えないこと、またその期間には組み合せ回路の一部として制御系の信号伝搬経路となり得ることからである。

また、機能レベルの素子についても、同様の取扱いが可能である。たとえば同期式RAMでは、クロック ϕ 、ライトイネーブルWE、アドレス入力Ai、データI/OとしてDjをもつが、 ϕ に対してもAi, $\phi \wedge WE$ に対してDjをそれぞれクロックとデータとする二つの記憶素子であると考えられる。

そこで、すべての記憶素子は、下記の項目

[1] 端子の種類およびタイミング上の特性

- (1-1) 入力端子の場合、クロックエッジに対する最小セットアップ・ホールド時間
- (1-2) 制御端子の場合、書き込みに要する最小パルス幅

[2] 同期式記憶素子の場合、フリップフロップ型、ラッチ型の別および書き込みを制御するクロックエッジの方向によって表現できる。補助的な特性として(特にセット・リセット端子に関して)禁止入力がある。

4. 非同期ループ

本システムでは、すべての記憶素子は、(図1)のモデルに従って陽に表されていることを仮定する。しかし、記憶素子を含まないループは、潜在的な記憶素子である場合と、発振またはデッドロックを引き起こす危険な回路となっている場合がある。また、ループにラッチ型の記憶素子が含まれる場合にも同様の可能性がある。従って、最初に、このようなループを検出する。これが論理的に正しく記憶素子を構成しているれば、(図1)のモデルによる定義が可能となり、仮定は満足される。

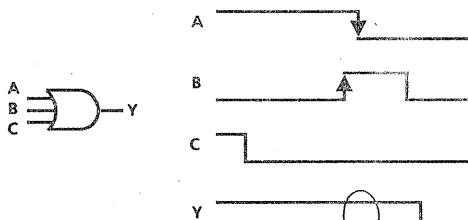
検出には組合せ論理を含むすべての素子の出力端子からの前方追跡を行う。終点はフリップフロップ型記憶素子のデータ端子または外部出力端子である。

5. メモリ破壊

クロックまたはセット・リセット端子にスパイクが乗った場合、誤った値の書き込みまたは強制が起こる。この可能性を検出することが我々の第一の目的である。従来、このような誤動作はゲート遅延のばらつきによるとされ、遷移状態をもちいたシミュレーションなどによって解

析されてきた[1]。しかし分周回路等に悪影響を与えるため回路全体を解析することには無理がある。また最悪値によるシミュレーションも、製造工程が原因となるばらつきによる効果をある程度表現できるとはいって、自動配線による大きな遅延ばらつきや、入力に非同期なふるまいがある場合、十分とはいえない。

本手法では、スパイクの危険性は、論理素子への入力として、レーシングを起こしている複数のエッジが近接して存在し、それらの方向が論理素子固有の特定の条件になっている場合に発生するものと考える。たとえばOR素子では、(図2)のように、二つの入力A、Bで対向するエッジのレーシングが起こっているとき、○印の箇所でスパイク発生の危険性がある。



(図2)

しかし、エッジが仮にスパイク発生の状態になつたとしても、これが実際にメモリ破壊をおこすのはさらに限定された状況下である。すなわち、つぎの条件の下では記憶素子への影響はない。

- (条件1) スパイクそのものが発生しない場合。
たとえば(図2)で、信号“C”が“1”ならば“A”と“B”的エッジからはスパイクは発生しない。
- (条件2) 記憶素子の制御端子までの経路が活性化されていない場合。
- (条件3) 影響の及ぶすべての記憶素子が不定値“X”を保持しているか、またはその保持されている値が、セット・リセット信号によって強制されている場合。

具体的な処理を示す。

- 【step-1】 全記憶素子のクロックとセット・リセット端子から出発する後方追跡をおこない、制御系の切り出しを行

う。終点はフリップフロップ型の記憶素子の出力端子、外部入力端子またはバスである。ここで、制御系は、終点となる記憶素子を含む場合がある。セット・リセット信号のレーシングがスパイクを発生し得るためである。

【step-2】 制御回路を構成する各論理素子について、スパイクを発生する可能性のある入力エッジの組をみつける。同時に、上で述べた(条件1)を得る。

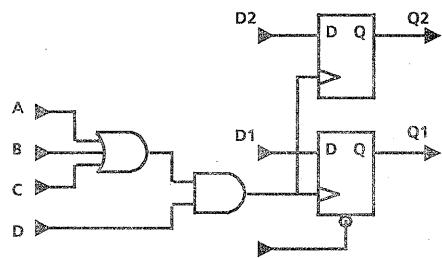
【step-3】 その論理素子の出力端子から前方追跡をおこない、(条件2)すなわち経路を不活性化する条件式を導く。この追跡は最初に切り出した制御系のみを対象とし、クロックまたはセット・リセット端子で停止する。このとき終端になった記憶素子の集合から(条件3)を得る。

【step-2,3】を制御系のすべての論理素子に対しておこなう。(図3)中のORゲートの例では、つぎの論理式が得られる。

$A \vee B \vee C$	(条件1)
$\neg D$	(条件2)
$((Q1 = X) \vee CLR) \wedge (Q2 = X)$	(条件3)

ここで各信号はレーシング時刻の前後で安定でなくてはならない。

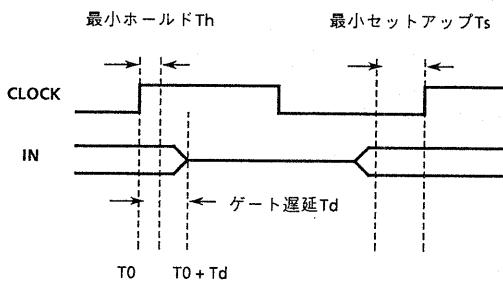
動作解析部は論理シミュレーションの結果に対しこれら三つの論理和をフィルタとして適用し、潜在するスパイクを検出する。



(図3)

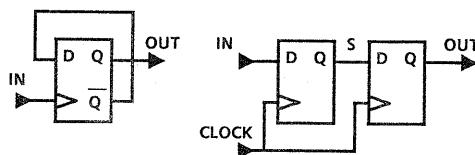
6.セットアップ、ホールド

セットアップ・ホールドとは、クロックエッジに対するデータの確定時刻および消失時刻の最小値である(図4)。パス解析によってこれを検証する場合、データの出発が、到着側クロックと何らかの関係にあるクロックで制御されているという前提があるが[6]、セット・リセットによる非同期動作を考慮するときにはこの前提是満たされない。したがって、論理シミュレーションを用いた動的解析が有効となる。



(図4)

しかし、逆に論理シミュレーションでは、データとクロックの間に何らかの関係が存在する場合に問題が生じる。代表的な現象は(図5-a,b)に示すような分周器、シフトレジスタ等である。こういった回路ではデータの書き込みと、つぎのサイクルのデータの出力が同一のエッジによって行われる。これに遷移状態をもつ論理シミュレーションを適用するとクロックの到着する時刻に幅があるため疑似エラーを出すこと



(図5-a)

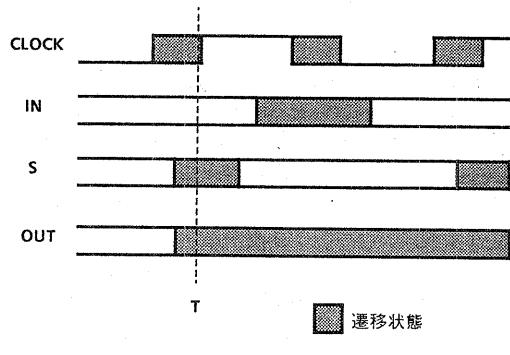
(図5-b)

になる。(図5-b)の例では(図6)のように時刻TでSの遷移状態をラッチするためOUTに正しい出力が得られない。通常の遅延シミュレーションで、クロックの到着ばらつきを考慮した長めのホールドを与えて同じことが起こる。

しかし厳密なホールドThがクロック、セット・リセット端子から出力端子への遅延Tdより短いと仮定すると、同一のクロックエッジに由来するデータについてはホールドタイムの評価は不要である(図4)。すなわち同一クロック CLOCKのエッジT0から出発するデータに対してはデータの消失はT0+Tdで起こり、自動的にホールドを満たしている。したがってデータ転送経路の遅延を考慮したセットアップのみを検査すればよい。異なるエッジで制御されている場合にはさらに制御系の到着ばらつきを含むセットアップ・ホールドを検査する。但し、セット・リセットはセットアップ時間のみに影響する。仮定Th<Tdから、データ出発側のエッジよりも後にはいったセット・リセットの影響はホールド時間が経過した後にしか現れないからである。

したがって、構造解析部はデータの書き込み側クロックエッジと、その出発側エッジの間の関係をデータバス系の後方追跡によって調べる。始点はデータの到着側の記憶素子の入力端子、終点はフリップフロップ型記憶素子の出力端子または外部入力端子である。その結果、データバス系はその出発側の性質によって三つのタイプに分類できる。

- (1) 同一のエッジによるもの(図5)
- (2) まったく独立なエッジによるもの、または外部端子
- (3) 両者の混在しているもの



(図6)

(3)の場合、さらにデータがどの経路をとつて由来したかを判定するためのフィルタとなる論理式が必要となるが、これは前記の後方追跡の際に得られる。

また、セットアップについてはセット・リセットによって出発したデータバスでも解析することができる。

さらに、疑似エラーの削減のため到着側の記憶素子がつぎに該当する場合、検査対象から除く。

(1) セット・リセットが非同期的に値を強制している

(2) 記憶素子の値が“X”である

(3) データの値が“X”である

構造解析部はすべての記憶素子についてこれらの条件を表す論理式を導く。

動作解析部は各記憶素子のすべての書き込み動作についてこれらをフィルタとして適用し、セットアップ・ホールドの誤りを検出する。

7.結果

本システムを、7Kゲート、14Kゲートの論理LSIに適用した。これらは、内部バス、非同期ゲート、多くの内部クロック発生回路を含み、外部入力として複数の基本クロックと非同期入力をもつ、タイミング的にはきわめて複雑なデバイスである。その結果、回路とテストパターン双方に多数のタイミング誤りが検出できた。疑似エラーの量はそれぞれ数パーセントであった。また、構造解析部で要したCPU時間は前記の2データについてそれぞれ100、240秒であった(4.5MIPSのミニコン使用)。

8.むすび

一般的な論理回路に対して、チップレベルで適用可能なタイミング検証手法を示した。本手法によって、タイミング誤りの危険を回避し、信頼性の高い論理設計が可能となった。

謝辞

本研究を進めるに当たり、有益な助言を頂いたIC開発センター中家崇巣主任に感謝します。

参考文献

- [1] T.M.McWilliams, "Verification of Timing Constraints on Large Digital Systems", 17th DAC, 1980, pp139-147
- [2] R.B.Hitchcock, Sr., et.al, "Timing Analysis of Computer Hardware", IBM J.RES.DEVELOP Vol.26 Jan.1982, pp100-105
- [3] R.B.Hitchcock, Sr., et.al, "Timing Verification and the Timing Analysis Program", 19th DAC, 1982, pp594-604
- [4] 近江谷他「大規模回路タイミング検証システムTACS」情処第28回(昭和59年前期)全国大会論文集pp1439-1442、1477-1478
- [5] 佐久間他「タイミング解析システムALTICS」情処第30回(昭和60年前期)全国大会論文集pp1929-1932
- [6] 矢野、児玉「LSIタイミング解析システム(TIAS)」SSD85-75