

畳み込み手法を用いたPLAの分割

井口 幸洋・向殿 政男
明治大学・工学部

本報告では、1つのPLA(Programmable Logic Array)をより小さなより高速なPLAに並列に分割する手法を提案する。本手法は、ワンカット行畳み込み手法をもとにして分割を行う。まず、PLAにワンカット行畳み込みを施す、次にその畳み込まれたPLAの構造の情報をもとに2つの独立したPLAパターンに分割する。以上の操作(畳み込み・分割)を繰り返し適用し、PLAの面積の総和を減らす。本手法の特徴は、PLA畳み込みアルゴリズムを用いて分割を行っていること、したがって、分割に際してはPLAのパターンのみに注目していることである。

Partitioning PLA Based on Folding Method

Yukihiro IGUCHI and Masao MUKAIDONO

Faculty of Engineering, Meiji University
Tama-ku, Kawasaki, Kanagawa, 214 Japan

In this paper, we propose a method to partition a PLA (Programmable Logic Array) into a set of smaller and faster parallel PLAs. This method is based on the one-cut row folding method. In this partitioning method, at first the one-cut row folding is performed, and then a folded PLA is partitioned into two PLAs. These operations (folding, Partitioning) are carried out iteratively to reduce the sum of PLAs' area. It is characteristic that this method is based on an algorithm of PLA folding, that is, this partition is carried out only by using PLA pattern ignoring the functions.

1. はじめに

集積回路技術の発達により、デジタルシステムのVLSI化が進展している。これに伴い、回路や機能の大規模化・複雑化が進み、設計時間やコストの増大の原因となっている。さらに、人手のみによる設計はもはや不可能となっており、計算機支援設計が必須となっている[1]。計算機支援設計向きの設計手法として、一般に構造化設計手法が用いられている。これにより設計期間の短縮や回路検証の容易化等がはかられており、PLA(Programmable Logic Array)等の規則正しい構造の素子が、構造化設計手法に基づいてVLSI内で多用されるようになってきている[2]。一方、PCB(Printed Circuit Board)上で、FPLA(Field PLA)等のフィールドでプログラム可能な素子が多用されるようになってきている[2]。

通常、大規模なPLA内部には隙間(未使用領域)が多く存在し、歩留りやスイッチングスピードの改善の為に種々の方法が提案されている[2]。PLAの面積を削減することで、これらを改善することが可能である[2]。論理関数の簡単化によってPLAの面積を減らす方法としてMINI[3]、MINI-II[4]、ESPRESSO-II[5]等がある。PLAの入力部に2ビットデコーダを用いる方法[4]、出力の位相を選択する方法もある[4]。また、PLAの隙間を利用してトポロジ的に面積を減らす方法として畳み込みがある[6]~[10]。畳み込みは、論理設計が終わった後の実装設計時に行われる。一方、1つの大きなPLAで必要な論理関数を実現するのではなく、これを複数のPLAに分けて実現する方法がある[11]~[15]。この方法は、その分け方により分割と分解に分類できる[11]。PLAのパターンのみに注目して分けることが分割であり、出力の論理関数の性質を分析して分けるのが分解である[11]。

畳み込みにおいて、切断点の位置をある高さに揃えた二分割畳み込み[8]、ブロック畳み込み[9]が提案されている。これらは、列畳み込みを行った後の行畳み込みが容易、高速に畳み込みを求めることができる等の優れた特徴を持っている。筆者らは、二分割行畳み込みにおいて、(1)列の支配関係に着目し取り扱わねばならない列数を減らし、(2)分枝限定法により高速に行畳み込みを求める方法(ワンカット行畳み込み法)を提案した[10]。本稿では、ワンカット行畳み込み法を用いてPLAを分割する手法を提案する。本手法では、まずPLAパターンにワンカット行畳み込みを施し、その情報をもとに2つの独立したPLAパターンに分割する。畳み込み・分割を繰り返し適用して分割後のPLAの面積の総和を減らす。ここで特徴的なのは、分割に際してはPLAのパターンのみに注目して行うことと、

1回の畳み込み・分割の操作でPLAの個数は2倍になることである。ワンカット行畳み込みは高速に求められるので、分割も高速に求めることが可能である。

2. PLAのワンカット行畳み込み

2.1 PLAのモデルについて

畳み込みを施す前のPLAの例を図1に示す。左側の列は入力線である。入力とその否定がAND平面に入り、行方向の積項線で論理積がとられる。そして、OR平面で各出力に関して必要な論理積の論理和がとられ、右側の列の出力線に出力される。なお、○印は、その交点上にトランジスタが存在することを示している。

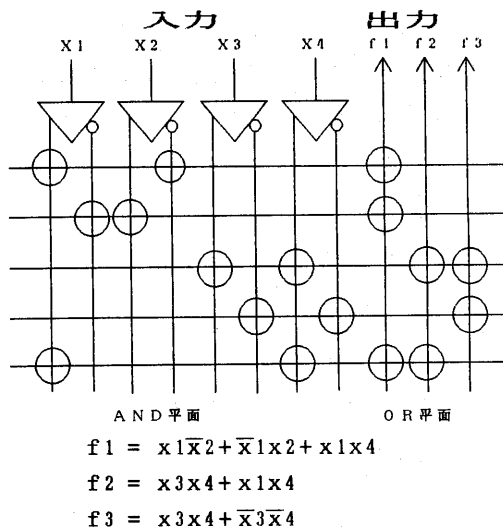


図1. PLAの例

2.2 ワンカット行畳み込み

行畳み込みは、PLAの隙間(未使用領域)を利用する。これは、互いに列(入力線、出力線)を共有しない2つの行(積項線)を、切断点を用いて1本の行に配置することで面積を削減する方法である[7]。一般的な行畳み込みでは、切断点を各種項線の任意の位置に置くことが許される。本論文で扱うワンカット行畳み込みは、畳み込み後のPLAの構造をOR-AND-OR(AND-OR-AND)に固定し、切断点の存在を縦1列にのみ制限したものである[10]。図1のPLAにワンカット(OR-AND-OR)行畳み込みを施した例を図2に示す(以後、本稿ではOR-AND-OR構造を取り扱うこととする)。図2では2行畳み込まれ、5行が3行にまで削減されている。ワンカット行畳み込みの切断点が縦1列である特徴をいかし、高速に畳み込みを求めるアルゴリズムを提案されている[10]。詳細は文献[10]を参照されたい。

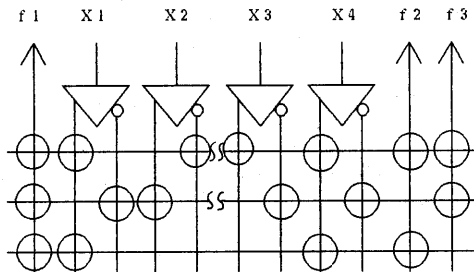


図2. 図1のPLAにワンカット行量み込みを施した例

2.3 PLAパターンの表現方法

本節以降、簡単の為にPLAパターンを簡略化して表現する。例えば、図1のPLAは図3(a)の様に、図2は図3(b)で表現することにする。即ち、AND平面側では、入力肯定側(否定側)にトランジスタが存在するとき'1'(0)'で、存在しないときは'-'で表す。OR平面側では、トランジスタが存在するとき'1'で、存在しないときは'0'で表すこととする。また、'/'はAND平面とOR平面との境界を表す。なお、ワンカット行量み込み後のPLAでは、':'で切断点を表す。

10--/1--	1/10:11/11
01--/1--	1/01:00/-1
--11/-11	1/1- -1/1-
--00/--1	
1--1/11-	
(a)	(b)

図3. PLAの簡略化した表現

2.4 PLAの面積の評価

PLAの面積の評価は、製作されるプロセス、LSI内の他の素子との大きさのバランス、PLAの外部回路や配線等の様々な要因があり、非常に難しい。本稿では、簡単の為に行数及び列数を掛けたものをPLAの面積とし、次式を採用する。

1ビット入力デコーダのとき(式1)

$$\text{面積} = (\text{入力線数} \times 2 + \text{出力線数}) \times \text{積項線数}$$

2ビット入力デコーダのとき(式2)

$$\text{面積} = (\text{入力線数} \times 4 + \text{出力線数}) \times \text{積項線数}$$

例1. 図3(a)(b)の面積は以下の通り。

$$(a) \text{の面積} = (4 \times 2 + 3) \times 5 = 55$$

$$(b) \text{の面積} = (4 \times 2 + 3) \times (5 - 2) = 33$$

3. PLAの分割

3.1 分割の目的

PLAを複数のより小さなPLAに分けることを分割(分解)という。パターンのみをみて分ける方法を分割、出力の論理関数の性質をみて分けることを分解という[11]。本稿で提案する手法はPLAのパターンのみに注目する方法であるので分割である。

PLAの分割を行う目的は以下の通り。

マスクPLA(Mask PLA)の場合

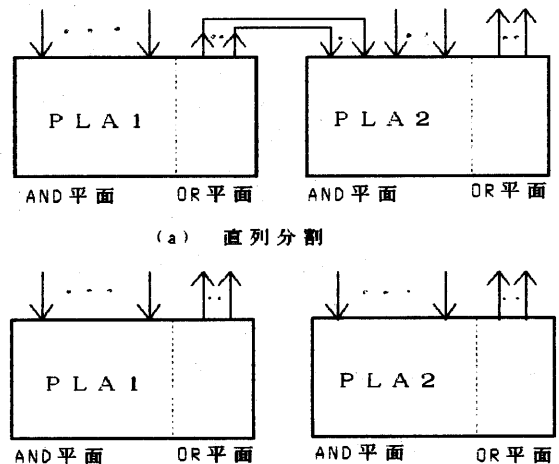
- (1) VLSIチップ内でPLAの占める総面積を削減する。また他のモジュールに比べ、極端に大きなPLAを作らぬことでチップ全体の面積を減らし、歩止まりを改善する。
- (2) PLAの大きさを小さくすることで、PLA内の配線長を短くする。このことにより、PLA内部で生じる伝搬遅延を小さくし、高速動作を可能にする。

FPLA(Field PLA)の場合

FPLAでは、その構造(入力数、出力数、積項数)は決定されている。そこで、大きすぎて1つのFPLAで実現できない論理関数は、複数のFPLAで実現しなければならない。特にFPLAの場合、外部ピンを極端に増やす事ができないという制約から、入力線数が不足することがよく生ずる。そこで、分割手法が必要となる。

3.2 分割の種類

PLAの分割は、図4に示すように直列分割と並列分割に分かれる[11]。本稿で提案する分割法は、並列分割であり、1回の分割操作でPLAの個数が2倍になる。また、分割はPLAのパターンのみに注目して行う。



(b) 並列分割

図4 直列分割と並列分割

3.3 ワンカット行畳み込みとPLAの分割

図5にワンカット行畳み込み後のPLAの一般的構造を示す。まず、すべての行が畳み込まれたとすると、もともと1つのPLAが2つのPLAに分かれることは明らかであろう。図5において、切断点に対して左側(右側)の部分の入力線の中で、入力線の順番を変更しても畳み込みには影響しない。そこで、次のように入力を X_1, X_2, X_3, X_4 の4つのグループに分けることができる。平面AND₁で実現される積項は、 $X_3(X_4)$ の内の幾つかの入力変数を含み、かつ $X_1(X_2)$ は含まない積項である。平面AND₂で実現される積項は、出力 F_1 及び F_2 の両方に用いられ、 X_1 及び X_2 内の変数は含まない。ここで図5の斜線部分は、未使用領域(トランジスタがない領域)である。

上記のように畳み込み後のPLAを5つの領域に分けることが可能である。この事実を用いて、このPLAを2つのPLAに分割することが可能である。図5のPLAを2つのPLAに分割し、図6に示す。

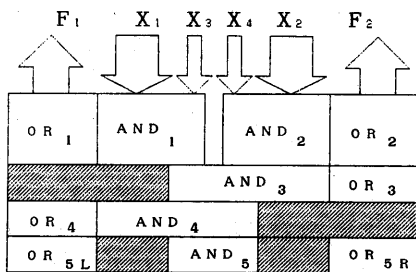


図5. ワンカット行畳み込み後のPLAの構造

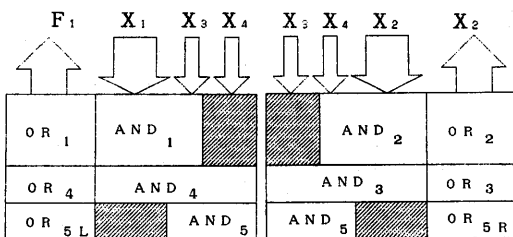


図6. 図5のPLAを2つに分割したPLA

例2. 図3(b)の畳み込みPLAを2つに分割し、図7に示す。

10- / 1	- 11 / 11
01- / 1	- 00 / -1
1-1 / 1	1-1 / 1-

図7. 図3(b)のPLAを2つに分割した例

このようにワンカット行畳み込み後の構造をもとに、2つの独立したPLAに分割することができる。分割した後のPLAに、更にワンカット行畳み込み・分割の操作を繰り返し適用することで更に面積を削減可能である。

例3. 直列加減算器(入力数18, 出力数15, 積項数32)をPLAで実現した例を図8(a)に示す。これにワンカット行畳み込み・分割の操作を繰り返し適用した時のPLAパターンを図8(b)-(f)に、その時のPLAの面積の総和の推移を図8(g)に示す。

本手法で分割を行った時、総面積が最も大きくなる場合を考えてみる。図6で、入力 X_1 と X_2 に属する入力がない場合($X_1 = \phi, X_2 = \phi$)である。(図9参照)。

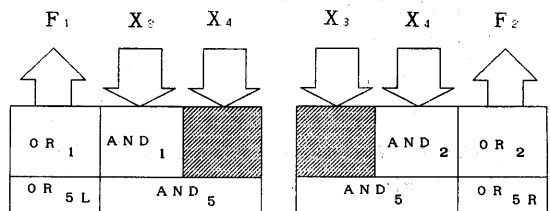


図9. 分割後のPLAの面積の総和が最も大きい場合

入力数 N_{in} , 出力数 N_{out} , 積項数 N_{term} , 畳み込み数 N_{fold} とすると、分割後の総面積は、もとのPLAの面積の

$$\frac{(N_{in} * 4 + N_{out}) * (N_{term} - N_{hold})}{(N_{in} * 2 + N_{out}) * N_{term}} \text{ 倍となる --- (2)}$$

(2)式を用いて、分割した後の面積がもとのPLAの面積以下になるには、

$$\frac{(N_{in} * 4 + N_{out}) * (N_{term} - N_{hold})}{(N_{in} * 2 + N_{out}) * N_{term}} \leq 1$$

であればよい。即ち、

$$N_{fold} \geq (2 * N_{in} * N_{term}) / 4 * N_{in} + N_{out}$$

であればよい。

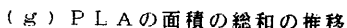
例4. 例3のPLA(入力数18, 出力数15, 積項数32)では、

$$N_{fold} \geq (2 * 18 * 32) / (4 * 18 + 15) = 13.2$$

つまり最悪のPLAパターンでも14行以上畳み込めれば、分割後の面積の総和は必ずもとのPLAの面積より小さくなる。

上記の式は最悪の場合である。実際の大規模なPLAでは、隙間が非常に多い場合があり、しかも、入力変数と出

(a) 直列加減算器



ワンカット行畳み込み

(b)

分割

(c)

(d)

ワンカット行畳み込み

(e)

(f)

分割

分割

図 8. PLA に本分割手法を適用した例

力変数の関係が薄いものがあり、本分割方式を用いて面積を減少させることが可能である。

3.4 畳み込みとの比較

面積が同程度であれば、畳み込みPLAよりも、それを分割したPLA2つの方が、規則性という点で良いと考えられる。PLAを、最終的に、畳み込みPLAで実現するか、分割したPLAで実現するかは、配線問題とのかねあい決定する必要がある。また、畳み込み・分割の回数を単に増加させることは、面積の総和が小さくなる場合でも実際にLSIのチップ面積の減少にはつながらない。よって、分割したPLAの行方向の大きさを揃えるなどの考慮が必要であると思われる。

4. まとめ

ワンカット行畳み込み手法を用いて、PLAの分割を行う方法を提案した。畳み込み・分割を繰り返し適用することで面積を削減することが可能となる。また、FPLAの分割に用いることも可能である。

今後の課題は、実際の多くのPLAパターンに対して本手法を適用することである。効果的に畳み込みができない場合、例えばパターンの密集したPLAに対しては、入力のコピーして付け加えるなどの工夫を施してみることも必要であろう。

謝辞: PLAのデータを提供していただきました九州工業大学の笹尾勤助教授に深謝致します。また、貴重なご意見をいただきました本学山田輝彦助教授に感謝致します。

参考文献

- [1] 樹下: 論理装置のCAD, 情報処理双書5, 情報処理学会 (1981).
- [2] 笹尾: PLAの作り方使い方, 日刊工業新聞社(1986).
- [3] S.J.Hong, et al.: "MINI: A heuristic approach for logic minimization", IBM J. Res. Dev., Vol. 18, No.5, pp.443-458 (1974).
- [4] T.Sasao: "Input variable assignment and output phase optimization of PLA's", IEEE Trans. Comput. C-33, 10, pp.879-894 (1984).
- [5] R.K.Brayton, et al.: "Logic minimization algorithms for VLSI synthesis", Kluwer Academic Publ. (1984).
- [6] R.A.Wood: "A High density programmable logic array chip", IEEE Trans. Comput., C-28, 9, pp.602-608 (Sept. 1979).
- [7] G.D.Hachtel, et al.: "An algorithm for optimal PLA folding", IEEE Trans. Computer-Aided Des. Integrated Circuits & Syst., CAD-1, 2, pp.63-77 (April 1982).
- [8] J.R.Egan, et al.: "Bipartite folding and partitioning of a PLA", IEEE Trans. Comput. -Aided Des., Vol.CAD-3, No.3 (July 1984).
- [9] Y.S.Kuo, et al.: "A heuristic algorithm for PLA block folding", Proc. 22nd DAC, pp.744-747(1985).
- [10] 井口, 向殿: "FPLAのワンカット行畳み込み", 情報処理学会論文誌, 27-12, pp.1155-1161 (1986).
- [11] 笹尾: "論理合成", 情報処理学会『シリコンコンパイルーション』講習会資料 pp.13-27 (March 1987).
- [12] G.D.Micheli, et al.: "Topological partitioning of programmable logic arrays", ICCAD-83 pp.182-183 (1983).
- [13] 笹尾: "論理関数分解の一般化とその応用", 科学研究補助金総合研究(A), しこつこ研究会資料(1986).
- [14] 笹尾: "PLAの並列分解について", 科学研究補助金総合研究(A), あそ研究会資料(1987).
- [15] 井口, 向殿: "畳み込み手法を用いたPLAの分割", 電気学会全国大会 (March 1988).