

DAC '88 報告

日立製作所 中央研究所
小澤 時典

学会名 : Design Automation Conference
期間 : '88. 6. 12 ~ 15、
場所 : Anaheim, CA, USA
論文数 : 124件、
参加者 : 4600人、展示含め、合計 9,600人

25周年を期して、国際化を指向。

論文は、技術的内容で選び、話題性はパネルで補う方針。

1. 今年の特徴 :

- ① 論文の質向上。技術重視。AI、WSのSess.は、姿を消し展示へ。
- ② Idea of DA の Sess.を4つ設け、若いテーマに発表の機会を与えた。
- ③ 論理関係、特に設計言語、論理生成に力点が置かれた。

2. 基調講演 Ian M. Ross, AT&T Bell Labs.

技術は、Needs, Technology, Network が相互に関係し合いながら進む。

○ LSIの規模 : '60年代1000倍、'70年代100倍、'80年代は鈍り100倍以下。

○ 設計生産性 : '76年を1とすると、'84年10、'86年30倍。

○ ソフトが生産性をあげている。THRUST Method/Training/Better

Proj. Manage/Standard Architecture/Reuse Lib

/Higher Level Language/Expert System

○ 将来技術 : Neuro Technique from Bio to Si/Speech Processing

/Super Conductor, Dry Ice

Temp./ISDN

3. 25周年記念講演(3人)

1) R.Rohrer (CMU) : E DA Life Cycle. 世代による適用対象の変遷。

Pre-Industry ~1970

Life Cycle	'70 ~ 82	'82 ~ 88	'88 ~ ?	?? ~
Design Input	Geometry	Schematic	Structural*	Behavioral**
Designer	Cct/Layout	Logic	Hardware	System
Platform	Proprietary	Bundled	Software	Soft+Archit

*) RTL/Boolean, **)HDL/CODE,

Value Added のシステム形態を図1に示す。

2) H.DeMan (K.U.Leuven) : '90年代CAD, EC ESPRIT II

3) T.Sudo (NTT,Japan) : Progress in CAD & Technology

PS : Proprietary Systems, BS : Bundled System

US : Unbundled System, SW : Software(Value Added)

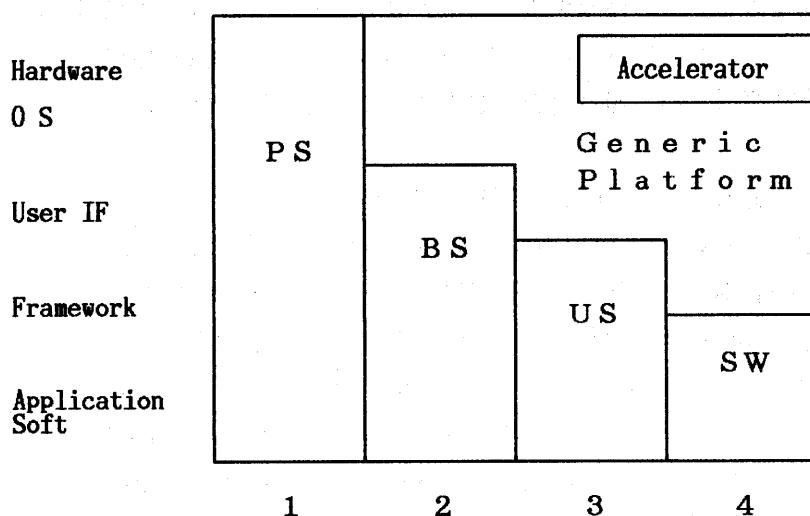


図1 CADの世代と特徴

Generation

4. Best Papers:

- 1) "An Automated Built-in Self-test (BIST) Approach for General Sequential Logic Synthesis."
Charles Stroud, AT&T Bell Labs.
- 2) "Fast Incremental Circuit analysis Using Extracted Hierarchy."
Derek Beatty, CMU
- 3) "Fast Algorithm for Optimal Layer Assignment"
Yue-Sun Kuo, Instit. of Inf. Science, Academia Sinica, China

5. 論文の分野別分類

論文の性質に依り、13の分野に分けた件数を表1に示す。

発表件数の多い2企業、4大学に付いても分野別に示す。

昨年の件数と比較して、論理合成、言語などの増加が顕著である。

表1. DAC'88 論文分野別分類

	分 類	米国企業		米 国 大 学				件数小計	
		I B M	A T T	U C B	C M U	I L L	S T F	今年 88年	昨年 87年
1	Synthesis Language	2	3	1	3		2	2 4	1 5
2	Logic Sim. Logic Verif.	2					2	1 6	1 8
3	Circuit Sim. Timing Anal.		1	1	1	2		8	4
4	Circuit Design		1					3	0
5	Testing & Diagnose		3	1		2		1 8	1 1
6	Partition Pin Assign					1		1	0
7	Chip Layout Floorplan							5	9
8	Placement Algorithm		1	1	2			7	5
9	Routing Algorithm			1		1	1	1 2	1 4
10	Module Generation			1				3	7
11	Compaction & Extr.&Verif.		1		1 H		1	1 2	7
12	System							3	5
13	Data Base & Structure			1				1 2	6
	合 計	4	1 0	7	7	6	6	1 2 4	1 2 2