

高性能LSIのレイアウト設計法

矢部 昌司 多和田 茂芳 水牧 俊博 清水 克姫
能登 千晶 野村 稔

日本電気(株)
北陸日本電気ソフトウェア(株)

あらまし

高性能LSIのレイアウト設計法について述べている。高速・高性能LSIの設計時には、遅延制約を満たすことが必要であり、設計の早い段階での遅延解析及びその結果のレイアウト、特に配置への反映が重要である。そのため、グルーピング、フロアプラン及び外部端子のZone指定、高速・高駆動能力をもつブロックへの変更等のインタラクティブ機能をEWS上で提供する。又、フロアプランが完了した時点での論理遅延解析及び配線後の物理遅延解析により違反パスを検出し、その結果を配置にフィードバックする。さらに、クロック、スキャンパス、クランプ信号などの共通信号に対し、その接続関係を配置結果に従って変更することにより最適化し、クロックスキューの低減、配線性の向上を図る。配線後は、各種電気的特性をチェックし、違反がある場合は配置、配線にフィードバックする。以上の機能により、高性能LSIを短期間に設計できる事を実証した。

Layout Methods for High Performance LSIs

Shoji Yabe, Shigeyoshi Tawada, Toshihiro Mizumaki,
Kazuki Shimizu, Chiaki Noto and Minoru Nomura

NEC Corporation
NEC Software Hokuriku, Ltd.

1-10 Nisshincho, Fuchu, Tokyo, 183 JAPAN

Abstract:

Layout methods for high performance LSIs are described. It is important to satisfy a delay time restriction by some physical considerations in designing high speed, high performance LSIs. To realize this considerations, some interactive functions, such as grouping, floorplan, zone assignment for external terminals and a block exchange to a higher performance one with the same functions, are provided. Also a feedback process to a placement phase with delay violation paths obtained by the logical and physical delay analysis phases, and a logical connection optimization function using placement results concerning common net connections are applied. After the routing, kinds of electrical rule checks are carried out and, if some errors are detected, layout processes are retried.

1. まえがき

近年コンピュータシステムの高品質化、高性能化、小型化への要求はますます強く、それらの各種要求に応えるためには、コンピュータシステムのLSI化が必須条件になっている。このことは、LSIの性能がコンピュータシステムの性能を決定づけてしまうことを意味しており、当然のことながらLSIの実現にあたっては厳しい開発上の要件を満足する必要がある。それらの要件は、概ね大規模化と高性能化の二極に分化している。即ち、CMOS、BiCMOS系LSIでは、ますます大規模化が進んでおり、これら大規模データを効率よく処理する設計環境が望まれている。又、バイポーラ系LSIでは、ますます高性能化が進み、遅延制約を満足したレイアウトを実現する設計環境が望まれている。

本稿では主にバイポーラ系LSIに対して要求されている遅延制約、即ち、クロックスキューの最小化、遅延時間の短縮化を実現するLSIを短期間で設計するためのレイアウトシステムについて述べる。

2. 特徴

本レイアウトシステムは、当社の大型コンピュータACOSシリーズ、及びEWS4800シリーズ上に構築されており、主にEWSでは各種指定を、ACOSではそれら指定情報を考慮した自動処理を行っている。本システムは、以下のような特徴を持つ。

- きめ細かい配置指定。
(グループピング、フロアプラン、強制配置)
- 遅延制約、パワー制限を意識したブロックタイプの変更
- レイアウト容易性を考慮した論理接続の最適化
(クロック信号、スキャン信号 等)
- 設計の早い段階での遅延解析、及びその結果のレイアウトへの反映。
- レイアウト後の遅延解析結果の配置へのフィードバック
- チェックの充実と結果の活用
(電流密度、電圧降下チェック)

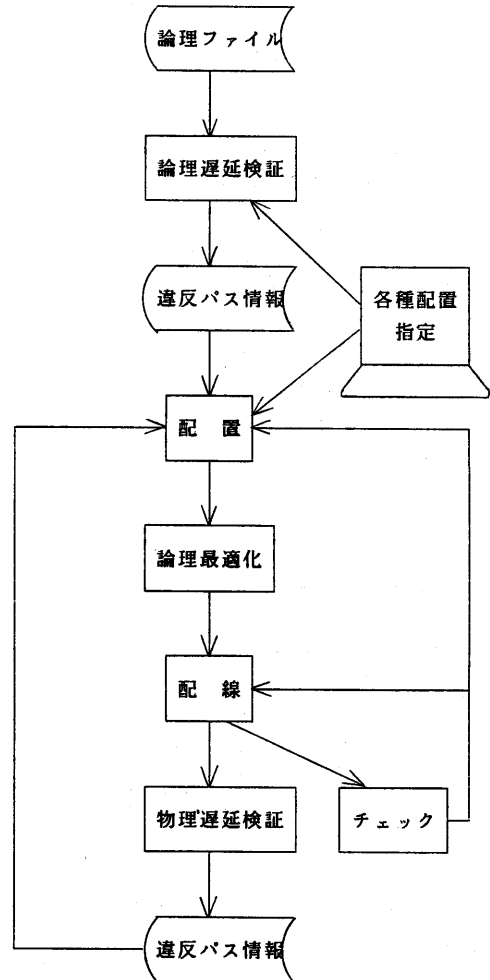


図1. レイアウト設計フロー

3. フロー

高性能LSIのレイアウト設計時のフローを図1に示す。

論理設計者はマクロを用いて論理設計を行い、回路図登録する。マクロは、ユーザーが個別に作成して使用するプライベートマクロ、及び、汎用的な回路を予め登録しておく共通マクロが使用可能である。

論理設計完了後、シミュレーションを行うと同時にフロアプランを行い、論理段階の遅延検証を行う。この段階で全論理バスが検証され、違反が発生した場

合には違反バス情報が得られる。配置では、それらの違反バス情報、及びその他の各種指定情報を入力し、ユーザーの意図を反映した配置結果を得る。さらに、高速・高性能かつ配線性のよいLSIを得るため、配置結果を入力し、それに従った論理接続の最適化を行う。その後、配線結果をもとに再度物理遅延検証を行い、もし、違反バスが検出された場合には、それらのバス情報を再度配置にフィードバックする。同時に、配線結果をもとに各種電氣的のチェックが行われ、違反がある場合には違反情報が配置及び配線にフィードバックされる。

4. 機能

本章では、前章で説明したフローに従い、レイアウトに関する特徴的な部分に焦点をあててさらに詳しく説明する。

1) 配置指定

ユーザーが配置に関する各種指定をEWS4800上で、LSIの画面を見ながら行う。

a) 強制指定

フリップフロップ（以下FFと略す）等のブロック、LSIの外部端子等に対し予め配置場所を特定したい時に指定するものであり、インタラクティブ性の向上のため、以下のような工夫を行った。

一般にFFのブロックはbit単位に構成され、バス記述に従って規則正しい接続関係を持つという特徴があるため、これらのブロックを強制配置する際はFFのbitの並びを考慮し、できるだけ規則的に配置する事が望ましい。そこで、FFの機能記述を入力し、この規則性を参照して同一機能のFFはそのbit順に簡易に配置できるような機能を盛り込んだ。図2に、FFブロックの論理接続の一例を示す。

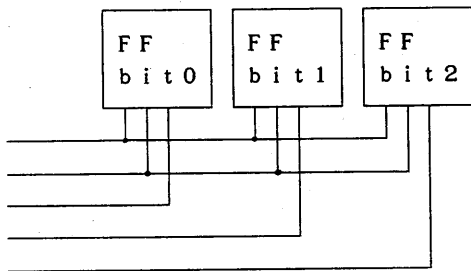


図2. FFブロックの論理接続の例

b) Zoneの割付

外部端子は、実装における上位階層とのつながりの部分であり、LSI及び上位階層の設計を円滑に行うために、その位置決めは重要な意味をもつ。外部端子位置はLSI内及び上位階層の信号の流れを十分に考慮して割りつけられるが、LSIの規模が増大するに従い内部ブロックの配置が決定されていない段階での外部端子位置の決定は、内部ブロックとの接続を行う上で歪みを生じ易いという問題が生じてきた。そこで、最初は上位階層を見通した上で概略の位置を決定しておき、内部ブロックの配置が決定された段階で外部端子の位置を調整する機能を準備した。このため、本システムではLSIの外部端子を予めいくつかの扱い易い程度のZoneに分割しておき、最初はそのZoneに対して外部端子を割り当て、内部ブロックの配置が決まった段階でZone内の外部端子の位置を正確に決定する手法を取っている。

ユーザーは、インタラクティブにZoneの指定を行い配置処理で詳細な配置位置が自動的に決定される。

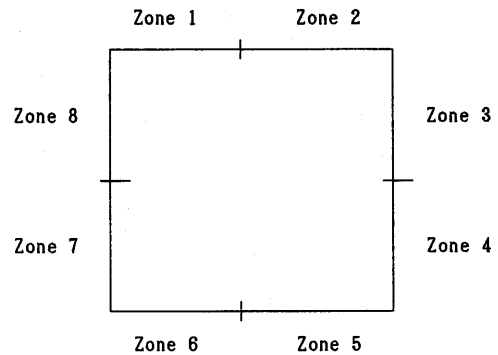


図3. 外部端子のZone定義の例

c) グルーピング、フロアプラン

大規模かつ高速・高性能のLSIを実現するためには、遅延制約をみだすこと、配線性を向上させることが必須の課題である。従来から、各種のグルーピング及びフロアプラン手法が研究されているが、遅延特性を満たし、配線性も満足させるグルーピングを全自動で求める事はなかなか困難であった。そこで、信号の流れに着目したキメ細かなグルーピング及びフロアプランを行う事が必要になってくる。本システムでは、全自動のグルーピング以外にもいくつかの方法でグルーピングを行う事を可能とし、回路特性に応じた配置結果が得られるように配慮した。

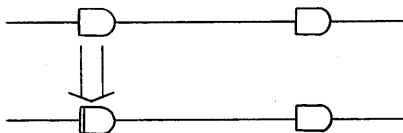
まず、論理設計の段階で予め使用されたユーザー固有のマクロ（プライベートマクロ）及び共通回路のマクロ（共通マクロ）等は、マクロ名を指定する事により1グループ化する。又、論理回路図のシートの情報をもとに同一シートを1グループ化する事も可能である。さらに、ユーザーが、画面上に表示されたブロックに対してそのグルーピングを指定するといったマニュアル指定のグルーピングも可能である。

グルーピングが行われるとグループ間の結線本数が自動的に計算され、それによってグループエリアを決定していく。この時、画面上にはグループ間の結線関係が表示され、フロアプランの良し悪しを全体の混雑度を見積りながら判断する事ができる。なお、全自動でグルーピングを行い、フロアプランを求めて全ブロックの配置を求めることも可能である。

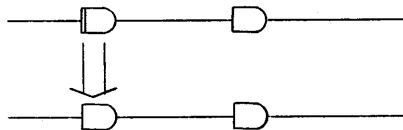
d) 回路特性の違いによるブロックタイプの変更

L S I を高速で駆動させるためには、配置段階でできるだけ線長を短くする必要があるが、配置の状況によっては必ずしもブロックを近づける事ができない場合も生ずる。このような場合、配置位置はそのまま同一機能を持った、より高速・高駆動能力のブロックと置きかえる手法を用いて遅延制約を満たすようにした。

しかし、高速・高駆動能力ブロックは、同時に高消費電力であるため、逆に消費電力をおさえる目的で不必要な高速・高駆動能力ブロックを、通常のブロックに戻す事も行っている。図4に、その一例を示す。



(a) 線長が長い場合のブロックタイプの変更



(b) 線長が短い場合のブロックタイプの変更

図4. 回路特性の違いによるブロックタイプの変更

2) 配置

a) 配置手法

自動配置は、初期配置及び改良配置から構成される。ここでは、前述した予め指定された各種強制指定情報、Zone情報、グルーピング情報、フロアプラン情報が考慮される。

初期配置では、まず予め指定したブロックのグルーピング情報に従って、ブロックをフロアプランで指定したエリア内に収容する。配置手法は組立法に基いているが、必ずグループエリア内に収容することに注力するため、大ブロックからそのサイズに応じて優先度をつけて配置を行っている。他グループとの接続があるブロックは指定したエリアの中で結線要求のある方向に引き寄せる考慮を払う。又、Zone及び強制指定をした外部端子との接続関係も考慮する。グルーピングを行わない場合には、全体をクラスタリングを用いて、その接続関係に基きいくつかのグループに分割し、Min-Cut法によりチップ全体にバランスよく配置を行う。その後、外部端子位置の決定を行う。Zone情報のあるものについては、そのZone内で配置を完結させる。

さらに改良配置では、総線長最小化及び混雑度の平準化を評価関数として、FDPRによるブロックの交換、移動を行う。ここでは、未配線の原因となる端子密度の局所的な上昇を防ぐために改良配置の途中でブロックをシャフルし、単位面積当りの端子密度を下げ、配線性を向上させる工夫を行っている。又、改良配置の途中で何回か外部端子割当を行い、初期配置の段階で得られた外部端子割当の結果を補正している。

b) 遅延解析結果の利用

遅延時間 T_{pd} は、サーキットディレイ (d_c) とメディアディレイ (d_m) の和として与えられるが、このうちレイアウトで遅延時間短縮に貢献するのはメディアディレイ (d_m) であり、いかにしてクリティカルパスのメディアディレイを小さくするかがレイアウト上での大きな課題である。そこで本システムでは、この課題を解決するために論理レベルでの遅延解析結果及び、配線後の物理遅延解析結果を利用する方法を採用した。

論理レベルでの遅延解析結果の利用では、レイアウトを行う前に予めフロアプランの結果を利用して遅延解析を行い、違反すると思われるパスを洗い出しておき、配置ではそれらの違反パスに対して出来るだけ線長が短くなるように重み付けを行って、初期・改良配置を行う。

図5は、遅延解析結果の配置へのフィードバックの例である。ここで、ブロックa~fは論理接続情報として定義されているものであり、このブロック相互間に図5(a)のような接続関係が存在するとする。この時、論理レベルの遅延解析で

① e → d → c のパスと

② a → b → c のパス

とが違反パスとして検出されたとすると、それらの情報が配置へ入力され、配置ではそれらのパスを以下のような擬似パスに分割する。

e → d

d → c

e → c

a → b

b → c

a → c

次に、これらの擬似パスを元の論理接続情報に仮に加え、図5(b)のような仮の接続情報を作成し、上記擬似パスについてネットの重み付けを行う。初期配置は、この仮接続情報に基づいて行われる。

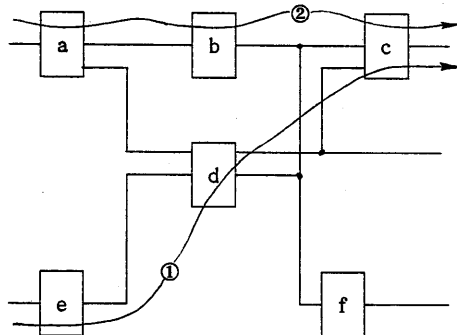
改良配置の段階では、現在のブロック配置位置に基き、何回かの改良操作の途中で違反パスが制限線長以下に収まったならば、この時点で上記重み付けを解除又は軽減していき、逆になかなか近づかない場合には、重み付けを途中で増加させるといったダイナミックな操作を行っている。

さらに配線まで修了後、再度実配線結果に従って物理遅延解析を行い、違反パスを調べその結果を配置にフィードバックさせる。

3) 論理最適化機能

一般に、配置段階では全ての論理接続情報は既に決定されており、それらの接続情報を見ながら配線長が短くなるような配置結果を得ることが要求される。この場合、共通信号等は、予め配置位置を予想してそれに従った接続関係を作成しておく必要があった。さもなければ、これらの信号が必要以上に長くなり、遅延制約の違反をおこしたり、配線チャンネルを余分に必要とし配線性を悪化させたりすることになるからである。本システムでは、この問題を解決するために、これら共通信号等は接続関係を変更してもその論理的動作は全く同一である点に着目し、配置後その位置関係に従って逆に論理接続情報を変更することを行っている。本機能を設けることにより、設計者はこれら共通信号等に対しては何らレイアウトを意識する事なく、常に最適な接続関係が得られることになった。

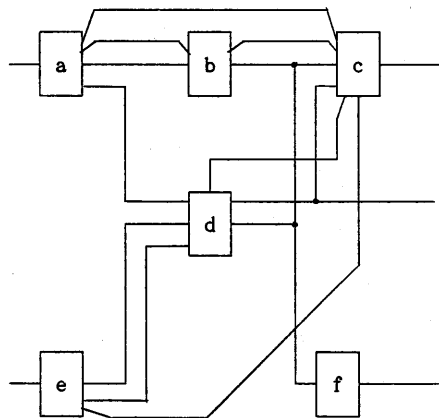
本システムでは、上記共通信号の配置結果を参照した論理接続情報の最適化を以下の場合について行っている。



違反パス ① → e → d → c →

② → a → b → c →

(a) 違反パスの例



(b) 擬似パスを追加した仮の接続関係

図5. 遅延解析結果の配置へのフィードバック

- a. クロック信号ネットの最適化
- b. スキャンパス接続ネットの最適化
- c. クランプ系信号ネットの最適化

これらの最適化は、変更ルールとしてルールファイルに記述されており、全て自動で処理される。

a) クロック信号ネットの最適化

各FFに分配されているクロック信号の線長は、LSIの性能を決める重要なファクターである。この信号線長のばらつきは、クロックスキューの増大を招き、LSIの安定動作に重大な支障をもたらす為、ク

ロック信号ネットは特に等長になるような工夫が必要である。本システムでは、クロックディストリビュータとFFの位置関係に着目し、全てのクロック信号の線長が等しくなるような接続関係に変更する。又、本ネットの配線は他のネットの配線に優先して行われる。図6にその一例を示す。CDは、クロックディストリビュータを示す。

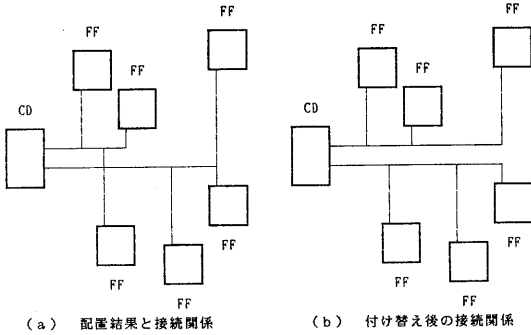


図6. クロック信号ネットの最適化

b) スキャンパス接続ネットの最適化

FF間を接続しているスキャンパス信号は遅延上はその線長の影響は余り無いと考えられるが、FFの配置によっては配線の交叉が発生する。これらの交叉は配線性を著しく低下させる要因であり、出来るだけ抑える必要がある。

そこで、スキャンパス信号の順序は可換性を持っている事を利用して、配線の交叉を無くし、配線長を最短化するようにスキャンパス信号の接続を変更する。なお、変更後新たなスキャンパス接続順でテストが行えるようにテストパターン入れ替え処理も同時に行っている。図7にその一例を示す。

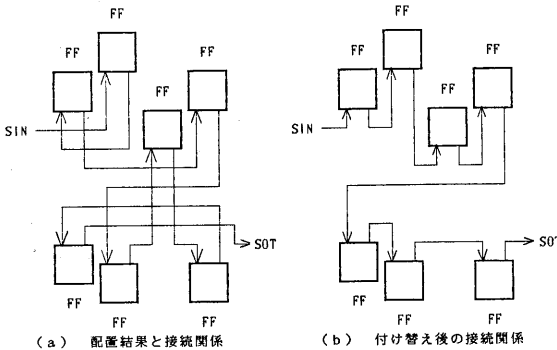


図7. スキャンパス接続ネットの最適化

c) クランプ信号系ネットの最適化

クランプ信号、その他特に指定したネット群に対して、それらの同一信号群の総配線長を最小化するように論理接続を変更する。この最適化の特徴は、論理的に同一の段数からのネット群をひとまとめにし、それらの接続関係の組み合わせを変更する事である。図8にその一例を示す。B1、B2は、クランプ信号を供給するブロックである。

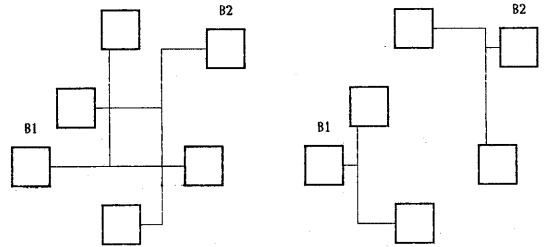


図8. クランプ信号系ネットの最適化

4) 配線

4) 配線

配線では、遅延制約を満たさなければならないクロック信号をはじめとする特定のネットは、優先的に配線するとともに、以下の様な工夫を施している。

a) ブロック内配線の活用

ブロックのピンには、配線時のターゲット点を複数点指定できる。ここで、同一ピンのターゲット点どうしは、ブロック内配線で接続されている。ブロック間配線では、ブロック内配線の抵抗が大きく遅延に影響するか否かを判断し、ブロック内配線の使い分けをしながらネット内のピン間を最短線長で結ぶように各ピンのターゲット点を決定している。

b) Wired論理のソース間太幅配線

Wiredブロック間は、他の通常ブロック間に流れる電流よりも多い電流が流れるため、Wired論理のソース間は、自動的に太幅配線を行う。

5) チェック

得られた配線結果から、各ネットの電圧降下値の計算（ソース、ロード間の最大電圧降下値の計算及び制限値とのチェック）や、電流密度チェック（各電源バスに対して流れる総電流値の計算、及び予め定義

されている各バス毎の制限値とのチェック)が行われる。高速・高性能のLSIを設計するためには、これら電気的特性のチェックはできるだけ詳細に行う事が必要であるため、本システムではブロック内配線をネット長に含めて計算を行う考慮も払っている。

これらのチェックで違反が検出された場合には、違反情報を配置、配線へフィードバックしている。

5. 適用結果

1) 遅延解析結果の利用と回路特性の異なるブロックタイプへの変更

遅延解析の結果、得られた違反バス情報を配置に入力してブロックを再配置した結果はほとんどの場合制限長以内に収めることができた。さらに、残った違反バス上のブロックを高速・高駆動能力を持つブロックタイプに変更した。その結果で再度遅延解析を行ったところ、以前の違反バスは全て許容値内に収めることができた。

2) 論理最適化機能

論理最適化機能を採用した結果は、未適用の結果と比較して総配線長で約11~15%の線長削減が行われた。そのうちクロック信号のみに着目したネットの配線長分布を図9に示す。これより、論理最適化機能を採用した場合は、各ネットの配線長の差をほぼ0、即ち、クロックスキューをほぼ0に収める事ができた。

6. あとがき

高性能LSIのレイアウト設計法について述べた。本システムは、詳細な配置指定による設計者の意図の反映や、論理遅延解析結果及び物理遅延解析結果を利用することによる初期配置及び配置改良、レイアウト結果を反映させた論理接続最適化、さらに遅延制約、消費電力制約を満たしたブロックタイプの変更等の機能を持ち、遅延制約を満たすレイアウト設計を実現し、高速・高性能LSIの設計に用いられ、大きな効果をあげている。

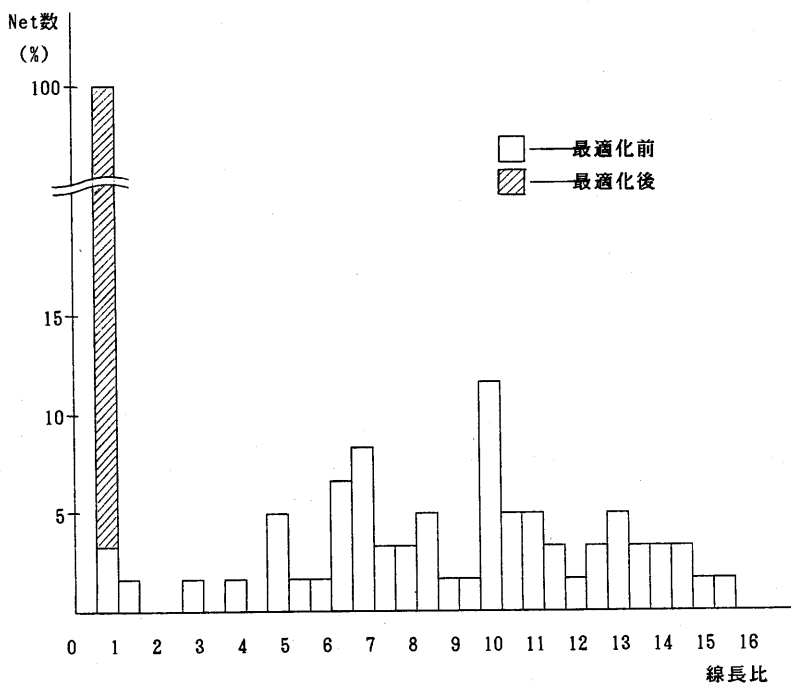


図9. 論理最適化によるクロック信号線長の最適化

〔謝辞〕

本レイアウトシステムの開発に協力して頂いた北陸日本電気ソフトウェア(株)、日本電気ソフトウェア(株)、並びに超L C A D 開本・開発部の関係各位に謝意を表します。

〔参考文献〕

- (1) D.M.Schuler and E.G.Ulrich, "Clustering and Linear Placement", Proc.9th DAC, 1972.
- (2) M.A.Breuer, "A Class of Min-Cut Placement Algorithm", Proc.14th DAC, 1977.
- (3) 水牧他, "統合論理設計システム I L O S における配置設計: P L A C", 情報処理学会第38回全国大会投稿中.