

# CMOS回路に適した BIST用テストパターン発生器

A BIST Test-Pattern Generator  
for CMOS LSI

吉田正昭

Masaaki Yoshida

日本電気(株) C&Cシステム研究所

C&C Systems Research Laboratories  
NEC Corporation

あらまし LSIチップ内にテストパターン発生器、テスト出力評価部といったテスト機能を組み込むBuilt-In Self-Test(BIST)はLSIのテストの問題を解決する有力な手法の一つである。本稿ではBISTをLSIのキーテクノロジーであるCMOSで構成されたULSIに適用する際に問題となる、stuck-open故障の検出能力を高めたテストパターン発生器を提案する。提案するテストパターン発生器は、実際のLSIにおけるゲートの使用頻度に大きな偏りがあることを考慮して考案されたハードウェアオーバーヘッドの小さなLFSRベースのテストパターン発生器である。いくつかの回路での実験の結果、良好なstuck-open故障検出率が得られた。本稿では、提案するテストパターン発生器のハードウェア構成、故障検出能力について従来提案されているテストパターン発生器と比較しながら論じる。

Abstract This paper describes a new BIST test pattern generator(TPG) which has low hardware overhead and high stuck-open fault coverage. Our approach is based on the fact that the types of gates frequently used in actual CMOS LSIs are limited. A two-input NOR gate, a two-input NAND gate and an inverter are dominant. Proposed TPGs are derived by taking into account this fact. The TPGs can be made using a normal LFSR with a small number of extra transistors. Experimental results show high stuck-open fault coverage. Hardware overhead and fault coverage for proposed TPGs are compared with those for the conventional TPGs.

## 1. はじめに

複雑さを増すLSIのテストの問題に対する有力なアプローチの一つにBuilt-In Self Test(BIST)がある。BISTではハードウェア構成の簡単さからテストパターン発生器(TPG)としてLinear Feedback Shift Register(LFSR)がよく用いられる。LFSRはその生成多項式に原始多項式を用いることにより最大長周期を発生することができるので、被テスト回路の入力数と同じ段数のLFSRをTPGとして用いれば、被テスト回路に網羅的にパターンを印加することができる。従って被テスト回路が冗長でない組合せ回路であれば全ての単一縮退故障の検出が保証されるからである。

ところが、現在のLSIのキーテクノロジーであるCMOS回路の場合、FETが常時オフとなるstuck-open故障の存在

により、このようなLFSRのTPGでは不十分であると言われている。CMOS回路の場合、stuck-open故障の存在によりゲート出力が電源から切り離された状態が生じ得るためゲート出力値が前の値に依存するようになる。つまり故障によって組合せ回路が順序回路的に変換されることになり、その検出に連続する2パターンが必要となるからである。

これまでstuck-open故障を検出できるTPGがいくつか提案されているが、ハードウェアオーバーヘッドが大きかったり、テストパターン数が多かったりと必ずしもBISTに適しているとは言い難い。本稿ではBISTに適したハードウェアオーバーヘッドの小さなTPGを提案する。さらに提案するTPGをいくつかの回路に適用しこれまでに提案されている手法と比較した結果も報告する。

## 2. 従来のstuck-open故障検出能力の高いTPG

stuck-open故障を検出できるTPGとして提案されているもののうち代表的なものに以下の2つのTPGがある。

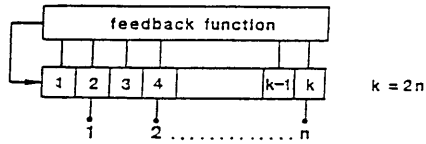


図1. 2倍長FSRを用いたTPG[1]

一つは図1に示すような被テスト回路入力2倍の長さのFSRを用いたTPG[1]である。このTPGでは1段置きレジスタ出力をテストパターンとして被テスト回路に印加する。フィードバック関数として原始多項式を用いればこのTPGは被テスト回路の入力あらゆる2パターンのペアを印加することができる。従って、このTPGは被テスト組合せ回路の全ての単一のstuck-open故障を検出できる。しかし、ハードウェアは通常のLFSRの2倍必要であるし、テストパターン長も $2^{2n}$ （ $n$ は被テスト回路の入力数）と非常に長い。本稿では以下このTPGを $2n$  LFSRと呼ぶことにする。

もうひとつのTPGは図2に示すようなLFSRとデータ反転機能を備えたレジスタからなるTPG[2]である。この

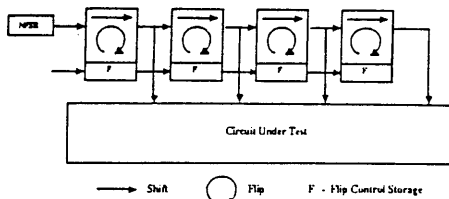


図2. PEATパターン発生用TPG[2]

TPGはあらゆる遷移のパターンを生成するかわりにPEAT (Pseudo-Exhaustive Adjacency Testing) パターンと呼ばれるハミング距離が1のあらゆる遷移のパターンを発生する。この場合テストパターン長は $(n+1)2^n$ と $2n$  LFSRの場合と比べてかなり改善されているが、複雑なフリップコントロールのためハードウェアオーバーヘッドは大きくまたその制御も複雑である。本稿では以下このTPGをPEAT TPGと呼ぶ。

LSIチップにBISTを適用する場合、ハードウェアオーバーヘッドが小さいということがまず第一に要求される。この観点から上述したようにハードウェアオーバーヘッドの大きなこれらのTPGはBISTに適しているとは言い難い。

## 3. BISTに適したTPG

### 3-1. 提案するTPG

本稿で提案するTPGは、実際のCMOS LSIで使用頻度の高いゲートはほんの数種類に限定される[3]という事実に基づき、回路構成要素を考慮することにより単純化を図ったTPGである。つまり、LSIで使用頻度の高いゲートのみを対象として、これらのゲートのstuck-open故障を検出できるTPGを通常のLFSRをベースにした簡単なTPGで構成しようとするアプローチである。

岩崎らによれば、LSIを構成している種々のゲートのうち、インバータ、2入力NANDゲート、2入力NORゲートの3つの基本ゲートだけで全使用ゲート数の実に70%以上を占める[3]。これらのゲートのうちでstuck-open故障を考慮する必要があるのはNORゲートとNANDゲートである。例として図3に示すA、B2つの入力を持つNORゲートを考えてみる。この例では4つのstuck-open故障が存在する。これら4つのstuck-open故障を検出するためのテストパターンを表1に示す。

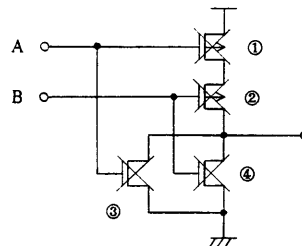


図3. 2入力CMOS NORゲート

故障No.	①	②	③	④
	A	B	A	B
初期化パターン	$\begin{pmatrix} 0 \\ 1 \end{pmatrix}$	$\begin{pmatrix} 1 \\ 0 \end{pmatrix}$	0	0
検出パターン	0	0	1	0
			0	1

表1. stuck-open故障検出パターン

表1からp-channel FETのstuck-open故障（故障①、②）は通常のLFSRが発生する単一縮退故障を検出するためのパターンセットで簡単に検出できることがわかる。一方、n-channel FETのstuck-open故障（故障③、④）はそれぞれの故障を検出するためにただ一つのシーケンスしか存在しないので検出が難しいことがわかる。従って以下の議論では検出が難しい後者のタイプの故障、すなわち出力と電源の間に並列に挿入されているFETのstuck-open故障に限ることとする。

ここで図3のゲートの入力が図4に示すように通常のLFSRであるTPGに直接接続されている状態を考える。

このTPGで発生されるパターンは  $a_i(t+1)=a_{i-1}(t)$  という関係を満たすので、故障④は決して検出されないが故障③は検出されることがわかる。従って、通常のLFSRによるTPGで網羅パターンを発生させれば、2入力NORゲートの全ての単一縮退故障が検出できる他に4つのうちの3つのstuck-open故障が検出できることになる。2入力NANDゲートの場合、考慮しなければならないstuck-open故障はp-channel FETに仮定した2つのstuck-open故障であり、NORゲートの場合の"0"と"1"を入れ換えれば全く等価となるので、NORゲートの場合と同様の議論が成り立つ。従って、NANDゲートの場合も1つのstuck-open故障以外すべて検出できることになる。つまり、通常のLFSRでも2入力NORゲート、2入力NANDゲートといった基本ゲートに対してはかなり高いstuck-open故障検出能力を持っていることがわかる。

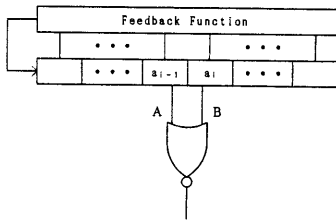


図4. 通常のLFSRによるTPG

そこでここでは通常のLFSRをメインのTPGとして用い、このTPGで検出できないstuck-open故障を検出するために簡単な補助のTPGを併用するというアプローチをとる。補助のTPGによって発生されるパターンは2入力NORゲートの故障④を検出するために、少なくとも以下の条件のいずれか一方を満足する必要がある。

$$a_i(t+1) = \overline{a_{i-1}(t)} \cdot \dots \cdot (1)$$

$$a_{i-1}(t+1) = a_i(t) \cdot \dots \cdot (2)$$

これらの条件は以下に示すようなLFSRベースの簡単なTPGで満足される。すなわち、条件(1)は反転データをシフトするLFSRで満足され、条件(2)はデータのシフトの方向を通常のLFSRと逆にしたLFSRで満足される。前者のLFSRをI-LFSRと呼び、後者のLFSRをR-LFSRと呼ぶことにし、通常のLFSR (N-LFSRと呼ぶ) とこれらのLFSRの組合せをそれぞれNI-LFSR、NR-LFSRと呼ぶことにする。本稿ではこのNI-LFSRとNR-LFSRをBISTに適したTPGとして提案する。これら2つのTPGはTPG直下にある2入力NORゲート、2入力NANDゲートの全ての単一縮退故障及びstuck-open故障を検出する。実際のLSIの大部分のゲートがこれら2つのゲートとインバータであるので、ここで提案したTPGはTPG直下にある大部分のゲートの全ての故障を検出できることになる。なお、ここで提案した2つのTPGのテストパターン長は  $2^{n+1}$

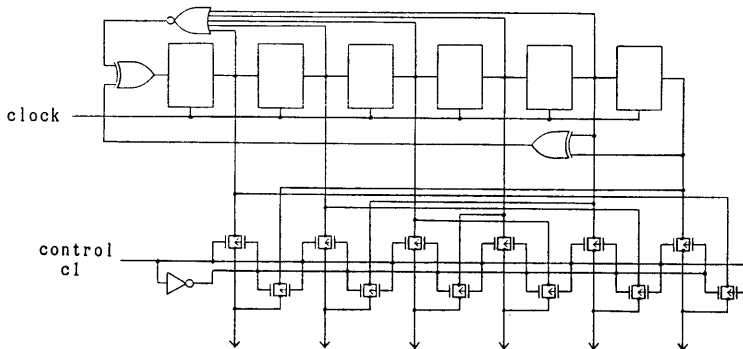


図5(a). NR-LFSRの構成例

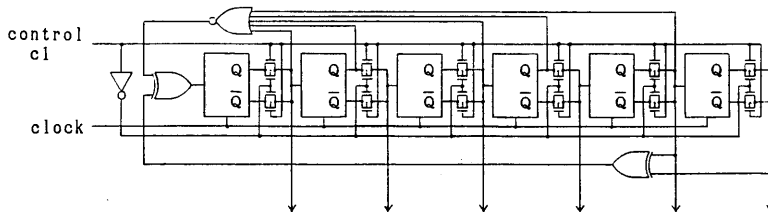


図5(b). NI-LFSRの構成例

であり、 $2n$  LFSR、PEAT TPGのテストパターン長に較べ十分に短い。

### 3-2. ハードウェア構成

NR-LFSR、NI-LFSRのハードウェア構成例を図5(a)、(b)にそれぞれ示す。コントロール信号 $c_1 = "1"$ のときこれらのTPGはN-LFSRとして動作し、 $c_1 = "0"$ のときそれぞれR-LFSR、I-LFSRとして動作する。図5からわかるようにこれらのTPGはN-LFSRに僅かのハードウェアを追加することによって簡単に構成できる。特にNI-LFSRの場合、通常N-LFSRで用いられるレジスタはD-F/Fのようにすでに反転出力を有しているものを用いているので追加すべきハードウェアはきわめて少なくすむ。すなわち、提案するTPGはこれまでに提案されている2つのTPG、 $2n$  LFSR、PEAT TPGと較べて格段にハードウェアオーバーヘッドの小さなTPGである。また両方のTPG共、メインと補助のTPGを切り替えるのに一つの制御信号が必要だけで、制御の複雑なPEAT TPGに較べきわめて少なくすむ。さらにこれらのTPGはLFSRベースのTPGであるため、exhaustive testingだけでなくpseudo-exhaustive testingにも容易に適用可能である[4]。

## 4. 提案するTPGの故障検出能力

前章では提案するTPGの直下にあるゲートに対して高い故障検出能力を有することを示したが、この章ではもう少し一般的な場合について理論的に検討を加える。

### 4-1. NR-LFSRのstuck-open故障検出能力

この節ではNR-LFSRをpseudo-exhaustive testingに用いた場合のstuck-open故障検出能力について理論的な検討を試みる。図6に示した $n$ 入力NORゲート、 $n$ 入力NANDゲート及びインバータからなるfan-out free回路で考える。

まず準備として以下の2つの定理を与えておく。

【定理1】  $i$  段目 ( $i \geq 0$ ) までの回路に対して被テストゲートのstuck-open故障を検出するパターンが存在するとき  $i + 1$  段目での検出パターンは必ず存在する。

【証明】定理1は  $i + 1$  段目を構成する各ゲートの出力がただ一つの入力だけに依存し、しかもその入力は1サイクル後には隣接するゲートの出力を規定するただ一つの入力であるような入力が存在すれば成立する。この条件はデータが順次右にシフトしていくN-LFSRで考えると、 $i + 1$  段目の各ゲートの出力が $n$ 個の入力のうちの最右端の入力ただ一つによってのみ決定されるようにすれば満足される。1サイクル後にはこの入

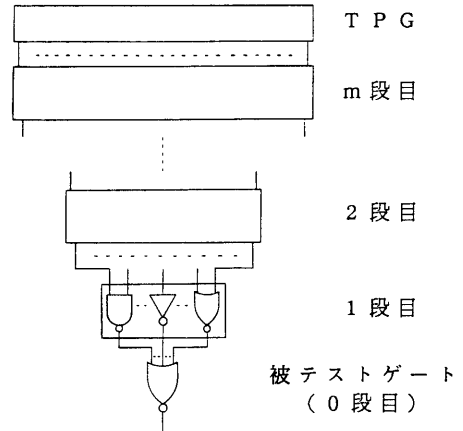


図6. 基本ゲートからなるfan-out free回路

力は右隣のゲートの最左端の入力となり、このゲートの残りの入力は出力に影響しない入力であるので、このゲートの出力は最左端の入力によって規定されるようになるからである。つまり、NORゲートの場合、最右端の入力以外の入力を"0"を、最右端の入力にゲート出力値の反転値をそれぞれ割り当てればよく、NANDゲートの場合には最右端の入力以外の入力を"1"を、最右端の入力にゲート出力値の反転値をそれぞれ割り当てればよい。インバータはもともと1入力素子であるから上記条件を満たす。R-LFSRの場合にはN-LFSRの場合と逆に各ゲートの最左端の入力のみでゲートの出力が規定されるようにすればよい。従って、NR-LFSRの場合対象としている全てのゲートに対して1つの入力のみで出力を規定し、かつその入力は1サイクル後に隣接するゲートの出力を規定する入力が存在するので定理1は証明される。

【定理2】  $i$  段 ( $i \geq 1$ ) までの回路で  $i$  段目が2入力のゲートで構成されている場合に被テストゲートのstuck-open故障検出パターンが存在するとき、 $i$  段目を構成するゲートを3入力以上に置き換えても検出パターンは存在する。

【証明】NANDゲートに"1"入力を追加してもその出力値に変化はなく、NORゲートに"0"入力を追加してもその出力値に変化はない。またNR-LFSRでは各ゲートの最右端あるいは最左端の1入力だけが1サイクル後に隣接するゲートの入力となる。従って、2入力のゲートの2つの入力の間にNANDゲートならば"1"、NORゲートならば"0"入力をいくつ追加しても、仮定したstuck-open故障を検出するのに必要な2サイクルの間にそのゲートの出力に何等影響を及ぼさない。故に2入力ゲート

のときに検出パターンが得られればNANDゲートならば“1”、NORゲートならば“0”を必要な数だけ本来の2入力の間には挿入することにより3入力以上のゲートの検出パターンを得ることができる。

以上の準備をした上でNR-LFSRのstuck-open故障検出能力について検討してみる。まず被テストゲートとして2入力NORゲートを考える。このゲートがTPG直下にある時は前章で述べたようにNR-LFSRで全てのstuck-open故障が検出可能である。定理1より*i*段目で検出パターンが存在すれば*i*+1段目でも必ず検出パターンが存在することが保証されているので図6の1段目でも被テストゲートの全てのstuck-open故障を検出するパターンが存在可能である。定理1を繰り返し適用することによりNR-LFSRをTPGとして用いれば被テストゲートが2入力NORゲートの場合、*n*入力NORゲート、*n*入力NANDゲート、インバータからなる図6に示したようなfan-out free回路のどこにあって、必ず被テストゲートの全てのstuck-open故障を検出できることがわかる。

被テストゲートが2入力NANDゲートの場合も全く同様の議論が成立し、NR-LFSRで被テストゲートの全てのstuck-open故障が検出できる。従って、2入力NORゲート、2入力NANDゲート、インバータからなる図6に示したようなfan-out free回路であれば回路内のあらゆるstuck-open故障が検出できる。

次に被テストゲートが3入力のNORゲートである場合について考える。このゲートがTPG直下にある場合、両端の入力線に接続されるFETのstuck-open故障は検出される。従って、定理1より3入力NORゲートについても両端の入力線に接続されるFETのstuck-open故障に関してはこのゲートが被テスト回路のどこにあって必ず検出パターンが存在することがわかる。

問題は3入力の中央の入力線に接続されるFETのstuck-open故障である。NR-LFSRの構成から明らかなようにTPG直下にあるこのstuck-open故障は決して検出できない。TPGと被テストゲートの間に1段ゲートがある場合、つまり図6において1段目まで回路がある場合について調べてみる。定理2から1段目のゲートとしては2入力のゲートを考えて置けば容易に3入力以上の一般の場合に拡張できる。従って、1段目のゲートの組合せとして図7に示す6つのケースを考えて置けば十分である。

図7の6つのケースについてNR-LFSRで被テストゲートの中央の入力線に接続されるFETのstuck-open故障が検出可能か否かを調べてみるとケースCとケースDの2つのケースで検出パターンが存在し得ないがその他のケースでは検出パターンが存在し得ることがわかった。

ところで6つのケースをよくみるとケースBとケースF、ケースCとケースEはそれぞれ同じ論理を表わ

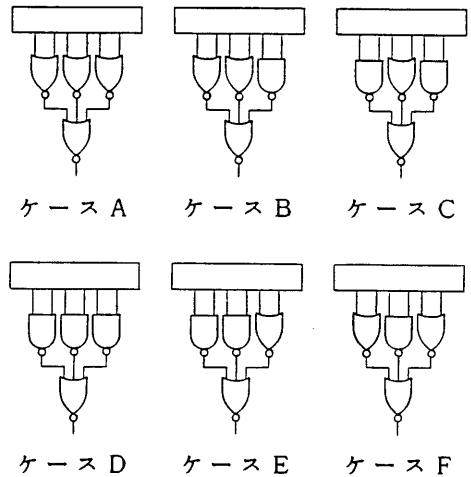


図7. 被テストゲートが3入力NORゲートの場合の論理段1段目までの組合せ

していることがわかる。従って、検出パターンが得られなかった2つのケースのうちケースCは1段目のゲートの並びを変えることにより検出パターンが得られているケースEに変換できる。結局、検出パターンが存在しないのはケースDのようにTPGと被テストゲートの間に挿入したゲートがすべて被テストゲートと異なるタイプのゲートで構成されている場合のみとなる。

検出パターンが得られたケースに関しては定理1より被テストゲートに1段目の論理段を付加した形で被テスト回路のどこにあって検出パターンが得られることが保証される。また検出パターンが得られなかったケースDについてももう1段論理段を付加し2段目までの回路として考えると、前述の1段目までの場合と同様に2段目がすべてNORゲートで構成される場合以外は検出パターンが存在すると予想される。論理段の段数が増えるほどTPGが発生するパターン数が急激に増加するので被テストゲート入力に所望のパターンが現われる可能性が増加し、検出パターンが存在し易くなる。

以上のことから3入力のNORゲートの場合にはTPG直下にある場合とTPGから1段以上離れている場合の若干のケースで中央の入力線に接続されたFETのstuck-open故障が検出不可能であるが、それ以外の場合には全てのstuck-open故障が検出されることがわかる。4入力以上のゲートに関しても3入力ゲートの拡張で全く同様の議論が成り立ち、TPG直下以外の場合で全てのstuck-open故障の検出が可能である。NANDゲートに関してはNORゲートの場合の“0”と“1”を入れ換えれば全く同様の議論が成り立つ。

従って、*n*入力NORゲート、*n*入力NANDゲート及びインバータからなる図6のようなfan-out free回路の場

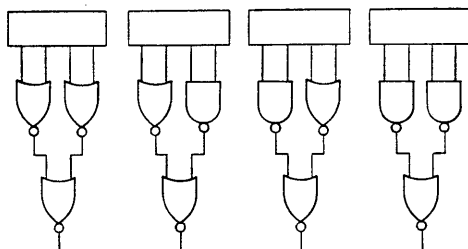
合、NR-LFSRは直下の3入力以上のゲートの両端以外の入力線に関わるFETのstuck-open故障以外のほとんどのstuck-open故障の検出が可能となる。故にTPG直下の3入力以上のゲートを2入力のゲートに分解すればほぼ被テスト回路全体のstuck-open故障の検出が可能になると予想される。

このことから一般の回路に対してもNR-LFSRはかなり高いstuck-open故障検出能力を有するTPGであると予想される。

#### 4-2. NI-LFSRのstuck-open故障検出能力

NI-LFSRの場合、N-LFSRについてはNR-LFSRの場合と同様であるのでI-LFSRについてのみ考えればよい。I-LFSRの場合、反転データが右にシフトされていくのでN-LFSRやR-LFSRのような簡単な扱いはできない。そこでR-LFSRよりstuck-open故障検出能力が劣ることを示すことにする。

NI-LFSRの場合と同様被テストゲートとしてNORゲートを考える。被テストゲートが2入力かつTPG直下にある場合は問題なく検出できるので被テストゲートとTPGの間に1段論理ゲート段がある場合について考える。このとき図8に示す4つのケースのうち、ケースI及びケースJについてはNI-LFSRでは検出できないstuck-open故障が存在する。ケースI、ケースJ共、被テス



ケースG ケースH ケースI ケースJ

図8. 被テストゲートが2入力NORゲートの場合の論理段1段目までの組合せ

	ケースI				ケースJ			
	A	B	C	D	A	B	C	D
初期化パターン	1	1	$\begin{pmatrix} 0 \\ 1 \end{pmatrix}$	$\begin{pmatrix} 1 \\ 0 \end{pmatrix}$	1	1	1	1
検出パターン	1	1	0	0	1	1	$\begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}$	

表2. ケースI、ケースJのstuck-open故障検出パターン

トゲートの右側の入力線に接続されたn-channel FETのstuck-open故障が検出されない。表2にケースI、ケースJにおいてこの故障を検出するのに必要なパターンを示した。

表2から明らかのように、NI-LFSRではこれらの故障を検出することはできない。前章で述べたようにNR-LFSRではこれらの故障はすべて検出される。従って、NI-LFSRの故障検出能力はここで考えているような簡単なfan-out free回路ではNR-LFSRより劣ると言える。

#### 5. 実験結果

この章では提案したTPGのstuck-open故障検出能力を調べるためにいくつかの回路に適用した結果について述べる。

##### 5-1. fan-out freeな回路への適用

図9に示した2入力NORゲートからなる簡単なfan-out free回路に適用した。図9において仮定した故障は検出しにくいstuck-open故障であり、フィードバック

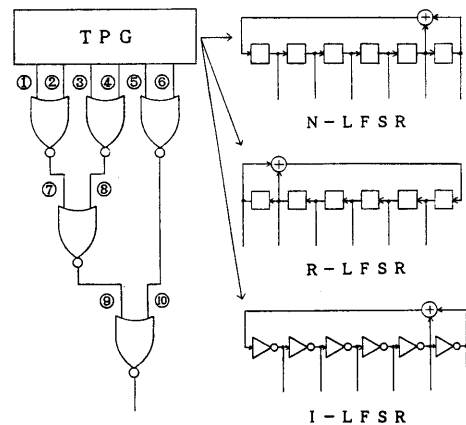


図9. 2入力NORゲートからなるfan-out free回路

stuck-open故障No.	N-LFSR	I-LFSR	R-LFSR
①	○	×	×
②	×	○	○
③	○	×	×
④	×	○	○
⑤	○	×	×
⑥	×	○	○
⑦	○	○	○
⑧	○	○	○
⑨	○	○	○
⑩	○	×	○

表3. fan-out free回路に対する実験結果

関数は原始多項式 $X^6+X+1$ である。結果は表3に示したが、N-LFSRだけだと仮定した10個の故障のうち3個は未検出で残るが、N-LFSRと1-LFSRの組合せ、N-LFSRとR-LFSRの組合せによって、仮定した全てのstuck-open故障が検出されることがわかる。

### 5-2. ISCAS85ベンチマーク回路への適用

次にもうすこし実際の回路としてISCAS85ベンチマーク回路[5]のうちのいくつかを対象にして提案するTPGの故障検出能力を調べた。実験に使用した回路はC432、C1355、C1908、C3540、C6288の5回路である。今回の実験では各回路の5入力以下のNORゲートとNANDゲートをstuck-open故障を扱えるモデルに変更し、このモデルに存在する全ての故障を仮定し、故障シミュレーションするという方法を採用した。従って、仮定した故障にはstuck-open故障だけではなく単一縮退故障も含まれる。C432に仮定した故障数は1284個である。また、C1355、C1908、C3540、C6288については仮定した総故障数が順に4992個、4776個、4424個、25536個と多いのでサンプリングを行い、各回路について1000個の故障をランダムに選択した。

なお使用したTPGのフィードバック関数はすべて原始多項式を用いた。比較のために2n LFSR、PEAT TPGを用いた場合についても同様の実験を行なった。各TPGによって未検出であった故障数を表4に示す。表4からNI-LFSRは、PEAT TPGと較べると同等かそれ以上の故障検出能力を示し、2n LFSRと較べると多少劣る回路もあるがほぼ同等の故障検出能力を有していると言える。NR-LFSRの場合、NI-LFSRより多少未検出故障が多く残った回路もあるが、全体的にみてそう大きな差はないと言える。

回路	TPG	NR-LFSR	NI-LFSR	2nLFSR	PEAT
C432		30	26	26	26
C1355		4	4	4	4
C1908		23	23	16	21
C3540		75	77	62	114
C6288		18	10	15	16

表4. ISCAS85ベンチマーク回路に対する実験結果

### 5-3. 8bit ALU への適用

第3の実験として、実際の回路に適用した場合のstuck-open故障検出能力を評価するためにripple carry adderを基本回路とするALUで前節と同様の実験を行なった。ALUでの実験では2つのデータ入力と1つの制御入力(キャリーを含む)に対し異なるフィードバック関数の3つのTPGを使用するという方法を採用した。フィードバック関数は全て原始多項式でそれぞれ $X^8+X^4+$

$X^3+X^2+1$ 、 $X^8+X^6+X^5+X^3+1$ 、 $X^7+X^3+1$ である。2n LFSRの場合には $X^{16}+X^{12}+X^3+X+1$ 、 $X^{16}+X^{12}+X^{11}+X^7+X^6+X^3+X+1$ 、 $X^{14}+X^{10}+X^6+X+1$ という原始多項式を用いた。結果を表5に示す。なお仮定した総故障数は628個である。この実験では、NR-LFSRの未検出故障数は多いものの、NI-LFSRの場合の未検出故障数は2n LFSR、PEAT TPGとほぼ同等という結果が得られ、stuck-open故障検出能力が実際の回路に対してもかなり高いことが確認された。

TPG	NR-LFSR	NI-LFSR	2nLFSR	PEAT
未検出故障数	9	2	1	1
故障検出率	98.54%	99.68%	99.84%	99.84%
パターン長	512	512	65536	2304

表5. 8bitALUに対する実験結果

なお今回のALUでの実験ではNR-LFSRの故障検出能力がNI-LFSRに較べて劣ると言う結果が得られたが、これは4章で述べた理論的な推察と反対の結果である。これはここでの実験が2つのデータ入力と1つの制御入力に対し、異なる3つのTPGを用いると言う方法で行なわれているため、生成多項式の違いによりALUに印加されるパターンが異なり、今回はたまたまNR-LFSRに不利になる生成多項式が選ばれたためであると考えられる。実際、3つのTPGの生成多項式の組合せを種々変えて調べてみると、生成多項式によってはNI-LFSRの方が未検出故障が多い場合もあった。平均値を採ると多少NI-LFSRの方が良いもののほぼ同程度の未検出故障数であり、NI-LFSRとNR-LFSRでそう大きな差はない。

## 6. おわりに

LSIの構成要素を考慮することにより、stuck-open故障検出率が高く、ハードウェア構成の簡単なBIST用TPGを提案した。本稿で提案したTPGは、従来提案されているstuck-open故障を考慮したTPGに較べ故障検出率は多少劣るもののBISTの重要な要件であるハードウェア量、テストパターン長の点で優っており、BISTのTPGに好適であることを示した。ISCAS85ベンチマーク回路及びALUに対する実験も良好な結果を示し、実用性が高いことが確認された。

本稿で提案した2つのTPG、NI-LFSRとNR-LFSRの比較に関しては、簡単な回路に対する理論的考察ではNR-LFSRの方が多少故障検出率が良いという結論が得られたが、実験では逆にNI-LFSRの方が多少良いという結果が得られた。これは、実際の回路ではEXORゲート等の理論的検討で対象外としたゲートの存在や、fan-out、再収斂の存在によるためと考えられる。いずれにしても故障検出率に関してはそう大きな差はないのでハード

ウェアオーバーヘッドの小さなNI-LFSRの方が優れている  
と言えよう。

なお、提案したTPGでは3入力以上のゲートの場合には  
検出できない可能性の高いstuck-open故障が存在する  
ので、場合に応じて2入力のゲートへの置換等を考  
慮する必要がある。今後、さらにいくつかの実回路に  
適用して提案したTPGの有効性を評価する予定である。

【謝辞】

本研究を進めるに当たり御指導、ご鞭撻戴いた日本  
電気(株)永井部長、榎本部長、吉村課長、高田課長  
に感謝します。

参考文献

- [1]C.W.Starke,"BUILT-IN TEST for CMOS CIRCUITS",  
Proc. IEEE International Test Conference, pp.30  
9-314, 1984
- [2]G.L.Craig and C.R.Kime,"PSEUDO-EXHAUSTIVE ADJ  
ACENCY TESTING:A BIST APPROACH FOR STUCK-OPEN  
FAULTS",Proc. IEEE International Test Conferenc  
e, pp.126-137, 1985
- [3]岩崎他、"CMOS論理LSIの故障活性化率とシグナチ  
ャ検査法への応用"、信学技報、VOL.88、NO.43、  
pp.1-6、1988
- [4]L.-T.Wang and E.J.McCluskey,"CIRCUITS FOR PSE  
UDO-EXHAUSTIVE TEST PATTERN GENERATION",Proc.  
IEEE International Test Confererence, pp.25-37,  
1986
- [5]F.Brglez and H.Fujiwara,"A NEUTRAL NETLIST OF  
10 COMBINATIONAL BENCHMARK CIRCUITS AND A TAR  
GET TRANSLATOR IN FORTRAN", Special Session o  
n ATPG and Fault Simulation, Proc. 1985 IEEE  
Int. Symp. Circuits and Systems, Kyoto, June 5-  
7, 1985