

ASICエミュレータRPMの性能評価

馬場 洋 佐々木 尚

株式会社東芝 半導体 CAD 技術部

あらまし RPMを利用しモータ制御用ICのシステム検証を行った経験について述べる。このシステムはASICを設計する上で次の様なメリットを持っている。(1) RPMライブラリのASICデータへの適用が容易。(2) ASIC製造前の早期プロトタイピングが可能。(3) 実デバイスの利用によりデバイスのモデル定義を行う必要が無い。(4) ASICの実動作に近い速度でエミュレーションが行えるのでシミュレーションに比べ高速な検証が可能である。今回の経験によりRPMはASICデータの設計およびシステム検証において、設計の効率化・製造コストの削減に十分役立つシステムであると考えられる。

An Experience Of Custom ASIC Design By Using ASIC Emulator RPM.

HIROSHI BABA,HISASHI SASAKI

TOSHIBA CORPORATION, SEMICONDUCTOR CAD ENG.DEP.T.
580-1,HORIKAWA-CHO, SAIWAI-KU, KAWASAKI, 210 JAPAN

Abstract We describe how to verify a motor control IC using a ASIC emulator RPM. RPM has many advantages: (1)Easy and straight forward implementation of prototype by preparing ASIC data to be also used for its fabrication. (2)Comfortable and powerful design environment to check ASIC functionality in a target system board. (3)Eliminating labor-intensive modeling on motor's mechanical characteristics by using real hardware. (4)Much faster emulation speed compared with many simulators.(including functional-level one and hardware-accelerator) Our experiences showed that RPM is a powerful tool to reduce turn-around-time and design cost in both ASIC prototyping and ASIC design.

1 はじめに

ASICを設計・製造する立場から、ASICを含むターゲット・システムでの検証をRPM (Rapid Prototype Machine)により行ない、その有効性を確認したので、その利用経験について報告を行う。

ASIC開発を行う時、そのASICが周囲のシステムの中で正常に動作するかを検証するためには、物理的に実際のICを製造して、実物をシステム・ボード中で実動作させなければならない。たしかに論理設計の時点での検証をシミュレーションで行えるが、実際のシステム・レベル・シミュレーションすべての検証を行うことは困難である。シミュレーション時間が著しくかかることもひとつの理由であるが、これは設計フローの中での本質的問題点ではない。実際はシステム自体の設計もASICの開発と同時に行われるのが常であり、システム完成前に論理的に動作が確定されていたとしても、実際のデータは必ずしもその期待どおり与えられておらずシミュレーションで仮定したこと自体が実際と食い違う場合すらありえる。この意味で設計がプロトタイピングを本質的に必要としていることが多い。この観点から見るとASIC開発における従来のプロトタイピングはPLD等によるブレッド・ボード(B/B)を利用したプロトタイピングであるが、次の様な問題を持っている。

B/Bプロトタイプ・システムからASICを作成するには、ライブラリが異なるため論理変換が必要である。そのため、この変換の正当性検証に、ふたつの回路が同じ動作することの確認が必要になる。このような検証を行うために我々はシミュレーション・データとB/Bにより実際に獲得したデータを比較する方法で検証を行ったが、運用的には数々の問題があることが判った。

RPMは米国クイックターン社の商標です。

B/BとASICでは回路設計が異なる場合があり、その矛盾点を調整して検証を行うためにはシステムB/B設計者とASIC設計者のお互いに努力が必要であり、余計な検証作業をやっていると両者から不満が出る恐れが強い。

共に相手側の誤りをチェックすることは、数々の人間的／組織的な管理障壁(誤り指摘の感情的な問題、仕事の区分の不明確性、技術背景の違いなど)をクリアする必要がある。この問題を回避するためにRPMを利用できる。RPMは、ソフトウェアのプロトタイピング技術でいう「実行可能なプロトタイピング」の支援に相当するASIC開発環境でのハードウェア版プロトタイピング・ツールといえる。

このようにシステム・レベルの設計をASIC実現を前提として行うとき、ASICデータでシステム検証と設計を可能にするのがRPMシステムである。その特徴は次の点が上げられる。(1) ASICエミュレータでありB/Bシステム・レベルでの検証に利用できる(2) ASICライブラリにより作成されるので素直にASICデータとなり、ASIC設計と相性がよい。

本報告ではこのRPMを利用してモータを制御するICを設計した経験について述べる。

まず第2節と第3節で、RPMのハード構成とソフト利用方法についてその概略を紹介する

次の第4節ではRPMそのものの基本機能の評価の結果について述べ、第5節で製品適用の詳細について報告する。どのような機能検証を行ったか、運用上の工夫や注意点、出来上がった製品の概略について話しを進めていく。

2 RPM構成

RPMは次のような5つのハード構成要素によりできている。

エミュレーション・モジュール：複数個のLCA (Logic Cell Array: Xilinx社のPLD XC3090を使用) を用いてランダム・ロジック

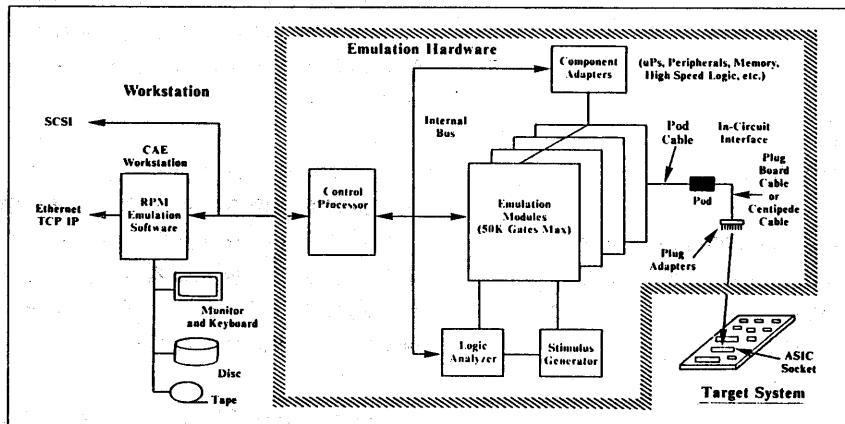


図1 RPMハード構成

信号発生器への接続も可能である。

部分のエミュレーションを実現するところ。

LCA間のシステム・レベルでのP&R(自動配置配線)とLCA内部でのP&Rが実行される。動作スピードは5MHzまで。対応回路規模は50KG。

ロジアナ+信号発生器：エミュレーション・モジュールに信号を与えること、エミュレーション・モジュールから信号データを獲得したりする装置。RPM自身がシステムを解析するツールをその中に持つており、システム検証の環境として機能できるようにしている。

1チャネルあたり32Kステップのメモリ。

コンポーネント・アダプタ：マイコン、メモリ、周辺装置などランダム・ロジックでないものをエミュレーション機能に取り込むための装置。実デバイスとのインターフェースである。システム・ボードに実デバイスを置くことも可能であるが、RPMシステムの中に取り込むことで汎用性を増やす。

インサーキット・インターフェース：ターゲット・システム(ASICが入るシステム・ボード)へRPMを接続するもの。PODからボードに接続するにはプラグ・アダプタやセンチビード・ケーブルを用いて、DIP、PLCC、PGAに対応できる。もちろん外部の

制御プロセッサ：内部バスを通してエミュレーション・モジュールやロジアナ、信号発生器、コンポーネント・アダプタを制御する。CAEワークステーションとRPMハードとのインターフェース部分である。

3 RPM利用法

RPMの利用方法について主にソフトウェアの側面から述べる。

ライブラリ作成：RPMエミュレータにネットをマッピングするためには最終的にLCAのプリミティブを用いてネットを表現しなければならない。このネット変換を実現するために直接LCAのもので記述する必要はないが素子ライブラリをRPM側の用意するプリミティブで記述する必要がある。図2の素子AND1の定義記述で用いられたOT-AND-2およびOT-NOR-2がRPMで用意されたプリミティブである。

ネット変換：ネットデータをRPMが読み込めるデータに変換する必要がある。我々はTDL(Toshiba Design Language : Tegas Description Language の東芝版)フォーマッ

```

COMPILE;
DIRECTOR YMASTER;
MODULE ANR1;
INPUTS A, B, C;
OUTPUTS O;
LEVEL FUNCTION;
DEFINE
  I1(QA=Z)=QT-AND-2(A=A, B=B);
  I2(O=Z)=QT-NOR-2(QA=A, C=B);
END MODULE;
END COMPILE;
END;

```

図2 ライブライリ記述例

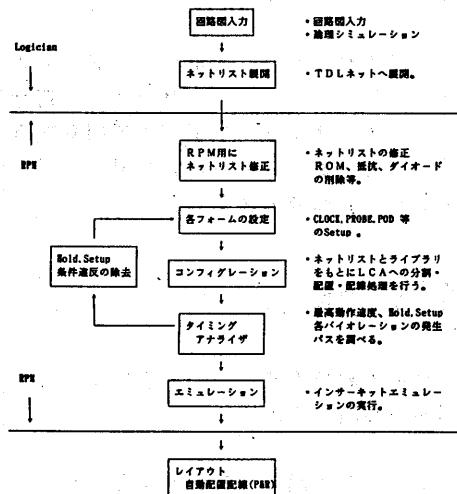


図3 RPM利用フロー

トでこれを行なった。 GigaLOGICIANから出力されたTDLネットはRPMで検証されると同時にP&Rへの入力データとしても利用されIC設計データともなる。このことは、システム・プロトタイプとASICとで同じ機能を実現していることになるので、両者の比較検証を行う必要がないことを意味している。

テストベクタの読み込み： 正しくエミュレーションが実行できたか検証するためにRPM付属の信号発生器で与える入力パターンと期待されるシミュレーション結果をRPMに読み

込ませる必要がある。これはDAZIXのVLAIFにて可能である。同様にシステム検証の入力パターンとして利用することも可能である。

エミュレーションのセット・アップ： RPM設計検証環境（ロジアナ、信号発生機、インサーキット・インターフェースなどプローピングやPODでの信号位置決め）の設定とASIC内部の設計データ（クロック指定、ネット優先度など）の設定を行う。

タイミング検証： LCA上でのP&R結果が期待される論理動作をさせるためにセットアップやホールド違反がありそうかチェックする。このために特別に検査ソフトウェアがある。場合によっては、回路設計自体を変更することになる。

システム検証実施： ターゲット・ボードに接続し、実信号を用いて検証を行う。検証後はRPMでOKのデータを利用して、ASICの自動配置配線ツールにより、LSI自体の作成に進む。

4 RPM基本機能の評価

まず簡単なカウンタ回路を例にとりコンパイル時間、デザインデータのロード時間、データサイズ、動作周波数が回路規模でどの様に変化するか確認した。

信号の遅延制御のためにプローブを立てたときの遅延時間の大きさやネットの重み付けの効果について調査した。プローブにより10nsec程度の遅延が付くことを確認した。ネットの重みは短くしたいものほど高い重みを付ける。この値はLCAのP&R時にどの配線を先に実行するかを与える、その相対的値にのみ意味がある。与え方により30nsec程度の分布を確認した。また、4ビットマイコンおよびROM、A/Dコンバータを用いてコンポーネント・アダプタの正常動作の確認を行なった。

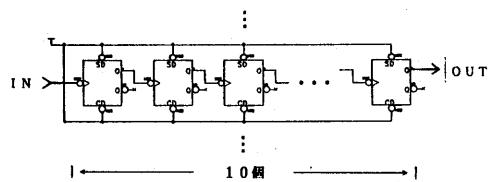


図4 カウンタ回路

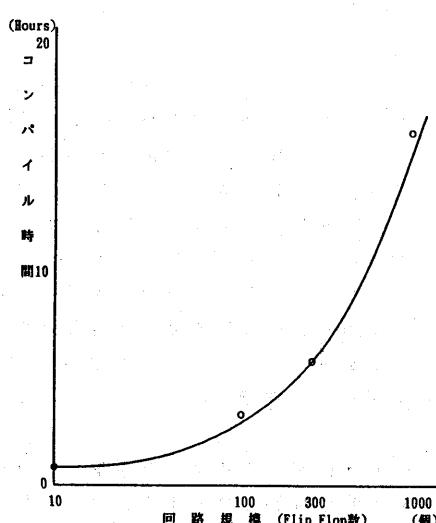


図5 回路規模とコンパイル時間

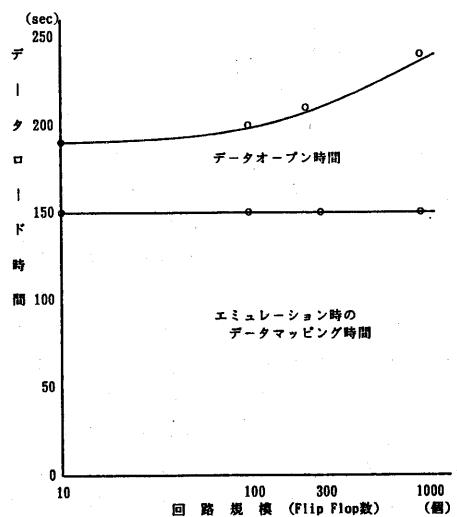


図7 回路規模と設計データロード時間

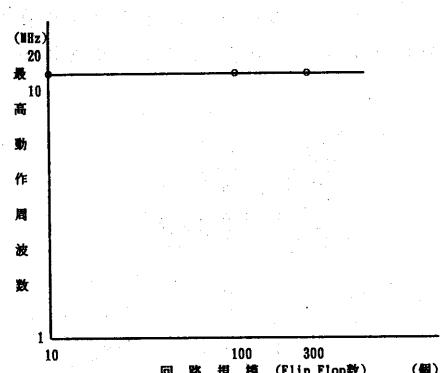


図8 回路規模と動作周波数

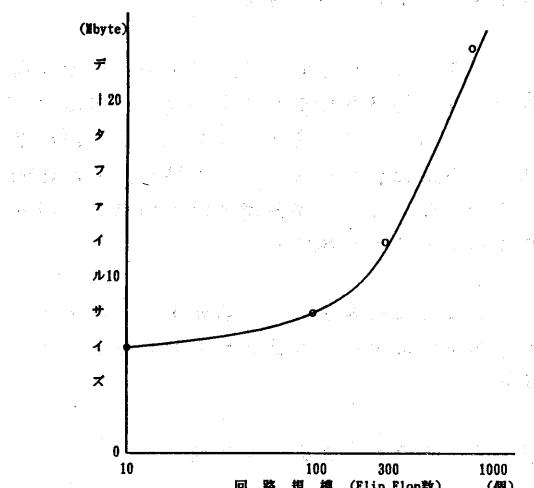


図6 回路規模とデータサイズ

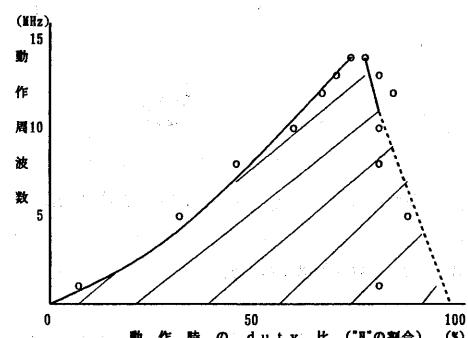


図9 動作可能範囲

5 製品開発事例

近年モータ制御を含めたIC開発が多くなってきている。例えば、AV機器ではVTR、ラダ抵抗によりデジタルからアナログへ信号CD、DATなど、OA情報機器ではプリンタ、FDD、FAXなど、家電製品ではクリーナ、ドライヤーなどとまさに多岐の分野に及んでいる。ここで開発したICはクロスコイル・モータ（回転速度計）およびギアド・モータ（回転量積算計）を駆動制御するものである。このようなシステムの検証では、アナログ・デジタル混在シミュレータの利用も考えられるが、spiceなどアナログ部分のシミュレーションに時間が掛りシステム・レベルでは現実的な方法ではない。またSaberなどアナログ機能シミュレータを利用するにはモデリングに非常にノウハウを要する。RPMを用いれば、モータやモータなどメカの部分のモデリングを行わず、コサイン波形はROMを用いて発生させている実際のメカをそのまま利用して機能評価できる。

コイル・メータとギアド・モータはそれらを駆動するリニアICを経由してRPMに接続される。またリニアICへ入力するアナログ信号はこのIC内部のROMデータにより生成され、DACを備え付けて解決した。この時点ではコンポーネント・アダプタが未評価であったためである。また動作周波数は4MHzと実際のエミュレーションを実行できた。

クロスコイル・モータ駆動：回転スピードを検出してモータ触角量を早く制御している。この検証のため実際に信号発生器のパルス周波数を急に変えてモータ触角追従の変化を見る。また触角量は外部端子によりうまく制御されているか実際に信号を設定して調べる。クロスコイルモータを駆動するサイン、コサイン波形はROMを用いて発生させているROMデータに異常がないかチェックする。

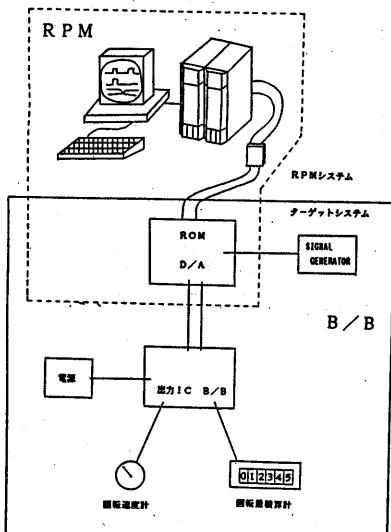


図10 システム検証の運用形態

5. 1 検証機能内容

次のようにシステム検証を行なった。ここではRPMの外部から、回転スピードを表す入力パルスを信号発生器より与えた。クロス

OFF信号によるモータ帰零：スイッチOFF信号を検出したらすぐにモータが零にもどるか確認する。またスイッチON信号を検出したら遅延を付けてゆっくりモータが動作するか確認する。このためにOFF/ON信号を変えモータの制御を見る。

ギアドモータ駆動：ギアドモータの駆動波形はギアが変な音を立てないように階段状になっている。これをオシロスコープで波形確認し、音が気にならないか耳で聞く。また逆転するかも調べる。積算量表示での単位の切り替えについても確認する。

アラーム信号出力：回転がオーバスピードである時にアラーム信号を出力するかテストする。

5. 2 運用上の工夫・注意点

ネットの変更：(1) シミュレーション用とP&R用のネットデータは、PAD周りの

保護ダイオード抵抗など若干異なるのでこれを除く。(2)トランジスタ・レベルでのプリミティブはRPMで用意されていないので、3ステート・バッファで書き替える。その他、スイッチ、シュミット・バッファ、駆動能力の異なるインバータ等のセルも同様に他のセルとしてRPM上に実現する。(3)RPMでは外部ピンに対して2ヶ以上のドライビングコンポーネントが接続できないというLCAよりの制限があり、ネットを書き替える必要がある。

(4)双方向信号ラインに最大16ヶまでの信号がその駆動のために接続できる。それ以上接続する場合には回路修正が必要である。

ライブラリ記述：(1)RPMプリミティブでLSIライブラリを記述するとき、そのまま接続情報のみを書いたのではLCA上で

配置配線時に離れて素子が置かれる可能性がある。タイミング的に際どいものを近接させたい要求に対して、ライブラリ記述中にネットの重みを指示することができる。高い値にするほど長さを短くする。(2)また次のようにインバータを挿入して遅延を付けてホールド違反を回避する方法も考えられる。

```

COMPILE;
DIRECTORY MASTER;
MODULE FD2;
INPUTS CP, D, NCD;
OUTPUTS Q, Q;
LEVEL FUNCTION;
DEFINE
  I0(QA=0)=TSB-CONC-BUF(D=1);
  I1(Q=0, NQ=NQ)=
    QT-DFF-NR-NQ(QA=D, CP=CK, NCD=R);
END MODULE;
END COMPILE;
END;

COMPILE;
DIRECTORY MASTER;
MODULE TSB-CONC-BUF;
INPUTS I;
OUTPUTS O;
LEVEL FUNCTION;
DEFINE
  B1(0=0)=QT-CONCRETE-BUF2(Q1=1);
  B2(01=0)=QT-CONCRETE-BUF2(Q=1);
END MODULE;
END COMPILE;
END;

```

図12 インバータ挿入

プローブ：(1)プローブを回路の近くで沢山立てると、1ヶあたりのLCAでのプローブ本数を越え、2ヶ以上のLCAに割り当てられると動作スピードが落ちる。(2)ライステート信号へドライビングプローブを立てる場合、イネーブル信号に関わりない無く信号を駆動してしまうので、イネーブル信号を利用

図11 ネットの重み付け

したトライステートバッファ経由で駆動する必要がある。また複数個のトライステートバッファでひとつの信号線を駆動するとき、同時に複数個で駆動されるかチェックを行なわないので、注意する必要がある。長時間このようない状態で駆動するとハード破壊の可能性がある。

遅延時間の制御：（1）プローブを立てて遅延を付ける。（2）ライブラリで優先度記述を付ける。（3）回路設計自体をマージンのあるものに変更する。（4）ネット優先度をセットアップ時に付ける。（5）システムB／Bとの物理的インターフェースではラッチを入れ、一度データを受け取る。

5. 3 製品概略

動作温度：-40～+85°C、
動作電圧：4～6V、
パッケージ：SDIP24ピン、
プロセス：HV-BiCMOS 2ミクロン、
素子数：3.5KGランダムロジック
+ ROM
+ A/Dコンバータ
動作周波数：4.2MHz、

6 おわりに

RPMはシステム検証とASIC設計を同時に支援できるツールであり、その有効性を実製品をとうして確認できた。今後は超高速のシミュレータとしての観点からも評価検討を行なう予定である。またCPUを含む全体システム開発から考えれば、ソフトウェアのプロトタイピング・ツールと組み合わされ、ハードウェア、アーキテクチャとソフトウェア開発が同時に進展していく設計にも利用できる可能性があり、非常に期待できるツールである。

[謝辞]

RPMを利用するにあたり、いろいろの面で御協力や御助言を頂きましたセイコー電子工業株式会社システム営業一部の皆様に深く感謝致します。また製品適用では、荻原比呂志氏を始めとして設計課および応用技術課の多数の方々の御尽力でRPMの評価を行ないかつ有益な結果を得ることができました。深く感謝致します。

[参考文献]

- [1] M. D'Amour, S. Sample, T. Payne. ASIC EMULATION CUTS DESIGN RISK. HIGH PERFORMANCE SYSTEMS pp28-37, OCTOBER, 1989.
- [2] ASIC Design Productivity Improvement. Application Focus: ASIC Hardware Emulation. TRM APPLICATION BRIEF Vol.1 Issue6, 1990.
- [3] セイコー電子工業株式会社主催、第二回ASICミュレーションセミナー資料。平成2年12月6日。

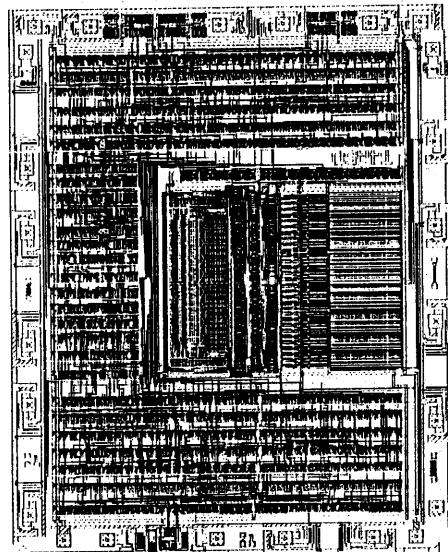


図13 チップ・レイアウト