

T T L 組合せ論理回路の電源電流による故障検出 のための検査入力生成法

月本 功 橋爪 正樹 為貞 建臣

徳島大学工学部電気電子工学科

我々は過去にTTL組合せ論理回路の電源電流による故障検出法を提案した。しかし、電源電流による故障検出法のための検査入力については明らかにされていない。そこで本稿では電源電流による故障検出のための検査入力生成法を提案する。本手法は故障シミュレーションを利用した方法である。本手法により、TTL組合せ論理回路内の信号線の断線故障、電源線との短絡故障の単一故障を検出するための検査入力を導出した。その結果、縮退故障モデルでモデル化して得られる故障検出入力に比べ検査入力数を減少することができた。

Test Generation for Fault Detection Based on Supply Current of TTL Combinational Circuits

Isao TSUKIMOTO, Masaki HASHIZUME and Takeomi TAMESADA

Department of Electrical and Electronic Engineering

Faculty of Engineering, The University of Tokushima

2-1 Minami-jyousanjima-cho, Tokushima 770, Japan

In this paper, a test generation method for the fault detection based on supply current is proposed. The method can obtain test inputs that can detect open faults and short-circuit faults with either Vcc or GND line. By the method, test inputs are derived for detecting single faults in TTL combinational circuits. As the result, it is found that the method can derive the less number of test inputs than the one based on the stuck-at fault model.

1. まえがき

近年、半導体技術の進歩による論理回路の大規模・集積化に伴い回路内の故障を検出することがますます困難となってきた。その一方、論理回路は現在多くのシステムで使用されており、論理回路が故障するとシステムの誤動作をひきおこすことが多いことから、論理回路の高信頼化が要求されている。そのため、論理回路の高信頼化を実現するための一手法である故障検出法として多くの手法が提案されてきた^{(1)~(8)}、その中でも論理回路の外部出力信号線の論理値を調べることによる故障検出法が一般によく用いられている。その一方で、出力論理値変化を生じない故障の検出を目的に電源電流による故障検出法も検討されている^{(4)~(7)}。特にCMOS論理回路では故障が発生していなければ静的電源電流がほとんど流れないという特性を利用した I_{DDQ} テスト法の有用性が明らかにされている⁽⁷⁾。

CMOS論理回路以外の論理回路では静的電源電流が流れ、また回路動作時に電源電流値が変化する。そのような回路に対してはCMOS論理回路に対する I_{DDQ} テストを適用することができない。そこで、我々は過去に電源電流が回路動作時に流れて変化する論理回路に対する電源電流による故障検出法を提案した⁽⁸⁾。しかし、我々の電源電流による故障検出法に対しての検査入力については明らかにされていない。そのため、文献(8)では、検査入力としてとりあえず全ての検査入力を使用した。

従来よく使用された外部出力論理による故障検出法においては、故障シミュレーション、Dアルゴリズム、PODEM法、FANアルゴリズムなどで検査入力数を減らす操作が行われている^{(1)~(3)}。それと同様に電源電流測定による故障検出法での検査入力数も減少できると考えられる。そこで、本稿ではTTL組合せ論理回路の電源電流による故障検出のための検査入力を明確化し、検査入力生成法を提案する。そして、20種類のTTL組合せ回路に対し、その手法を適用した結果について述べる。

2章で電源電流による故障検出法について述べた後、3章で電源電流による故障検出のための検査入力生成法について述べる。4章では3章で述べた手法によりTTL組合せ回路に対する検査入力を導出した結果を示す。

2. 電源電流測定による故障検出法

論理回路の外部出力信号線の論理値測定による故障検出法では、論理回路内に発生する故障の大部分が単一縮退故

障モデルでモデル化できる⁽³⁾。電源電流測定による故障検出法では、信号線の断線故障、信号線と電源線(電源とGND)の短絡故障の単一故障により論理回路に発生する故障の大部分をモデル化できると考えられる。そこで本稿では論理回路内の信号線の断線故障および電源線(V_{CC} 線とGND線)との短絡故障の単一故障の検出を考える。

論理回路の電源電流は各論理ゲートに流れる電源電流の和で表されるので、 N 個の論理ゲートから構成される組合せ論理回路に第 j 番目の検査入力 T_j を印加した時の正常時電源電流 $I_{CC}(j)$ は式(1)で表される。

$$I_{CC}(j) = \sum_{i=1}^N I_i(j) \quad (1)$$

TTL論理ゲートの正常時電源電流値は出力論理値により決定される⁽⁸⁾。そのため第 i 番目の論理ゲートに流れる電源電流 $I_i(j)$ は式(2)で表すことができる。

$$I_i(j) = \begin{cases} I_{iH} & \text{論理値1出力時} \\ I_{iL} & \text{論理値0出力時} \end{cases} \quad (2)$$

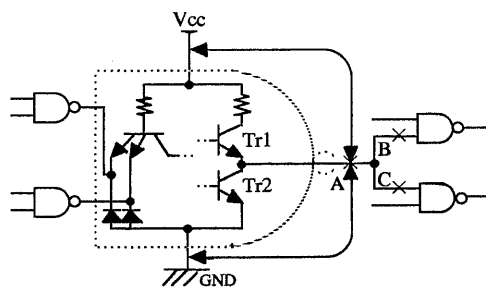


図1 TTL論理ゲート(NAND)

TTL論理ゲートの内部回路の入出力部は図1に示すようになっている。図1の論理ゲートの入力信号線Aに断線故障が発生した場合、前段の論理ゲートに流れる電源電流に変化は現れず、次段の論理ゲートの入力が1に固定されるだけで、次段の論理ゲートの出力論理値が正常時と異なった論理値を生じない限り電源電流に変化は現れない。

信号線Aが V_{CC} 線と短絡し、前段の論理ゲートの出力論理値が1の時、故障の影響は論理値にも電源電流にも現れない。しかし前段の論理ゲートの出力論理値が0の時、トランジスタTr1がoffでTr2がonとなるため、「 V_{CC} →信号線A→Tr2→GND」の経路に過電流 I_{FA} が流れ、信号線B、Cの論理値は1となる。

信号線AがGND線と短絡し、前段の論理ゲートの出力論理値が0の時、故障の影響は論理値にも電源電流にも現れない。しかし、前段の論理ゲートの出力論理値が1となると、トランジスタTr1がonでTr2がoffとなり、「 V_{CC} →Tr1→信号線A→GND」の経路で過電流 I_{FA} が流れ、信号線B、Cの論理値は1となる。

理値は0となる。

信号線の分岐は分岐箇所にファンアウト素子が挿入されていると考える。ファンアウト素子は入力信号線の論理値が発生すると出力信号線に伝搬する。ファンアウト素子の出力信号線が電源線と短絡すると、入力信号線と電源線の短絡故障と同じ故障の影響を生じる。これにより、入力信号線の故障は前段の論理ゲートの出力信号線の故障と等価となる。そこで以下では論理ゲートの出力信号線の故障のみを考える。

第k番目の論理ゲートの出力信号線がVcc線と短絡し出力が0の時、k番目論理ゲートに流れる電源電流とI_{F0}の和をI_{S0}とする。また、第k番目の論理ゲートの出力信号線がGND線と短絡し出力が1の時、k番目論理ゲートに流れる電源電流とI_{F1}の和をI_{S1}とする。このI_{S0}、I_{S1}も第k番目の論理ゲートに流れる電流I_k(j)'と定義すれば、第k番目論理ゲートの出力信号線に故障が発生した場合の電源電流I_{cc}(j)'は、式(3)で表すことができる。

$$I_{cc}(j)' = \sum_{i=1}^N I_i(j)' \quad (3)$$

$$I_i(j)' = \begin{cases} I_i(j) & i \neq k \text{ の時} \\ I_k(j)' & i = k \text{ の時} \end{cases} \quad (4)$$

$$I_k(j)' = \begin{cases} I_{S1} & \text{論理ゲートの出力が1で} \\ & \text{出力信号線がGND線と短絡時} \\ I_{S0} & \text{論理ゲートの出力が0で} \\ & \text{出力信号線がVcc線と短絡時} \\ I_k(j) & \text{上記以外の時} \end{cases} \quad (5)$$

電源電流による故障検出法は、I_{cc}(j)とI_{cc}(j)'との間の差により故障検出を行う故障検出法である。

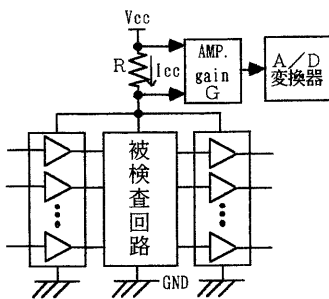


図2 電源電流測定回路

電源電流測定法としてさまざまな方法が考えられるが、本稿では低抵抗電位差法で電源電流を測定する。図2に電源電流測定回路を示す。図2に示すようにR[Ω]の低抵抗を用いて電流を電圧に変換した後、ゲインG倍のアンプで増幅し、A/D変換器によって電源電流を測定する。

A/D変換器には変換可能な最大電圧V_{ADmax}が存在する。そ

のため、式(6)を満足するようにゲインGおよび使用するA/D変換器を決定する。

$$G \cdot (R \cdot I_{cc}(j)) < V_{ADmax} \quad (6)$$

さらに、論理ゲートの正常動作を保証する推奨動作条件として最小電源電圧V_{ccmin}および最大電源電圧V_{ccmax}がデータシート内に規定されている⁽⁹⁾。被検査回路に供給される電源電圧が推奨動作条件を満たすように、式(7)を満足する必要がある。

$$V_{ccmin} \leq V_{cc} - R \cdot I_{cc}(j) \leq V_{ccmax} \quad (7)$$

しかし、式(6)および(7)は測定するI_{cc}(j)すべてに対し必ずしも満足される必要はなく、正常回路に流れる電源電流に対し満足されていればよい。もし測定時に式(6)が満足されなければ故障回路と判定できるし、式(7)が満たされない電源電流が流れ被検査回路の推奨動作条件の電圧範囲を逸脱した場合、正常回路と異なる動作を生じやすくなる。そのため、正常回路の電源電流が式(6)および(7)を満たすようにゲインGおよび抵抗値Rを決定し、電源電流を測定する。

被検査回路の電源電流測定だけでは論理回路の外部出力信号線に断線故障が発生した場合、被検査回路内の各論理ゲートの出力論理値は変化せず故障の影響が被検査回路の電源電流には現れない。そこで、図2のように被検査回路の出力段にゲートを挿入し、そのゲートの電源電流も測定する。それにより、被検査回路の外部出力信号線に発生した断線故障の影響で生じる挿入したゲートの出力論理変化で、I_{cc}(j)'に正常時と異なった電源電流が生じる。

また、被検査回路の外部入力信号線がGND線と短絡した場合、故障が発生している信号線の論理値が0となる。その故障の影響で被検査回路内の論理ゲートが正常時と異なる論理値を出力しなければ電源電流変化が現れない。図2のように外部入力信号線にゲートを挿入し、そのゲートの電源電流も測定すれば、挿入したゲートの電源から故障した信号線に過電流が流れ、故障の影響がI_{cc}(j)'に大きく現れるようになる。

なお、被検査回路の入出力段に挿入するゲートは非常に単純な回路であるため、テストを行うことで挿入したゲートの故障は検出することができる。そのため挿入したゲートには故障が発生しないものとする。

3. 検査入力生成法

3.1 電源電流による故障検出のための検査入力

電源電流による故障検出法は、正常時電源電流と故障時

電源電流に差が現れることを利用した故障検出法である。

入力 T_j を検査入力とするには、 T_j を回路に印加した時の正常時電源電流 $I_{cc}(j)$ と故障時電源電流 $I_{cc}(j)'$ に差が現れ、式(8)を満足する必要がある。

$$|I_{cc}(j)' - I_{cc}(j)| \geq I_{div} \quad (8)$$

ここで、 I_{div} は電源電流 I_{cc} の測定精度で、A/D変換器の分解能 V_{ADmin} とゲイン G および抵抗 R から式(9)で定まる。

$$I_{div} = V_{ADmin} / (G \cdot R) \quad (9)$$

文献(8)における故障検出法は、電源電流波形を自己回帰モデルでモデル化したときの予測係数および予測誤差の分散を波形のパターンとして、パターン認識手法によって故障検出を行うので、検査入力印加順序が故障検出能力に影響を及ぼす。そのため、式(8)を満たす検査入力を使用したからといって、必ずしも故障検出可能かどうかは断定できない。しかし、式(8)を満足する検査入力を使用しなければ、故障の影響が電源電流に現れてこないで故障検出を行えない。一方、文献(10)の電源電流による故障検出法は正常時と故障時の差の波形を利用する手法であるので、式(8)を満たす検査入力を使用すれば故障検出が行うことができる。文献(8)、(10)のどちらの手法でも、式(8)は電源電流で故障検出を行うために最低限満たされなければならない。本稿では式(8)を満たす検査入力の導出を試みる。

しかし、TTL論理ゲートでは、その出力信号線と電源線の短絡故障が発生した場合に、故障時電源電流 I_{su} および I_{sg} は図3に示すように時間的に変化する。また、それらの特性はIC内に内蔵された論理ゲートによっても異なる。そこで、第 k 番目の論理ゲートの出力信号線に故障が発生した場合、 I_{su} 、 I_{sg} の最大値および最小値を求め、 $I_k(j)'$ が式(10)に示すような範囲内の電流値をとると考える。

$$I_{min}(j) \leq I_k(j)' \leq I_{max}(j) \quad (10)$$

そのため、式(8)、(10)より本稿では式(11)と式(12)の両方を満たす入力を検査入力とする。

$$|max(I_{cc}(j)') - I_{cc}(j)| \geq I_{div} \quad (11)$$

$$|min(I_{cc}(j)') - I_{cc}(j)| \geq I_{div} \quad (12)$$

ここで、

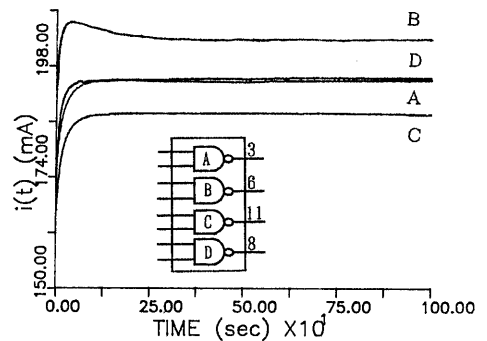
$$max(I_{cc}(j)') = \sum_{i=1}^{k-1} I_i(j)' + I_{fmax}(j) + \sum_{i=k+1}^N I_i(j)' \quad (13)$$

$$min(I_{cc}(j)') = \sum_{i=1}^{k-1} I_i(j)' + I_{fmin}(j) + \sum_{i=k+1}^N I_i(j)' \quad (14)$$

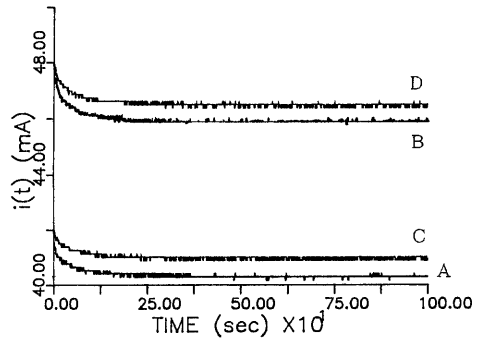
また、 $max(I_{cc}(j)') \geq min(I_{cc}(j)')$ であるので、式(11)、(12)の条件は式(15)で表すことができる。

$$I_{cc}(j) - max(I_{cc}(j)') \geq I_{div}$$

$$\text{または、} min(I_{cc}(j)') - I_{cc}(j) \geq I_{div} \quad (15)$$



(a) 電源との短絡時



(b) GNDとの短絡時

図3 TTL NAND(74LS00)の出力信号線が電源線と短絡した時の電源電流特性

3.2 検査入力生成法

検査入力を求めるには、まず入出力段にバッファゲートを挿入した被検査回路に入力 T_j を印加し、その時の各論理ゲートの出力論理値を求める。その後、式(2)によって各ゲートに流れる電源電流を導出し、式(1)から正常時電源電流 $I_{cc}(j)$ を導出する。次に、被検査回路内の第 k 番目の論理ゲートの出力信号線に故障を挿入し、その時の各論理ゲートの出力論理値を求め、式(3)～(5)によって故障時電源電流 $I_{cc}(j)'$ を導出する。導出した $I_{cc}(j)$ と $I_{cc}(j)'$ が式(15)を満たすか否かを調べ、満たせば検査入力としてその入力を採用する。

しかし、正常時電源電流 $I_{cc}(j)$ と故障時電源電流 $I_{cc}(j)'$ が式(15)を満足するか否かを調べる場合、全論理ゲートの論理値を導出して式(1)、式(3)で $I_{cc}(j)$ および $I_{cc}(j)'$ を求める必要はない。正常時と異なる論理値を出力する論理ゲートの集合 S を求め、 S 内のすべての論理ゲートに対し正常時と故障時の電源電流差を加算して式(15)の $I_{cc}(j) - max(I_{cc}(j)')$ および $min(I_{cc}(j)') - I_{cc}(j)$ を導出すれば、すべての論理ゲートの電源電流を導出して加算する必要がない。

ため高速に式(15)の判定が行える。そのため、本手法では故障シミュレーションを用いて正常時と異なる論理値を出力する論理ゲートを導出し、それらの論理ゲートの正常時と故障時の電源電流差を加算して式(15)の判定を行う。

以下に検査入力生成アルゴリズムを示す。

【検査入力生成アルゴリズム】

- ① ランダム入力系列から j 番目の入力 T_j を取り出す。
- ② 論理シミュレーションを用いて、入力 T_j 印加時での正常時の各信号線の論理値を導出する。
- ③ 信号線に故障を挿入する。
- ④ 故障シミュレーションを用いて正常時と異なる論理値を出力する論理ゲートを求める。
- ⑤④で求めた論理ゲートに対して正常時と故障時の電源電流差を加算し、 $I_{cc}(j) - \max(I_{cc}(j)'), \min(I_{cc}(j)') - I_{cc}(j)$ を導出し、式(15)を満たせば検出可能故障とする。
- ⑥ まだ検出されていない故障のうち入力 T_j で検出可能かどうか調べていない全故障について③～⑤を繰り返す。
- ⑦⑤で求めた検出可能な故障数が1以上ならば T_j を検査入力として採用する。
- ⑧ 全ての故障が検出可能となれば終了する。
- ⑨ 全ての j に対して①～⑧を繰り返す。

故障を挿入した信号線の論理値が正常時と同じ論理値となる場合には、全ての論理ゲートは正常時と同じ論理値を出力し故障箇所にも電流は流れないので電源電流変化を生じない。そのため、 T_j ではこの故障を検出することはできないので、上述のアルゴリズムでは②で各論理ゲートの正常時の論理値を導出しておき、③で、正常時の論理値が1の信号線にはGNDとの短絡故障、正常時の論理値が0の信号線には断線故障および電源との短絡故障を挿入する。

4. TTL組合せ論理回路の故障検出のための検査入力の導出

本稿で提案した手法によって、TTL論理回路内の故障を電源電流により検出するための検査入力を導出するためには、各論理ゲートの正常時電源電流値、故障時電源電流値が必要である。そのため、TTL論理ゲートの正常時電源電流および故障発生時電源電流を実測した。TTL論理回路内のゲートはTTLゲートで駆動されTTLゲートを負荷に持つため、図4に示すように論理ゲートの入出力段にインバータゲートを接続してICに流れる電源電流を測定した。

一般にIC内には複数個のゲートが実装されており、IC内の各ゲートの電源電流を直接測定することができない。し

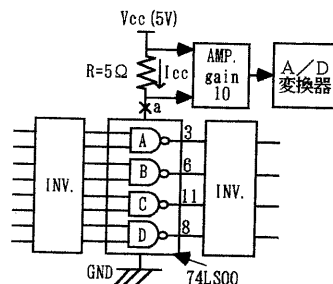


図4 電源電流測定回路

かし、我々の実験で正常な論理ゲートの電源電流はゲート間のばらつきがほとんどないことが確認されたため、測定したICに流れる電源電流値をIC内に内蔵された論理ゲート数で除算した値を論理ゲートの正常時電源電流とした。

論理ゲートの出力信号線と電源線の短絡故障発生時に論理ゲートに流れる電源電流は、論理ゲートが故障の影響を生じない論理値を出力した状態で短絡故障を挿入した後、故障箇所に過電流が流れる入力を論理ゲートに与えて測定した。なお、故障を挿入しない論理ゲートは1を出力する入力を与えた。

本実験では、インバータ(74LS04)、バッファ(74LS34)、2入力ゲートのAND(74LS08)、NAND(74LS00)、OR(74LS02)、NOR(74LS32)、EX-OR(74LS86)、3入力ゲートのAND(74LS10)、NAND(74LS11)、NOR(74LS27)の各論理ゲートの電源電流を測定した。メーカーによって論理ゲートの電源電流特性が異なるため、2入力EX-ORに松下製ICを使用し、その他はTI製ICを使用した。測定結果を表1、表2および表3に示す。測定では電源にキクスイ電子製シリーズレギュレータ(MODE L PAB 18-1A)を使用し、A/D変換器は12ビットのカノープス電子製「ANALOG-PRO DMA」を使用した。

表1 1入力ゲートの正常時及び故障時電源電流

ゲート名	I _L [mA]	I _H [mA]	I _{SG} [mA]	I _{SV} [mA]
INVERTER	0.70818	0.22792	74.80~82.80	108.50~132.50
BUFFER	0.80586	0.47121	82.05~85.60	157.00~208.00

I_L : 0出力時正常時電源電流
I_H : 1出力時正常時電源電流
I_{SG} : 出力がGNDと短絡したの時の電源電流
I_{SV} : 出力が電源と短絡したの時の電源電流

表2 2入力ゲートの正常時及び故障時電源電流

ゲート名	I _L [mA]	I _H [mA]	I _{SG} [mA]	I _{SV} [mA]
AND	1.09890	0.56186	45.85~53.00	73.20~78.50
NAND	0.69597	0.18315	40.30~49.20	156.00~207.60
OR	1.31888	0.73260	48.20~52.20	82.60~88.05
NOR	1.02584	0.50081	38.00~44.50	118.00~238.00
EX-OR	1.57494	0.96459	72.20~77.20	50.00~53.80

表3 3入力ゲートの正常時及び故障時電源電流

ゲート名	IL [mA]	IH [mA]	ISG [mA]	ISV [mA]
AND	1.17216	0.58808	47.10~60.40	57.35~63.65
NAND	0.73260	0.19536	51.10~58.40	100.00~268.00
NOR	1.15588	0.71832	31.35~37.25	94.00~188.00

表2において、2入力EX-OR以外のTTLゲートの電源電流値は出力論理値により定まる。しかし、2入力EX-ORゲートでは0出力時の電源電流値は入力論理値により異なった値となる。たとえば我々の測定では2入力がともに0の場合の電源電流値は1.66056[mA]で、2入力とも1の場合は1.48962[mA]であった。そこで、表2ではこの平均値を0出力時の電源電流値としている。

表4に検査入力生成の対象とした回路を、表5に本アルゴリズムで検査入力を導出した結果を示す。表4の被検査回路には、文献(11)に記載された74シリーズの組合せ論理回路から、お互いに機能の異なる20種類の回路を選んだ。表4の被検査回路中には表1、表2および表3に示した以外の多入力ゲートが存在する。そのため、多入力ゲートは図5に示すルールで表1から表3のゲートに変換した。

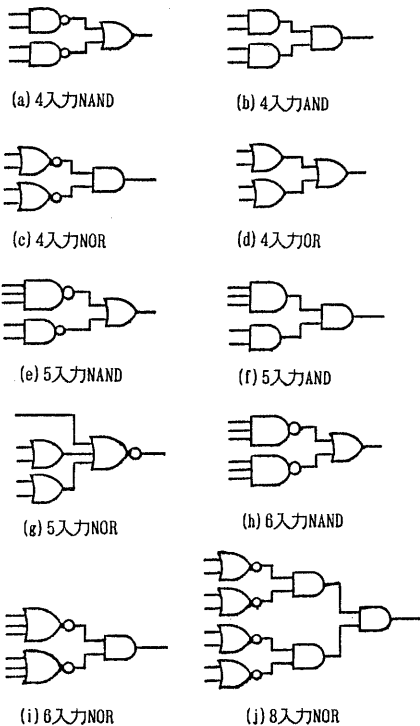


図5 多入力論理ゲートの変換規則

表4 被検査回路とその電源電流測定分解能

被検査回路	入力数 Ni [個]	全検査 入力Ni [個]	論理 ゲート 数 [個]	信号 線数 [個]	対象故障 数 [個]	電源電流 測定分解 能 Idiv [mA]
74138	6	64	46	104	166	0.007
74147	9	512	58	125	220	0.012
74151	12	4096	53	123	211	0.012
74152	11	2048	49	102	186	0.011
74153	12	4096	50	102	184	0.012
74154	8	64	79	234	338	0.010
74155	8	64	29	75	103	0.004
74157	10	1024	29	55	91	0.007
74158	10	1024	29	55	91	0.006
74181	14	16384	103	278	446	0.023
74182	9	512	47	122	192	0.011
74183	3	8	19	52	81	0.004
74246	6	64	68	184	286	0.013
7442	4	16	52	127	197	0.007
7443	4	16	52	127	197	0.007
7444	4	16	52	127	197	0.007
7446	6	64	64	178	276	0.013
7482	5	32	33	85	137	0.007
7483	9	512	60	153	249	0.013
7485	11	2048	67	184	298	0.015

式(7)の条件は抵抗値R、アンプのゲインGの設定で容易に実現可能なので、本稿では式(6)の条件を満たすようにIdivを決定する。電源電流測定には12ビットのA/D変換器を使用したのでA/D変換器の分解能V_{ADmin}はV_{ADmax}/(2¹²-1)となり、式(9)から式(6)の条件は式(16)となる。

$$\max(I_{cc}(j)) < I_{div} \cdot (2^{12} - 1) \quad (16)$$

表4では、Idivは式(16)を満たす最も小さい値に決定した。式(16)の正常回路のmax(I_{cc}(j))は論理シミュレーションにより各論理ゲートの出力論理を導出し、表1、表2および表3の電源電流値を用いて導出した。

表5 電源電流による故障検出のための検査入力

被検査回路	生成した 検査入力 数 N [個]	N/Nt [%]	検出不 可能な 故障数 [個]	実行 時間 [sec]
74138	14	21.88	0	1.8
74147	15	2.93	0	2.9
74151	20	0.49	0	3.0
74152	13	0.63	0	1.3
74153	12	0.29	0	1.2
74154	21	32.81	4	10.6
74155	12	18.75	2	1.2
74157	8	0.78	0	0.3
74158	8	0.78	0	0.3
74181	23	0.14	2	297.5
74182	15	2.93	0	2.6
74183	8	100.0	0	0.3
74246	13	20.31	0	4.2
7442	12	75.00	1	1.7
7443	12	75.00	0	1.7
7444	11	68.75	1	1.6
7446	13	20.31	0	4.1
7482	12	37.50	0	0.9
7483	14	2.73	0	2.7
7485	17	0.83	0	4.8

(使用計測機: OMRON製LUNA88K 25MIPS)

表5より外部入力信号線数が増加するほど検査入力数を減らすことができることがわかる。また、表5の74154, 74155, 74181, 7442, 7444の5種類の論理回路には電源電流によつては検出できない故障が存在しており、その故障はいずれも信号線の断線故障である。このように、論理回路に断線故障が発生した時、電源電流に故障の影響が現れない場合がある。これは次のような理由によるものである。

論理ゲートに流れる電源電流はメーカ、論理機能、入力数によって定められる。そのため、M種類の論理ゲートで構成される論理回路において、式(1)の正常時電源電流 $I_{cc}(j)$ は式(17)で表すことができる。また、信号線に断線故障が発生した場合、式(3)の電源電流 $I_{cc}(j)'$ は式(18)で表すことができる。式(17)、(18)で、2入力ANDゲート、2入力NAND等の論理ゲートの種類は番号で表現する。

$$I_{cc}(j) = \sum_{m=1}^M (N_{mL}(j) \cdot I_{mL} + N_{mH}(j) \cdot I_{mH}) \quad (17)$$

$$I_{cc}(j)' = \sum_{m=1}^M (N_{mL}(j)' \cdot I_{mL} + N_{mH}(j)' \cdot I_{mH}) \quad (18)$$

$$N_m = N_{mL}(j) + N_{mH}(j) \quad (19)$$

ここで、 N_m ：第m番目の種類のゲート数

$N_{mL}(j)$ ： N_m のうち正常時に0を出力するゲート数

$N_{mH}(j)$ ： N_m のうち正常時に1を出力するゲート数

$N_{mL}(j)'$ ： N_m のうち故障時に0を出力するゲート数

$N_{mH}(j)'$ ： N_m のうち故障時に1を出力するゲート数

I_{mL} ：第m番目の種類のゲートの0出力時電源電流値

I_{mH} ：第m番目の種類のゲートの1出力時電源電流値

各種類の論理ゲートの0（または1）を出力するゲート数が正常時と故障時で変化しない場合、電源電流に変化が生じなくなり、故障検出できなくなる。

本検査入力生成法は、被検査回路に検出不可能な故障が存在する場合、すべての入力に対して検査入力と成り得るか否かを調べる。そのため、回路規模の大きな論理回路に検出不可能な故障が存在する場合、検査入力生成には多くの時間が必要となる。回路規模が大きく、検出不可能な故障が存在する74154、74181の検査入力生成には、他の論理回路より多くの時間がかかることが、表5からわかる。

論理回路の外部出力信号線の論理値測定により故障検出する場合、信号線の断線故障および電源との短絡故障は1縮退故障、信号線とGND線の短絡故障は0縮退故障としてモデル化できる。電源電流による故障検出のための検査入力数と出力論理測定による故障検出のための検査入力数の比較のために、これらの故障を出力論理測定により検出するための検査入力を故障シミュレーションによって導出した。その結果を表6に示す。

表5、6から、信号線の断線故障、信号線と電源線の短

表6 出力論理による故障検出のための検査入力

被検査回路	生成した検査入力数 N (個)	N' / N [%]	検出不可能な故障数 (個)	実行時間 [sec]
74138	17	28.58	0	3.4
74147	27	5.27	0	14.3
74151	42	1.03	0	9.0
74152	23	1.12	0	2.7
74153	24	0.59	0	2.4
74154	32	50.00	0	18.3
74155	12	18.75	0	0.7
74157	9	0.88	0	0.2
74158	9	0.88	0	0.2
74181	39	0.24	0	18.4
74182	30	5.86	0	8.1
74183	8	100.0	0	0.2
74246	18	28.13	4	5.2
7442	16	100.0	0	1.9
7443	16	100.0	0	2.0
7444	16	100.0	0	1.9
7446	18	28.13	4	4.9
7482	12	37.50	0	0.8
7483	26	5.08	0	3.3
7485	37	1.81	0	21.0

(使用計算機：OMRON製LUNA88K 25MIPS)

絡故障を検出する場合には、電源電流によって故障検出を行う方が少ない検査入力で故障検出が行えることがわかる。また、7446、74246の外部出力信号線の論理値測定により検出できない故障が、電源電流測定により検出できることがわかる。

5. おわりに

本稿では、電源電流による故障検出のための検査入力生成法を提案し、TTL組合せ論理回路内の信号線の断線故障、信号線と電源線（電源、GND）の短絡故障の単一故障を電源電流で検出するために必要な検査入力を故障シミュレーションにより導出した。その結果、検査入力数を大幅に減少することがわかった。また、電源電流による故障検出法において検出対象とした故障を縮退故障でモデル化し、その故障を論理回路の外部出力信号線の論理値により検出するために必要な検査入力を、故障シミュレーションによって導出した。その結果、電源電流によって故障検出を行う方が、外部出力信号線の論理値測定により故障検出を行うより、少ない検査入力で故障検出が行えることがわかった。

本稿で提案した検査入力生成では非常に単純な故障シミュレーションアルゴリズムを使用している。そのため、被検査回路の回路規模が大きくなると多くの検査入力生成時間が必要になる。そのため、より高度なアルゴリズムを用いれば、さらに高速に検査入力の生成が可能であると考えられる。今後は、高速に検査入力を導出できるアルゴリズムの開発を行う予定である。

〔謝辞〕本研究に関し、京都大学工学部矢島脩三教授には
貴重な助言を頂きました。ここに深謝します。

参 考 文 献

- (1) Breuer, M.A and Friedman, A.D.: "Diagnosis
& Reliable Design of Digital Systems", Pitman
(1977)
- (2) 樹下行三: "テストと信頼性", オーム社 (昭57)
- (3) Parag K. Lala, 当麻喜弘他訳: "フォールト・トレランス
入門", オーム社
- (4) Luther, K.H., Jerry, M.S., Ron, R.F. and Charles, F.H.:
"Measurements of Quiescent Power Supply Current
for CMOS ICs in Production Testing", Proc. of ITC
-87, pp.300-309(1987)
- (5) Charles, F.H. and Jerry, M.S.: "Electrical
Characteristics and Testing Considerations for
Gate Oxide Shorts in CMOS ICs", Proc. of ITC-85
, pp.544-555(1985)
- (6) Charles, F.H. and Jerry, M.S.: "Reliability and
Electrical Properties of Gate Oxide Shores in
CMOS ICs", Proc. of ITC-86, pp.443-451(1986)
- (7) P. Nigh and W. Maly, "Test Generation for Current
Testing", European Test Conference, April 1989
- (8) 橋爪他: "TTL組合せ論理回路の電源電流による故障検出
法", 信学論誌D-II (1990年7月)
- (9) "The Bipolar Digital Integrated Circuits Data
Book for Design Engineers PART 1", 日本テキサスイン
スツルメンツ
- (10) 福井他: "組合せ論理回路の正常時電源電流波形との差
による故障検出法", 信学会春期全国大会論文集C-592
(1991年)
- (11) "1988年度版 最新TTLIC規格表", CQ出版社