

電荷モデル化による アナログプリント基板配線経路決定法

春日 正利[†] 今田 勇[†] 三浦 雄一^{††} 松田 基一[†]

[†]長岡技術科学大学

(現在:日本電気株式会社)

940-21新潟県長岡市上富岡町1603-1

あらまし アナログプリント基板の自動配線手法として、我々は、基板外周、配線経路を同符号の面電荷で置換し、この電荷による基板内の総ポテンシャルエネルギーが最小(極小)になるときをもって良好な配線状態とするという考えに基づく電荷分布モデルを提案し、種々の検討を行ってきた。ここでは、基板内の複数配線対を仮配線した状態に対して電荷分布モデル化を行ない、その初期配線経路を改善する手法を提案するとともに、その改善配線経路が初期配線に強く依存しないことを示す。また、その結果得られる総ポテンシャルエネルギー最小の配線経路の集合が、配線並走度最小、配線密度平均化などの配線基準を同時に満たすものであることを示す。

A Routing Design Method Using Surface Charge Modeling

Masatoshi KASUGA,[†] Isamu KONTA,[†] Yuichi MIURA,^{††} Jin-ichi MATSUDA[†]

[†]Nagaoka University of Technology,

^{††}(Now, Nippon Electric Co., LTD)

1603-1 Kamitomioka Nagaoka-shi, Niigata 940-21 Japan

Abstract We have proposed a newly routing design method based on the minimization strategy of network energy. In this method, the wirings and the boundaries on a PCB are replaced with the same signed surface charge, and it is assumed that the optimal or quasi-optimal routing can be obtained when the total potential energy for the PCB is minimized. The purpose of this paper is to propose an improvement method of multi-wirings route using surface charge modeling, starting from a pre-wiring by maze-running algorithm and satisfying the condition of minimization of the total potential energy.

1. まえがき

60年代より、電子回路の配置・配線に関する実装設計問題について活発な研究が行なわれており^{1)~3)}、デジタル回路、LSIの大規模化、複雑化に伴い、設計の効率化を目的とした自動設計に大きく貢献している。これらのうち、配線問題では、迷路法⁴⁾、線分探索法⁵⁾、及びこれらの改良手法などが用いられている。

しかしながら、従来の回路基板設計手法は、トポロジカルな接続を優先にX-Yルールに基づいて配線するように開発されているため、接続関係以外の要求仕様の多いアナログプリント基板に対する設計には効果的に適用できない。特に近年、家電製品等の高機能化に伴い、それに多用されるアナログプリント回路基板が大規模、かつ複雑となり、その設計作業工数も膨大となっており、その克服のために自動設計の実現が強く求められている。

これに対し、我々は、新しい配線設計手法として、基板のエネルギー状態を最小にするという考えに基づく電荷分布モデル化法^{6),7)}を提案している。この方法は、プリント基板上の基板外周や配線パタンを同符号の面電荷で置換し、その電荷分布により決定されるプリント基板内の総ポテンシャルエネルギーが最小（または極小）になるときを良好な配線と見做すという考えに基づいている。我々は既に、本手法により、総配線長、配線曲がり数などの一般的な配線経路評価基準を同時に考慮して配線経路を評価することができることを確認している⁸⁾。

本報告では、電荷分布モデルによる基板上の複数配線の経路の決定方法について、有効な方法を提案する。さらに、従来の自動配線手法では複数の配線設計基準を同時に満たすことができなかったが、今回提案する方法により得られた配線経路は、異なる配線設計基準を同時に満たすことが可能であることを示す。

2. 電荷分布モデル化

2.1 モデル化の概念

図1に、配線パタンの電荷分布モデル化の説明図を示す。図1(a)はアナログプリント基板で、各部品の配置は決まっているものとする。

図1(b)は、斜線部で示されている基板外周、及び配線パタンを、同符号の面電荷で置換した電荷分布モデル図である。なお、置換の具体的な方法については2.2で述べる。

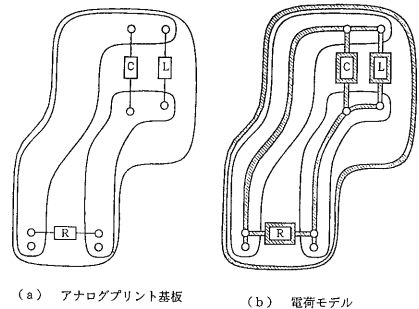


図1 プリント基板の電荷モデル化

この面電荷により、基板外周と配線経路間、及び配線経路相互間にクーロン力による反発力が作用し、このクーロン力による反発作用のため、配線経路が互いに重なったり、異常接近することもなく、基板内全域にほぼ均等に配分されると期待できる。この状態は、近年、配線設計に研究されているシミュレーテッド・アニーリング法の記述を借りれば、一種の基底状態に相当すると考えられる。但しここで提案した電荷分布モデル化法によれば、クーロン力は基板全域に及ぶため、配線経路を局所的にも大域的にも合理的になるように決定でき、しかも、シミュレーテッド・アニーリング法に比べて、途中のプロセス、及び得られた結果の物理的意味を把握しやすいという特長がある。

電荷分布モデルによるポテンシャルエネルギーは以下に述べる手順により計算する。図2

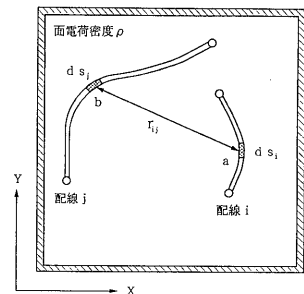


図2 電荷モデル化された配線経路

に示すような配線 i の点 a における電荷が配線 j の点 b にある電荷により受けるポテンシャル V_a は、式(1)により決定され、点 a におけるポテンシャルエネルギー W_a は、式(2)となる。

$$V_a = \frac{1}{4\pi\epsilon_0} \sum_j \int_{s_j} \frac{\rho_j ds_j}{r_{aj}} \quad (1)$$

$$W_a = \rho_a ds_a V_a \quad (2)$$

従って、配線経路による総ポテンシャルエネルギー W_t は、式(3)により求められる。部品、及び基板外周についても同様にポテンシャルエネルギーを求め、それらの総和により基板全体の総ポテンシャルエネルギーを算出する。

$$W_t = \sum_i \int_{s_i} W_a \quad (3)$$

2. 2. 電荷分布モデル化の方法

従来の自動配線経路決定法では、最初に、全ての配線経路は同じ線幅と仮定して、配線が混雑しないこと、また偏在しないことなどの条件から配線経路を決定し、つぎに、後処理として信号線、電源線、アース線などのように電気的特性の劣化や雑音が問題となる配線については、その線幅を人間が介入して適当に修正する方法が採られることが多い。

一方、ここで使用する電荷分布モデル化方法でも、仮りに、全ての配線は、ある仮想的な線幅を持っているとする。そして他の配線と、

- 1) 空間的に近接しても問題のない配線には面電荷を少なく、
- 2) できるだけ遠ざけたい配線には面電荷を多く与える、また、
- 3) 電流量が多いと思われる配線や線幅を太くしたい配線には、面電荷を多く与える、などのルールで配線パターンを電荷分布モデル化する。この方法は、面電荷量を自由に設定して、配線間の相互作用を可変できるため、最初の線幅の選び方は、ほとんど問題にならない。

そこで例えば、最初の線幅として、実現できる最小線幅を用いることなどが考えられる。最終的に面電荷と実際の線幅とを対応づける方法として、

- 1) 電荷密度を一定とし線幅を決める方法、
 - 2) 電荷密度を可変とし、線幅と電荷密度の積を一定にする方法、
- の2通りが考えられる。しかし、ここでは、

面電荷量から線幅を直接に求めることができる1)の方法を採用している。

3. 配線の評価基準

プリント回路基板において、従来より一般的な配線設計上の留意点¹⁾が指摘されているが、それらのうちのいくつかは、自動設計実用システムにおける配線の評価基準としても使用されている²⁾。そのうちの代表的なものを下記に示す。

- 基準1. 配線長の総和が短いこと。さらに信号のクロストーク、反射などから決められる各配線の許容配線長を越えないこと。
- 基準2. 配線経路上にある曲り数が少ないこと。
- 基準3. 特定の信号線が許容配線長以上にわたって隣接並走していないこと。
- 基準4. 配線密度が基板の特定箇所に偏ることなく、全体に平均して分布していること。

本報告では、基準3の並走度として、配線経路を基板のX、Yの2方向に分割し、それぞれの方向ごとに並走する配線経路長の和をもって定義し、また基準4の偏り度として、基板の配線可能領域を適当な小領域に等分割し、それぞれに一定の幅をもたせた配線経路が占める面積の分散をもって定義する。

従来の自動配線手法は、これらの配線設計基準を同時に満たすことができず、いずれかひとつの配線基準に着目した最適化であったが、電荷分布モデルによる配線経路の改善手法は、これらの配線設計基準のうちの複数を同時に満たすことが可能であることを、5章で示す。

4. 配線経路の改善手法

我々は既に、3端子配線の分岐点の移動について、分岐点周囲のポテンシャル勾配値の最大方向に分岐点を移動することにより、総ポテンシャルエネルギー最小の状態、且つ総配線長最短の配線経路が得られることを報告した。ここでは、複数の配線対に対する総ポテンシャルエネルギー最小の状態を探索するため、回路基板の領域を格子状に分割し、適当に部品が配置

された状態を考え、下記の手順で配線経路を逐次改善する方法を提案する。参考図を図3に示す。

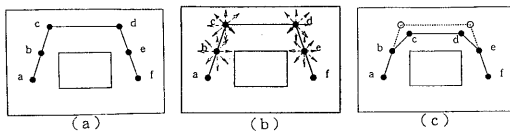
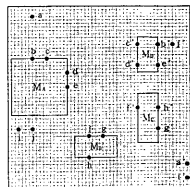


図3 配線移動アルゴリズムの実行例

- 1) 初期配線を図3(a)のように仮定し、その配線経路の折れ曲がり点c, d, 及び経路上に適当に付加した点b, eを移動対象点とする。尚、点a, fは端子点であり、移動しない。
- 2) 基板外周、既配線に電荷分布モデルによる電荷を与え、各移動対象点において、参考図に示す方向のポテンシャル勾配値を計算する。
- 3) ポテンシャル勾配値の大きい順に、移動方向の候補を定める。(b)では、点c, dの斜め下方向における勾配値が最大とする。
- 4) まず、最大のポテンシャル勾配方向に対して、移動対象点を移動し、その結果できる(c)の仮配線について、前述の式(2)によりポテンシャルエネルギーを計算する。
- 5) もし評価値が移動前に比べて小さくなれば、その仮配線を新たな配線経路として、7)に進む。
- 6) もし評価値が移動前に比べて大きくなれば、4)に戻り、その次に大きなポテンシャル勾配方向に対して、4)以降の処理を行なう。
- 7) 次の反復ステップに進み、収束するまで繰り返す。
- 8) 次の配線対に対し、配線経路の改善を続行する。

5. 配線経路決定の例題

迷路法、線分探索法により配線された経路を初期配線状態とし、電荷分布モデル法により経路を逐次改善し、その配線の移動過程を調べた。ここでは、迷路法として、2種類の配線経路を用いている。ひとつは通常のLeeの方法による



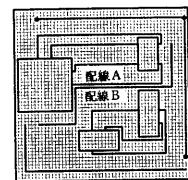
$a \sim j, a' \sim j'$: 端子点
 $M_A \sim M_D$: 部品

図4 基板モデル

ものであり、これを迷路法1とした。もうひとつは、既配線や障害物に近接させて、他の配線のために配線可能領域を広く確保するようにした、Leeの方法の改良手法によるものである。例題の基板としては、図4に示すような複数本の配線対を有する回路基板を使用した。

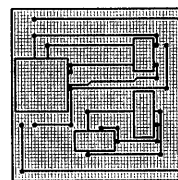
計算例1.

図4の10本の配線対を迷路法1により初期配線し、そのうちの2本の配線対、A, Bを各々個別に、4章で述べた経路改善方法により移動させた結果を、図5に示す。初期配線に対して、図5(a)は、配線対Aを移動したものであり、(b)は、配線対Bを移動したものである。総ポテンシャルエネルギーは、初期配線状態を1.00として、各々(a)は0.990, (b)は0.987となった。この状態では、配線対Bの周辺に余裕があり、さらに移動可能と考えられる。



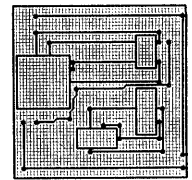
初期配線(迷路法1)

総P. E. = 1. 0



(a) 配線Aを移動

総P. E. = 0. 990



(b) 配線Bを移動

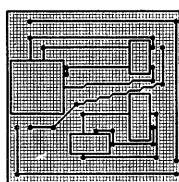
総P. E. = 0. 987

図5 配線Aと配線Bの移動優先順位(第1回目)

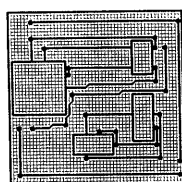
そこで、先に配線対Aを移動させた場合には次に配線対Bを移動させる、すなわち先の収束結果を初期配線として、もう一方の配線対を移動させてみた。その結果は、図6(a), (b)に示すようになり、総ポテンシャルエネルギーは、初期配線状態を1.00として、各々(a)については0.954, (b)については0.978となり、図5に示した一回目の移動に比較して減少した。

更にこれを初期状態として、お互い、もう一

方の配線対を移動させた結果、図6(c)に示すような同じ配線状態となった。以上により、

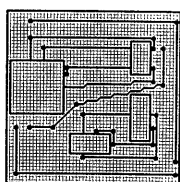


総P. E. = 0.954



総P. E. = 0.978

(a) 配線A移動後、配線Bを移動 (b) 配線B移動後、配線Aを移動



総P. E. = 0.954

(c) さらに、お互い他方の配線を移動

図6 配線Aと配線Bの移動優先順位(第2回目)

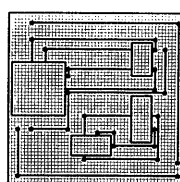
全配線対を移動後、更に移動の順番を変更して移動し直すことが、より低いエネルギー状態を探索するという点に対して、有効な方法であることを確認できた。

計算例2.

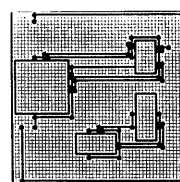
そこで、全配線対に対し、ポテンシャルエネルギーの高い順に番号をつけ、これを配線優先順位として、配線の経路改善を行なってみた。初期配線として図7(a)のように迷路法1を選択した場合、全10本の配線対の移動を行なった結果は、図7(b)のようになった。更に、これを初期配線状態として、改めて全10本の配線対の移動を行なった結果、図7(c)のようになった。一方、初期配線として(d)のように迷路法2を選択した場合、全10本の配線対の移動を行なった結果は、(e)のようになった。更に、これを初期配線状態とし、改めて全10本の配線対の移動を行なってみたが、配線は改善されなかった。

これらの反復計算の過程における、総ポテンシャルエネルギーの変化を図8に示す。迷路法2を初期配線として選択したほうが、総ポテンシャルエネルギーの低い配線経路となったが

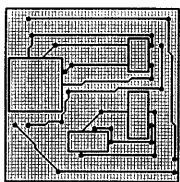
これは迷路法2のほうが、移動対象点が多い、つまり、移動の自由度が多いことに起因してい



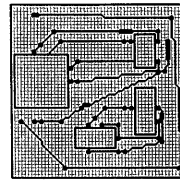
(a) 初期配線(迷路法1)



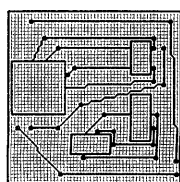
(d) 初期配線(迷路法2)



(b) 1回目の移動後



(e) 1回目の移動後



(c) 2回目の移動後

図7 10本の配線移動後の様子

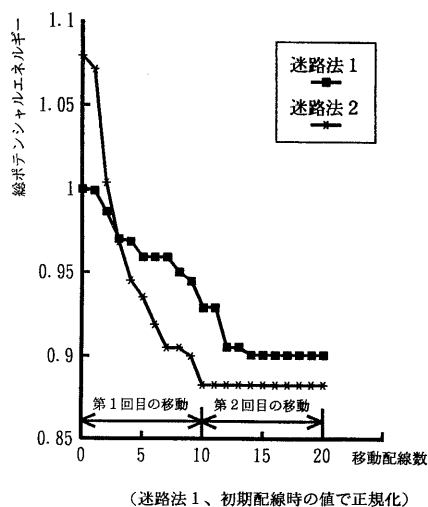


図8 総ポテンシャルエネルギーの変化の様子

ると思われる。

また、表1に示すように、並走度、配線密度についても徐々に減少していることがわかる。電荷分布モデルの定義により、配線経路長と電荷量が密接に関連していることより、総ポテンシャルエネルギーの減少は、一般に、総配線長の減少にもなる。これらのことより、電荷分布モデル法による配線経路の改善手法は、複数の配線設計基準を同時に満たすことが可能であることがわかる。

表1 配線経路の配線設計基準による評価値
(迷路法1により各基準を正規化)

	総ポテンシャルエネルギー	総配線長	総曲り数	並走度	配線密度
迷路法1 (初期配線)	1.00	1.00	1.00	1.00	1.00
迷路法1 (1回目の移動)	0.929	0.954	0.955	0.654	0.989
迷路法1 (2回目の移動)	0.901	0.938	0.955	0.590	0.961
迷路法2 (初期配線)	1.079	1.023	2.273	1.493	1.606
迷路法2 (収束状態)	0.883	0.923	1.000	0.751	0.961

6. 結論

複数配線の経路を、初期配線に電荷分布モデル法を適用することにより逐次改善する有効な方法を提案した。また、初期配線の相違は、結果に大きな影響を及ぼさないことが確認できた。さらに、得られた配線経路は、従来の自動配線手法では同時に満たすことができなかった複数の配線設計基準を、同時に満たすことが可能であることを示した。今後の課題としては、配線形状を曲線のまま表現した上で、本手法の有効性を確立することなどがある。

参考文献

- 1) M.A.Breuer編、林訳："デジタル計算機の自動設計"、産業図書(1973)
- 2) J.Soukup:"Circuit Layout", Proc.IEEE, VOL 69, pp.1281-1304(1981)
- 3) Ed. T.Ohtuki:"Layout Design and Verification", North-Holland(1986)
- 4) C.Y.Lee:"An algorithm for path connections and its application", IRE Trans. Electron.Comput., pp.346-365(1961)
- 5) D.W.Hightower:"A solution to line-routing problems on the continuous plane", Proc.16th DA Workshop, pp.1-24(1969)
- 6) 田中, 春日, 松田, 増田:"自動パターン設計の一手法"、信学技報、CAS88-91(1988)
- 7) J.Matsuda, M.Kasuga, M.Tanaka, T.Wasuda:"An Automatic routing Method for Analog PCB by Using the Mimimum Strategy of Network Potential Energy", IEICE Trans, VOLE72, pp1382-1389(1989)
- 8) Y.Miura, M.Kasuga, K.Aoyama, J.Matsuda:"Wiring Patterns Evaluation Using Surface Charge Modeling", Proc.6th JTC-CSCC, pp.393-396(1991)
- 9) A.C.Finch, K.J.Mackenzie, G.J.Balsdon, G.Symonds:"A Method for Gridless Routing of Printed Circuit Boards", Proc.22nd DA Conference, pp.509-515(1985)
- 10) S.B.Akers:"A Modification of Lee's Path Connection Algorithms", IEEE.Trans.Electronic Computers, VOL.CT18, pp97-98(1967)