

識別可能な多値レベルを考慮した ニューロン MOS 論理素子設計手法

池 兼次郎 安浦 寛人

九州大学大学院システム情報科学研究科情報工学専攻

〒 816 春日市春日公園 6-1

E-mail: {ike,yasuura}@c.csce.kyushu-u.ac.jp

あらし ニューロン MOS トランジスタ (neuMOS) は複数の入力ゲートを持ち、全入力信号の重みつき加算を行った結果に対してしきい動作をする高機能デバイスである。本稿ではまず neuMOS がデバイス内部で多値論理を扱い、内部で識別可能な多値レベル数が neuMOS 回路を設計する上で大きな設計制約になることを述べる。次にこれまで検討を行ってきた 2 段 neuMOS 回路の特徴と問題点を指摘し、回路構成により自由度を持たせた多段 neuMOS 回路の構成を述べ、その設計手法を提案する。最後に本手法を用いたすべての 3 変数論理関数に対する設計結果を示す。

キーワード ニューロン MOS トランジスタ, 多段 neuMOS 回路, しきい関数, 整数計画法

A Design Method of Logic Elements Using Neuron MOS Transistors Considering the Number of Multiple-Valued Logic Levels

Kenjiro IKE Hiroto YASUURA

Department of Computer Science and Communication Engineering
Graduate School of Information Science and Electrical Engineering
Kyushu University

Kasuga Koen 6-1, Kasuga, Fukuoka 816, JAPAN

E-mail: {ike,yasuura}@c.csce.kyushu-u.ac.jp

Abstract A neuron MOS transistor, abbreviated to a neuMOS, has more than two input gates. It is highly functional device which realizes a switching operation as a threshold function of the weighted sum of all binary input signals. NeuMOS deals with multiple-valued logic in the device and the number of recognizable logic levels in neuMOS is a major constraint on designing neuMOS circuits. We point out feature and problems of a 2-level neuMOS circuit, which we have studied. We propose a design method of a multi-level neuMOS circuit which has more degree of freedom on a circuit structure than the 2-level neuMOS circuit. Using this method, we generate multi-level neuMOS circuits for all 3-variable logic functions.

key words neuron MOS transistor, multi-level neuMOS circuit, threshold function, integer programming

1 はじめに

ニューロン MOS トランジスタ (以下 neuMOS と略す) は東北大学で開発された高性能 MOS トランジスタである [1]. このデバイスは, 複数の入力ゲートを持ち, すべての入力信号の重みつき加算を計算して, トランジスタのオン・オフ状態を制御する多入力 MOS トランジスタである. neuMOS はデバイス内部において多値信号を扱っていると考えことができ, 局所的に多値で大域的に 2 値の論理回路を実現できる. neuMOS を用いて論理回路を設計すると, CMOS と比較してトランジスタ数や実装面積を減少できると報告されている [2, 3].

筆者らは neuMOS に対応した論理合成処理系に関する研究を行っており, 現在処理系で使用するセルライブラリに登録すべき neuMOS 基本論理素子の検討を行っている. これまで, 設計の容易さから neuMOS 論理素子として 2 段 neuMOS 回路と呼ぶ回路形状に限定して検討を進めてきた. しかし neuMOS が扱う多値レベル数はデバイス内部で識別すべき電位の幅と関連があるため, 製造精度と信頼性の観点からその上限が制約される. そのため 2 段 neuMOS 回路構造では大きな多値レベル数の neuMOS を用いなければならない非対称関数などは実現不可能になる.

本稿ではこれらの関数を neuMOS を用いて実現するために, 回路構造により自由度を持たせた多段 neuMOS 回路と呼ぶ回路形状について考察し, その設計手法を提案する.

まず 2 章で neuMOS の基本動作について簡単に触れ, 3 章でこれまで考察を行ってきた 2 段 neuMOS 回路の特徴と問題点を指摘する. 次に 4 章で今回提案する多段 neuMOS 回路の構成と設計手法を述べ, 本手法を用いた 3 変数関数を実現する多段 neuMOS 回路の設計結果を 5 章で示す.

2 neuMOS インバータ

2.1 基本動作

neuMOS は MOSFET のゲートがフローティングになっており, そのフローティングゲートに対して複数の入力ゲート電極が容量で結合している構造になっている. 実際に neuMOS 論理回路を構築する場合には, CMOS 構成の neuMOS インバータ形式を用いる. neuMOS インバータの構造, および回路図を図 1(a), (b) に示す.

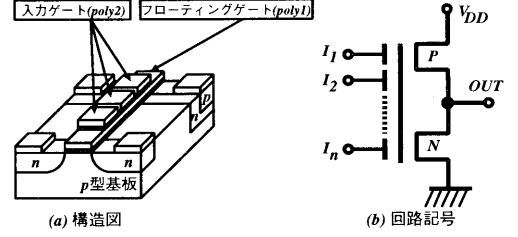


図 1: neuMOS インバータ

neuMOS インバータの 1 つの入力ゲートの結合容量は C_c で一定とすると, 回路入力 a 個の入力ゲートに接続している場合, その回路入力の結合容量は aC_c とみなすことができる. いま回路入力 I_i における入力電圧を V_i , I_i の結合容量を $c_i C_c$ (c_i : 整数), neuMOS インバータの寄生容量を C_0 とすると, フローティングゲートの電位 ϕ は

$$\phi = \frac{\sum_{i=1}^n c_i C_c V_i}{C_{TOT}} \quad (1)$$

$$C_{TOT} = C_0 + G \cdot C_c \quad (2)$$

$$G = \sum_{i=1}^n c_i$$

と表される. 上式中の G は neuMOS インバータの入力ゲート総数を表す.

neuMOS インバータの出力電圧は, フローティングゲート電位 ϕ と neuMOS インバータの反転しきい電圧 V_{th} の大小関係によって変化する. neuMOS インバータの出力 OUT の電圧 V_{OUT} は, 式 (1) を用いて以下の式で表すことができる.

$$V_{OUT} = \begin{cases} V_{DD} & \left(\frac{\sum_{i=1}^n c_i C_c V_i}{C_{TOT}} < V_{th} \right) \\ V_{SS} & \left(\frac{\sum_{i=1}^n c_i C_c V_i}{C_{TOT}} > V_{th} \right) \end{cases} \quad (3)$$

V_{th} を $\gamma \frac{V_{DD}}{2} [V]$ ($\gamma = \frac{G \cdot C_c}{C_{TOT}}$) と設定し, V_i が $V_{DD} [V]$ のとき 1, $V_{SS} [V]$ のとき 0 に対応する変数 x_i を導入すると, neuMOS インバータは式 (3) より次のしきい関数を実現する素子とみなすことができる.

$$f(\mathbf{x}) = \begin{cases} 1 & \left(\sum_{i=1}^n c_i x_i < \frac{G}{2} \right) \\ 0 & \left(\sum_{i=1}^n c_i x_i > \frac{G}{2} \right) \end{cases} \quad (4)$$

$$\mathbf{x} = (x_1, \dots, x_n) \quad (i = 1, \dots, n), \quad x_i \in \{0, 1\}$$

2.2 設計制約

neuMOS インバータは見方を変えるとフローティングゲート電位 ϕ がとりうる値 $\frac{mC_c}{C_{TOT}}V_{DD}[V](m=0, \dots, G)$ を論理値 m に対応させることにより、デバイス内部で電圧モードで多値信号を扱っていると考えることができる。このように G はneuMOS インバータの入力ゲート総数を表すと同時に、デバイス内部で扱うことができる多値レベル数をも表している。

G の増加はデバイス内部で扱う多値レベルの増加に繋がるため、1素子で多様な論理関数の実現が可能となり、より少ない素子で論理回路を設計することができうる。しかしその反面、式(2)より C_{TOT} は G に比例するため、フローティングゲート上で識別しなければならない電位変化の大きさ $\frac{C_c}{C_{TOT}}V_{DD}$ の値がより小さくなる。フローティングゲート上で識別すべき電位変化の最小値は、インバータの反転しきい電圧 V_{th} や入力結合容量のばらつきの大きさなどにより決定される。すなわち G の上限はデバイス製造プロセスの精度により決定される[4]。 G の上限は回路動作の信頼性に影響することから、neuMOS 回路設計上で非常に強い制約となる。

3 2段 neuMOS 回路とその問題点

前章で neuMOS インバータは式(4)を実現するしきい素子とみなせることを述べた。しかし、しきい関数は任意の論理関数を表現できないため、neuMOS を用いて任意の論理関数を実現するには、複数の neuMOS インバータを組み合わせた回路構成にする必要がある。

任意の論理関数を実現する neuMOS 回路構成の一つとして、以下の条件を満たす neuMOS 回路が提案されている[5]。

1. n 個の回路入力と ν_1 から ν_N までの N 個の neuMOS インバータから成り、すべての neuMOS インバータの G は一定である。
2. 回路中のすべての neuMOS インバータに対して、すべての回路入力と V_{DD} , GND が入力される。またすべての neuMOS インバータにおいて回路入力 I_i に対する結合容量は一定である。
3. neuMOS インバータ ν_1 には、すべての回路入力, V_{DD} , GND に加え、neuMOS インバータ $\nu_2, \dots, \nu_N$ の出力が入力として加えられる。

4. neuMOS インバータは出力線を駆動するのに必要なドライブ能力がないため、 ν_1 の出力を通常の CMOS インバータで信号を増幅させ、回路出力とする。

以上の回路は、信号が回路入力から最大2つの neuMOS インバータを経て出力されるので、以後2段 neuMOS 回路と呼ぶ。neuMOS インバータを丸で表した4素子2段 neuMOS 回路のネットワーク構成を図2に示す。

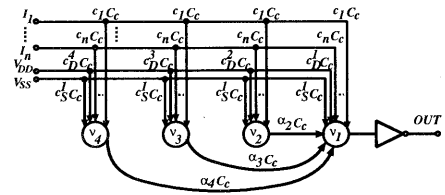


図2: 2段 neuMOS 回路

各 neuMOS インバータの結合容量を以下のよう

- $c_i C_c$ — 各 neuMOS インバータの入力 I_i に対応する結合容量
- $c_D^k C_c$ — ν_k の V_{DD} 入力に対応する結合容量
- $c_S^k C_c$ — ν_k の V_{SS} 入力に対応する結合容量
- $\alpha_j C_c$ — ν_1 の ν_j 出力に対応する結合容量

このとき各 neuMOS インバータの G は以下の式で与えられる。

$$G = \sum_{i=1}^n c_i + c_D^1 + c_S^1 + \sum_{j=2}^n \alpha_j (\nu_1) \\ = \sum_{i=1}^n c_i + c_D^i + c_S^i (\nu_2, \dots, \nu_N)$$

ここで、 $c_D^2 > \dots > c_D^N$ と仮定して、式(4)を適用すると、2段 neuMOS 回路は以下の関数を実現する。

$$f(x) = \begin{cases} \begin{cases} 0 & (\sum_{i=1}^n c_i x_i < \frac{G}{2} - c_D^1 - \sum_{j=2}^N \alpha_j) \\ 1 & (\sum_{i=1}^n c_i x_i > \frac{G}{2} - c_D^1 - \sum_{j=2}^N \alpha_j) \end{cases} \\ (\sum_{i=1}^n c_i x_i < \frac{G}{2} - c_D^2) \\ \begin{cases} 0 & (\sum_{i=1}^n c_i x_i < \frac{G}{2} - c_D^1 - \sum_{j=k}^N \alpha_j) \\ 1 & (\sum_{i=1}^n c_i x_i > \frac{G}{2} - c_D^1 - \sum_{j=k}^N \alpha_j) \end{cases} \\ (\frac{G}{2} - c_D^{k-1} < \sum_{i=1}^n c_i x_i < \frac{G}{2} - c_D^k) \\ (k=3, \dots, N) \\ \begin{cases} 0 & (\sum_{i=1}^n c_i x_i < \frac{G}{2} - c_D^1) \\ 1 & (\sum_{i=1}^n c_i x_i > \frac{G}{2} - c_D^1) \end{cases} \\ (\frac{G}{2} - c_D^N < \sum_{i=1}^n c_i x_i) \end{cases} \quad (5)$$

式 (5) は、しきい値を複数持ち、重みつき加算の値がしきい値を越えるたびに出力が変化する多重しきい関数を表している。多重しきい関数はしきい値の数を制限しなければ任意の論理関数を表現できることから [6]、2 段 neuMOS 回路は任意の論理関数を実現可能である。また逆に、論理関数の多重しきい関数表現が分かれば、式 (5) よりその関数を実現する 2 段 neuMOS 回路の設計は容易である。

しかし、論理関数の多重しきい関数表現は複数存在するので、多重しきい関数表現に対応する 2 段 neuMOS 回路の中からより実装に適した回路を求めなければならない。2 段 neuMOS 回路のレイアウト例として、(7,3) パラレルカウンタの回路図とレイアウト図を図 3 に示す。(7,3) パラレルカウンタは 7 つの入力信号に対して、値が 1 である入力信号の数を二進数で表した 3 桁の信号を出力する回路である。

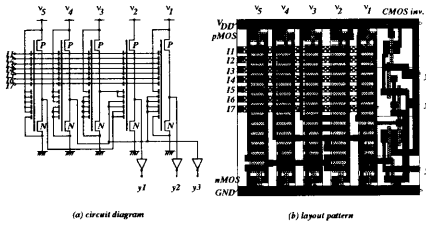


図 3: (7,3) パラレルカウンタ

図 3 のように 2 段 neuMOS 回路は回路図通りの規則正しいレイアウトが可能である。図 3 のレイアウト図より、デザインルールが決定されると、2 段 neuMOS 回路の面積 A は垂直方向の長さが G の一次関数、水平方向の長さが neuMOS インバータ数 N の一次関数で表される長方形の面積として、式 (6) のように近似できる。

$$A = (a_1 N + a_2)(b_1 G + b_2) \quad (6)$$

上式中の a_1 , a_2 , b_1 , b_2 はデザインルールによって定まる定数である。

筆者らは以上の結果から、整数計画法を用いて適当な論理関数を実現し、かつ面積最小な 2 段 neuMOS 回路を設計する手法を提案した [7]。本手法を用いて全 3 入力関数について設計を行った結果を表 1, 2 に示す。

2 段 neuMOS 回路は設計が容易な反面、回路構造が固定されているため、2 章で述べたデバイス製造プロセスの精度により決定される G の上限 G_{lim} より G が大きくなる場合はその関数を実現できない。

G_{lim} の制約により 2 段 neuMOS 回路で実現できない論理関数を neuMOS で実現するために、より自由度が高い回路構造について考察を行う。

4 多段 neuMOS 回路設計手法

4.1 回路形状

前章の問題点を克服するため、回路形状としてフィードバックループのない回路のなかでは最も一般的な回路であるフィードフォワード回路を構成している neuMOS 回路について考察する。フィードフォワード回路は任意の回路入力および前段の任意の素子の出力を素子入力として利用できる回路である。以後この回路を多段 neuMOS 回路と呼ぶ。ただし多段 neuMOS 回路でも 2 段 neuMOS 回路同様、最終段の neuMOS インバータの出力を CMOS インバータで増幅させ回路出力とする。neuMOS インバータを丸で表した 4 素子多段 neuMOS 回路のネットワーク構成を図 4 に示す。

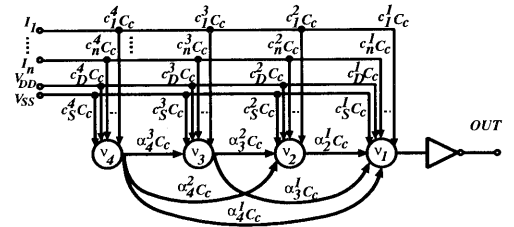


図 4: 多段 neuMOS 回路

neuMOS 回路中の neuMOS インバータは出力に近いものから $v_1, \dots, v_N$ であるとする。 v_i における各入力の結合容量を以下のように定める。

- $c_j^i C_c$ — 入力 I_j に対応する結合容量
- $c_D^i C_c$ — V_{DD} に対応する結合容量
- $c_S^i C_c$ — V_{SS} に対応する結合容量
- $\alpha_k^i C_c$ — v_k の出力に対応する結合容量

このとき v_i の入力ゲート総数 G^i は以下の式で表される。

$$G^i = \sum_{r=1}^n c_r^i + c_D^i + c_S^i + \sum_{s=i+1}^N \alpha_s^i \quad (7)$$

4.2 レイアウトモデル

多段 neuMOS 回路は 2 段 neuMOS 回路とはことなり、常に $G^1 = \dots = G^N$ が成り立つとは限らず、

素子間の配線もより複雑なものが考えられるが、本稿では簡単化のため、neuMOS 回路のレイアウトを垂直方向の長さが回路中の neuMOS インバータの G の最大値 G_{max} の一次関数として表される長方形として近似する。多段 neuMOS 回路の実装面積を N と G_{max} を用いて以下のように表す。

$$A = (a_1 N + a_2)(b_1 G_{max} + b_2) \quad (8)$$

上式中の a_1 , a_2 , b_1 , b_2 はデザインルールによって定まる定数である。

4.3 整数計画法の適用

設計目標を、ある論理関数を実現し面積が最小となる多段 neuMOS 回路を求めることとする。実装面積を式 (8) のように近似すると、多段 neuMOS 回路の設計も 2 段 neuMOS 回路の設計手法が応用できる。論理関数 $f(\mathbf{x})$ を実現する多段 neuMOS 回路は以下の手順で設計を行う。

1. $N = 1$ に設定
2. $G_{lim} \geq G^1$ の条件下で最小とする回路を整数計画法を用いて求める。最適解が存在した場合は、その解が $N = 1$ における解となる。存在しない場合は $N = N + 1$ として次のステップに進む。
3. $N = N'$ の場合 $G_{lim} \geq G^1, G^1 \geq G^2, \dots, G^1 \geq G^{N'}$ の条件下で G^1 を最小とする回路を整数計画法を用いて求める。最適解が存在した場合は、その値を G_{max}^1 とする。同様の手続きを $G^2, \dots, G^{N'}$ に対して行い、 $G_{max}^2, \dots, G_{max}^{N'}$ を求める。
4. もし $G^1, \dots, G^{N'}$ に対して最適解が存在しない場合は、 $N = N' + 1$ として前のステップに戻る。そうでない場合は $G_{max} = \min(G_{max}^1, \dots, G_{max}^{N'})$ である回路が $N = N'$ における最適な回路である。
5. $N = N' + 1$ として、ステップ 3 に戻る。

以下ではステップ 2, 3 で解くべき整数計画問題を述べる。

目的関数 G^i を最小化する場合、目的関数は以下の式で表される。

$$G^i = \sum_{r=1}^n c_r^i + c_D^i + c_S^i + \sum_{s=j+1}^N \alpha_s^i y_{(t)}^s$$

制約条件 $I_1, \dots, I_n$ に対応する入力変数を $x_1, \dots, x_n$ とし、入力ベクトルを $\mathbf{x} = (x_1, \dots, x_n)$ とする。ある入力ベクトル $\mathbf{x}_{(t)} = (x_{1(t)}, \dots, x_{n(t)})$ に対する ν_i の出力を $y_{(t)}^i$ とする。このとき制約条件として以下の式があげられる。

$$G_{lim} \geq G^i, G^i \geq G^1, \dots, G^i \geq G^N \quad (9)$$

$$y_{(t)}^j = \begin{cases} 1 & \left(\sum_{r=1}^n c_r^j x_{r(t)} + c_D^j + \sum_{s=j+1}^N \alpha_s^j y_{(t)}^s < \frac{G^j}{2} \right) \\ 0 & \left(\sum_{r=1}^n c_r^j x_{r(t)} + c_D^j + \sum_{s=j+1}^N \alpha_s^j y_{(t)}^s > \frac{G^j}{2} \right) \end{cases} \quad (10)$$

($j = 2, \dots, N$)

$$\sum_{r=1}^n c_r^1 x_{r(t)} + c_D^1 + \sum_{s=2}^N \alpha_s^1 y_{(t)}^s > \frac{G^1}{2} \quad (11)$$

($f(\mathbf{x}_{(t)}) = 1$ のとき)

$$\sum_{r=1}^n c_r^1 x_{r(t)} + c_D^1 + \sum_{s=2}^N \alpha_s^1 y_{(t)}^s < \frac{G^1}{2} \quad (12)$$

($f(\mathbf{x}_{(t)}) = 0$ のとき)

$$c_D^k < \frac{G^k}{2} \quad (13)$$

$$c_S^k < \frac{G^k}{2} \quad (14)$$

($k = 1, \dots, N$)

式 (10) は $\nu_2, \dots, \nu_N$ がしきい関数を実現していることを表している。式 (11), (12) は、入力 $\mathbf{x}_{(t)}$ に対する ν_1 の出力 $y_{(t)}^1$ が $f(\mathbf{x}_{(t)})$ となることを示す。式 (13), (14) は neuMOS インバータの出力が 1 または 0 に固定しないため必要である。以上の式を $\mathbf{x}_{(t)}$ がとりうる数だけ用意する。

この問題を整数計画問題に帰着するためには、式 (10) のしきい関数と式 (10), (11), (12) の変数の 2 次の項 $\alpha_s^j y_{(t)}^s$ を一次不等式で表現しなければならない。まずしきい関数

$$Y = \begin{cases} 1 & (X < 0) \\ 0 & (X > 0) \end{cases}$$

は $Y \in \{0, 1\}$ なので十分大きな定数 U を使って次のように表す。

$$\begin{aligned} X &> -UY \\ X &< U(1 - Y) \end{aligned} \quad (15)$$

次に 2 次の項 $\alpha_s^j y_{(t)}^s$ も $y_{(t)}^s \in \{0, 1\}$ なので $\beta_{s(t)}^j = \alpha_s^j y_{(t)}^s$ において、次のように表す。

$$\beta_{s(t)}^j \leq U y_{(t)}^s$$

$$\begin{aligned}
\beta_{s(t)}^j &\geq 0 \\
\beta_{s(t)}^j &\leq \alpha_s^j + U(1 - y_{(t)}^s) \\
\alpha_s^j &\leq \beta_{s(t)}^j + U(1 - y_{(t)}^s)
\end{aligned} \tag{16}$$

以上の操作により，式 (10)，(11)，(12) を一次式とできる．

5 設計結果

前章の手法を用いて，全 3 入力論理関数について $N = 2, 3$ の多段 neuMOS 回路の設計を行った ($N = 1$ は 2 段 neuMOS 回路と同じ回路構成となるので省略した)．今回は多段 neuMOS 回路の G の削減効果を調べるため， G_{lim} の制約は設けていない．結果を表 1, 2 に示す．表には，論理関数を 2 段 neuMOS 回路と多段 neuMOS 回路で実現した結果を記している．多段 neuMOS 回路に関しては $N = 2$ で実現可能で，かつ $N = 2$ の回路の G と比べて $N = 3$ の回路の G が小さくなった場合は，両方の値を記している．

表より，2 段 neuMOS 回路においても G が少ない回路は，多段 neuMOS 回路による実装でもほとんど削減効果されない．しかし 2 段 neuMOS 回路で実現すると G が 10 以上必要であった関数は，多段 neuMOS 回路の場合すべて G が 10 以下で実現されている．つまり 2 段 neuMOS 回路において G が大きな関数ほど，多段 neuMOS 回路による実装での G の削減効果が大きく現われる．表 2 中の論理関数 $x\bar{y} + \bar{x}z$ を実現する 2 段 neuMOS 回路，多段 neuMOS 回路の neuMOS 部分を実際にレイアウトした図を図 5 に示す．図 5 より G を削減することによる面積削減効果が現われている．

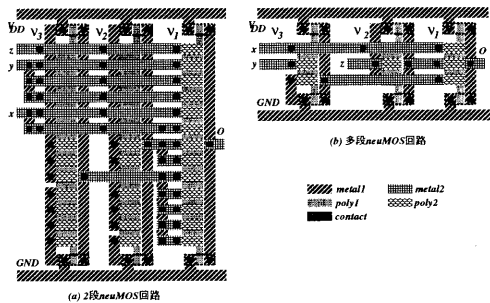


図 5: 両 neuMOS 回路のレイアウト

表 1, 2 の $N = 3$ の全回路の計算時間は，Sparc

Station 5 上で 2 段 neuMOS 回路では 11 分 25 秒，多段 neuMOS 回路では 54 分 26 秒であった．これは 2 段 neuMOS 回路では N にかかわらず整数計画問題を 1 回解けばよいの対して，多段 neuMOS 回路は N 回解かなければならないためである．

6 おわりに

本稿では，neuMOS の識別可能な多値レベル数が neuMOS 回路設計において主要な制約となることを述べ，多値レベル数による制約のため 2 段 neuMOS 回路では実現不可能な論理関数を neuMOS を用いて実現するために，多段 neuMOS 回路で実現する手法を提案した．その結果 2 段 neuMOS 回路で多値レベル数が大きな関数ほど，多段 neuMOS 回路で実現することによる多値レベル数の削減効果があることが分かった．しかし，多段 neuMOS 回路の設計は，回路中に含まれる neuMOS インバータの個数だけ整数計画問題を解かなければならないため，2 段 neuMOS 回路の設計と比較して計算時間が数倍かかる．この問題を解決するために，今後以下の 2 つの方法について研究を行う予定である．

1. 多段 neuMOS 回路に多値レベル数の削減効果を極力失わない制約を設けて，解くべき整数計画問題の回数，整数計画問題における変数，制約式を必要最小限に削減する．
2. 整数計画法以外の近似解法を検討する．

謝辞

neuMOS に関して多大な御助言，御協力を頂いた東北大学工学部の大見忠弘教授，柴田直助教授，小谷光司助手ならびに大見研究室の方々に深く感謝致します．筆者らの研究に有益な御教示を頂いた重点領域研究「極限集積化シリコン知能エレクトロニクス」第 1 班の先生方に深く感謝致します．日頃御討論頂く九州大学大学院システム情報科学研究科の安浦研究室の諸氏に感謝致します．本研究は文部省科学研究費補助金・重点領域研究「極限集積化シリコン知能エレクトロニクス」(研究代表者:大見忠弘，東北大学)の補助を得て行われたものである．

参考文献

- [1] T.Shibata and T.Ohmi. A Functional MOS Transistor Featuring Gate-Level Weighted-Sum

and Threshold Operations. *IEEE Trans. Electron Devices*, Vol. 39, No. 6, pp. 1444–1455, 1992.

- [2] K.Kotani T.Shibata and T.Ohmi. Neuron-MOS Binary-Logic Circuits Featuring Dramatic Reduction in Transistor Count and Interconnections. *IEDM Technical Digest*, pp. 431–434, December 1993.
- [3] 廣瀬啓, 安浦寛人. ニューロン MOS トランジスタを用いた並列乗算器の評価. 信学技報 VLD96-147,ICD96-247, 1996.
- [4] 小谷光司. 高機能・高速演算 MOSLSI の研究. PhD thesis, 東北大学大学院工学研究科, 1995.
- [5] T.Shibata and T.Ohmi. Neuron MOS Binary-Logic Integrated Circuits — Part II : Simplifying Techniques of Circuit Configuration and their Practical Applications. *IEEE Trans. Electron Devices*, Vol. 40, No. 5, pp. 974–979, 1993.
- [6] 室賀三郎, 茨木俊秀, 北橋忠宏. しきい論理. 産業図書, 1976.
- [7] 池兼次郎, 廣瀬啓, 安浦寛人. ニューロン MOS トランジスタを用いた基本論理素子の設計手法. 信学技報 VLD96-146,ICD96-246, 1996.

表 1: 3 変数関数の結果 (1)

関数			2 段 neuMOS 回路		多段 neuMOS 回路	
NPN 同値類	NP 同値類	P 同値類	G	N	G	N
$xy + xz + yz$	$xy + xz + yz$	$xy + xz + yz$	3	1	3	1
		$\bar{x}\bar{y} + \bar{x}\bar{z} + \bar{y}\bar{z}$	7	2	3	2
		$\bar{x}y + \bar{x}z + yz$	7	2	3	2
		$\bar{x}y + \bar{x}\bar{z} + yz$	11	3	3	3
		$x + y + z$	5	1	5	1
$x + y + z$	$x + y + z$	$x + y + z$	5	1	5	1
		$\bar{x} + \bar{y} + \bar{z}$	7	2	3	3
		$\bar{x} + \bar{y} + z$	11	2	3	2
		$\bar{x} + y + z$	11	2	5	2
		$x\bar{y}z$	5	1	3	3
	xyz	xyz	5	1	5	1
		$\bar{x}\bar{y}\bar{z}$	7	2	3	3
		$\bar{x}\bar{y}z$	11	2	3	2
		$\bar{x}y\bar{z}$	11	2	5	2
		$x\bar{y}\bar{z}$	11	2	3	3
		$x\bar{y}z$	11	2	5	2
		$x\bar{y}\bar{z}$	11	2	3	3

表 2: 3 変数関数の結果 (2)

関数			2 段 neuMOS 回路		多段 neuMOS 回路	
NPN 同値類	NP 同値類	P 同値類	G	N	G	N
$xy + xz$	$xy + xz$	$xy + xz$	5	1	5	1
		$\bar{x}\bar{y} + \bar{x}\bar{z}$	9	2	3	3
		$xz + \bar{y}z$	9	2	3	2
		$\bar{x}y + \bar{x}z$	11	2	3	2
		$\bar{x}\bar{y} + \bar{x}z$	11	2	5	2
		$\bar{x}\bar{y} + \bar{x}z$	13	3	3	3
		$x + yz$	5	1	5	1
		$\bar{x} + \bar{y}z$	9	2	3	3
	$x + yz$	$\bar{x} + \bar{y}z$	9	2	3	2
		$x + y\bar{z}$	9	2	3	2
		$\bar{x}z + y$	11	2	3	2
		$\bar{x} + yz$	11	2	5	2
		$\bar{x}z + \bar{y}$	13	3	3	3
		$x \oplus y \oplus z$	5	2	5	2
		$\bar{x} \oplus \bar{y} \oplus \bar{z}$	7	3	5	3
		$xyz + \bar{x}\bar{y}\bar{z}$	7	2	7	2
$x \oplus y \oplus z$	$xyz + \bar{x}\bar{y}\bar{z}$	$xyz + \bar{x}\bar{y}\bar{z}$	9	2	9	2
		$\bar{x}z + \bar{x}z + yz + \bar{y}z$	7	2	5	3
		$xz + \bar{x}z + yz + \bar{y}z$	7	2	7	2
		$xz + \bar{x}z + yz + \bar{y}z$	9	2	9	2
		$x\bar{y}\bar{z} + \bar{x}y\bar{z} + \bar{x}\bar{y}z$	7	2	7	2
		$xyz + \bar{x}\bar{y}z + \bar{x}y\bar{z}$	7	2	5	3
		$xyz + \bar{x}\bar{y}z + \bar{x}y\bar{z}$	7	2	5	2
		$xyz + \bar{x}\bar{y}z + \bar{x}y\bar{z}$	9	3	5	3
	$xyz + \bar{x}\bar{y} + \bar{x}z + \bar{y}z$	$xyz + \bar{x}\bar{y} + \bar{x}z + \bar{y}z$	7	2	7	2
		$xy + xz + \bar{x}\bar{y}z + yz$	7	2	7	2
		$x\bar{y} + xz + \bar{x}\bar{y}z + \bar{y}z$	7	2	5	3
		$x\bar{y}z + \bar{x}\bar{y} + \bar{x}z + yz$	9	3	5	3
		$xz + \bar{x}\bar{y}z$	7	2	7	2
		$xyz + \bar{y}z$	11	2	5	3
		$\bar{x}\bar{y}z + yz$	11	2	5	2
		$\bar{x}\bar{y}z + yz$	13	2	5	2
$xz + \bar{x}\bar{y}z$	$xz + \bar{x}\bar{y}z$	$xz + \bar{x}\bar{y}z$	13	2	9	2
		$\bar{x}yz + \bar{y}z$	9	3	5	3
		$xz + \bar{x}z + yz$	7	2	7	2
		$xz + yz + \bar{y}z$	11	2	5	3
		$xz + yz + \bar{y}z$	11	2	5	2
		$\bar{x}z + yz + \bar{y}z$	13	2	5	2
		$xy + \bar{x}\bar{y} + yz$	13	2	9	2
		$xz + \bar{x}z + \bar{y}z$	9	3	5	3
	$xz + \bar{x}z + yz$	$xyz + \bar{x}\bar{y} + \bar{x}z$	9	2	7	2
		$xy + xz + \bar{x}\bar{y}z$	9	2	5	3
		$\bar{x}\bar{y} + \bar{x}yz + \bar{y}z$	9	2	7	2
		$\bar{x}\bar{y} + xz + \bar{x}yz$	9	2	5	3
		$xz + \bar{x}\bar{y}z + \bar{y}z$	11	2	9	2
		$xz + \bar{x}yz + \bar{y}z$	13	3	5	3
		$xyz + x\bar{y}\bar{z}$	9	2	5	2
		$xyz + x\bar{y}z$	9	2	7	2
$xyz + \bar{x}\bar{y}\bar{z}$	$xyz + \bar{x}\bar{y}\bar{z}$	$\bar{x}\bar{y}z + \bar{x}\bar{y}z$	9	2	5	3
		$\bar{x}\bar{y}z + \bar{x}\bar{y}z$	9	2	5	2
		$\bar{x}\bar{y}z + \bar{x}\bar{y}z$	11	3	5	3
		$x + yz + \bar{y}z$	9	2	5	2
		$\bar{x} + yz + \bar{y}z$	9	2	7	2
		$x + yz + \bar{y}z$	9	2	5	3
		$\bar{x} + yz + \bar{y}z$	11	3	5	3
		$x\bar{y} + yz$	9	2	7	2
	$x\bar{y} + yz$	$\bar{x}\bar{z} + yz$	13	3	5	2
		$\bar{x}\bar{y} + \bar{y}z$	13	3	5	2
		$\bar{x}\bar{y} + xz$	13	3	5	3