

MPEG2 対応動き検出 / 補償 LSI のアーキテクチャ設計

村主 一仁, 近藤 利夫, 南 俊宏, 笠井 良太

NTT システムエレクトロニクス研究所
〒 243-01 神奈川県厚木市森の里若宮 3-1
e-mail: {suguri, kond, nami, kasai}@aecl.ntt.jp

あらまし

MPEG2 対応符号化システムの小型化の可否は, 動き検出 / 補償 (ME/MC) 処理部の実装方法が鍵を握っており, その中でも, フレームメモリと ME/MC 処理 LSI との間の効率的なデータ転送をいかに実現するが, 最重要課題である.

本稿では, フレームメモリとのデータ転送量低減に重点をおいた ME/MC 処理 LSI のアーキテクチャの検討について報告する. データ転送量を低減するために, 内部メモリによるデータのバッファリング方法, フレームメモリへのデータマッピング方法について検討した. また, これらの検討結果とハードウェアの機能設計データを基に, 内部メモリの I/O スケジューリングを行ない, 内部メモリの共有化を図った. その結果, ME/MC 処理を, 本検討に基づく専用 LSI 1 個と, データ幅 16 bit の SDRAM 1 個のフレームメモリだけで構成できた. これにより, PC ボードにも搭載可能な MPEG2 符号化システムの実現が可能になる.

キーワード MPEG2, 動き検出, 動き補償, フレームメモリ

Architectural Design of Motion Estimation and Compensation LSI for MPEG2 Video Encoding

Kazuhito SUGURI, Toshio KONDO, Toshihiro MINAMI, Ryota KASAI

NTT System Electronics Laboratories
3-1 Morinosato Wakamiya, Atsugi City, Kanagawa Pref., 243-01 JAPAN
e-mail: {suguri, kond, nami, kasai}@aecl.ntt.jp

Abstract

The implementation of the motion estimation and compensation (ME/MC) procedures is the most important factor for a compact MPEG2 encoding system. Especially, efficient data transfer between the ME/MC LSI and the frame memory must be achieved. This paper describes the architectural design of the ME/MC LSI from stand point of I/O reduction. Main topics of discussions are data buffering by using on-chip memories, data mapping on the frame memory and I/O scheduling of on-chip memories. Proposed architecture has offered ME/MC LSI that requires only one SDRAM of 16 bit data width for the frame memory. By using this LSI, compact MPEG2 encoding system can be constructed on a PC board.

key words MPEG2, Motion Estimation, Motion Compensation, Frame Memory

1 はじめに

マルチメディア通信サービス実現の鍵となる動画画像圧縮方式の国際標準である MPEG2 [1] では、動き検出 (ME)/ 動き補償 (MC) 処理、離散コサイン変換 (DCT)、可変長符号化 (VLC) などを組み合わせたハイブリッド符号化により、データ圧縮効率の向上が図られている。なかでも、膨大な処理量が要求される ME/MC 処理は、その性能が符号化効率に大きく影響することから、符号化処理の要となっている。この ME/MC 処理は動画画像に含まれる時間冗長性を利用した動画画像データ圧縮技術であり、フレームメモリ中に格納した画像シーケンス中の複数の画像データを利用した処理を必要とする。このため、ME/MC 処理の実装には、処理に要する膨大なデータをフレームメモリから供給する構成が必須となる。ME/MC 処理部は、データ転送や処理量に対する性能要求を満足するため、符号化システムの構成要素の中で最も大規模なハードウェアとなっている。従って、符号化システムの小型化には、ME/MC 処理ハードウェア自体の小型化と、フレームメモリとのデータ転送の効率化によるフレームメモリの小型化が必須である。

近年、MPEG2 対応の ME LSI や符号化システムの発表が活発に行なわれているが [6] - [9]、これらのシステムでは、広い探索範囲での動き検出を行なう符号化効率を上げるためには、複数の ME LSI をシステム上に実装する必要がある。また、フレームメモリとしてシンクロナス DRAM (SDRAM) を使用する場合でも、ME LSI との間では 32 bit のデータ幅でのアクセスを必要としている。さらに、これらの ME LSI の多くは、ME 処理と MC 処理とを別の LSI で行なうことが前提となっており、複数の LSI からのアクセスを制御する機構を必要とする。これらの要因により、ME/MC 処理に必要なハードウェアが増加し、MPEG2 対応符号化システムの小型化が十分には行なえていなかった。

本稿では、我々が開発したリアルタイム MPEG2 ビデオエンコーダ用 ME/MC 処理 LSI [2]、[3] のアーキテクチャ設計について、フレームメモリとの I/O 低減の観点から報告する。ME LSI の小型化の観点からの報告については、文献 [3] を参照して頂きたい。本稿で報告するアーキテクチャ設計では、まず、(1) 内部メモリでのデータバッファリング、(2) フレームメモリへのデータマッピングの検討によって LSI 外部とのデータ転送量の低減を図り、次に、(3) ハードウェアの機能設計データを基にした I/O スケジュールの検討によって、具体的な内部メモリ構成を決定した。以下、LSI に実装したアルゴリズムについて 2 章で述べた後、3 章でアーキテクチャ設計について述べ、4 章で設計結果について報告する。

2 アルゴリズム

図 1 に、MPEG2 の画像符号化アルゴリズムを示す。図中の箱で示される各処理は、符号化対象の画像を細分した 16×16 画素 (輝度信号) からなる MB (Macroblock) に対して実行される。

ME は、動画画像の持つ時間冗長性を利用して情報量

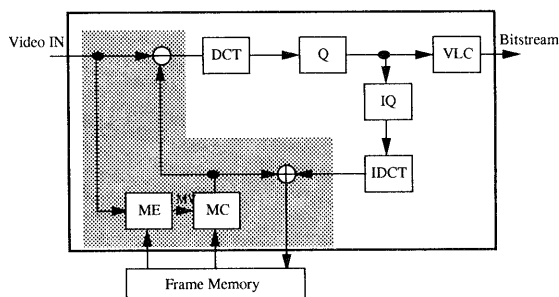


図 1: MPEG2 video encoding

を削減するため、現画像中の MB が以前に符号化された参照画像のどの部分から移動してきたと見做せるかを示す、動きベクトル (MV) を検出する処理である。MC は、ME によって得られた MV が示す参照画像中の参照 MB と現画像 MB との間で対応する各画素値の差分を得る処理で、この差分情報と MV とが符号化される。

ME に必要な処理は、現画像 MB と参照画像間のブロックマッチング処理である。符号化効率を高めるために、より広い参照画像から正確な MV を検出する事が要求されるため、ME には膨大な演算量が必要となる。例えば、NTSC 画像に対して全探索法を用いて $\pm 32 \times \pm 32$ 画素の範囲で MV を検出する場合、100 GOPS 以上の演算が必要となる。このため、ME の演算量を低減する様々なアルゴリズムが提案されている。

図 2 に、我々が採用した ME のアルゴリズムである階層 telescopic 探索法概念図を示す。このアルゴリズムは、

- 4-1 sub-sampling した縮小画像レベルで広い参照範囲の粗い精度の MV を検出した後、狭い参照範囲でより高い精度の MV 検出を行なう階層探索法
- 画像の時間軸上で現画像と参照画像との間にある画像を中間参照画像とし、時間軸を逆に辿るように近接画像間の MV 検出を行なう telescopic 探索法 [4]

を組み合わせたものである。このアルゴリズムによって、ME に必要な演算量は、全探索法の場合に比べて約 $1/(16 \times D)$ になる。ここで、 D は現画像と参照画像との間の距離 [画像数] である。表 1 は、階層 telescopic 探索を用いて ME / MC を実現する場合に必要なデータ量をまとめたものである。MV の探索範囲などの条件については、同表の脚注に記した。

Telescopic 探索法をハードウェアに実装する場合、ME に必要な演算量を $1/D$ に低減できる一方で、実時間処理を行なうために、内部メモリとフレームメモリとの間のデータ転送に負担をかける傾向にある。これは、階層 telescopic 探索の各段階で必要となる参照画像が直前の MV 探索結果を元に決定されるとい

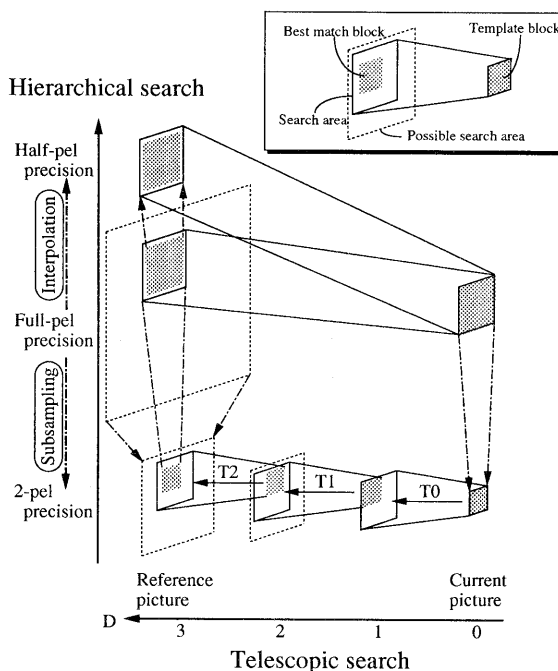


図 2: 動き検出アルゴリズム

うアルゴリズムの性格上、MV 探索と参照データ入力とをシーケンシャルに実行せざるを得ない事に起因する。例えば、表 1 中で telescopic 探索に必要な参照画像の入力は、縮小画像入力の約 58 M Byte/sec である。この値は 5 段 / MB の telescopic 探索に必要なデータ量であるが、このうち 3 段分の探索に必要なデータは、同じ MB に対して行なわれる直前の探索結果を待たなければ特定できない。このため、ME/MC 処理ハードとフレームメモリとの間のデータ転送を内部処理に必要なタイミングに間に合うように実行させる事が、処理の制御上、最もクリティカルになる。

3 アーキテクチャ設計

2 章で述べた、アルゴリズムに起因するフレームメモリとの I/O 負荷を低減するために、MB 処理の連続性、field と frame に対する処理の関係に注目し、

1. データ転送量を低減するためのデータバッファリング
2. 無駄なデータ転送を抑制するデータマッピング

を検討し、フレームメモリとの間の転送データ量を低減した。また、LSI 内部モジュールの機能設計データを基に I/O スケジュールリングを検討し、これらの結果に基づいて、内部メモリ構成を決定した。

3.1 データバッファリング

フレームメモリとの間の I/O データ量の低減に有効な内部メモリへのバッファリング方法を、内部メモリ容量と、フレームデータ I/O 低減の効果から検討した。表 1 に挙げたデータのうち、内部メモリの構成によって I/O データ量を削減し得るものは、縮小画像参照データの入出力と、原画像参照データ (輝度信号) の入力である。これらは、図 3 に示す field を参照画像として用いる場合の、階層 telescopic 探索用参照領域の入出力である。

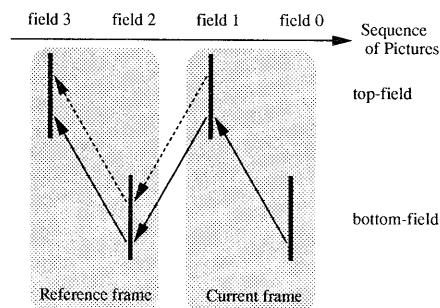


図 3: 参照画像として用いる field

内部メモリへのデータバッファリングによって I/O データ量を低減するための基本的な考え方を、図 4 に示す。これは、telescopic 探索の参照画像入力を低減する方法である。ME/MC 処理自体のハードウェア量を抑えるには、図 4 (a) に示すように、内部メモリに必要最低限の参照画像のみを持つ構成が望ましい。この構成では、隣接する次の MB の処理を行なう際に、先の MB での参照画像データがほとんど使用できない場合がある。このため、たとえ共通する参照領域があっても、最悪の場合を想定して、全参照データの再入力に備えることが必要になる。ところが、図 4 (b) に示すように、参照画像となる各 field 中の参照領域となり得る領域を全て内部メモリに格納する構成を考えれば、次の MB の処理時には、1 MB 幅のストライプ状の領域のみを入力すれば良く、このデータ転送量は (a) の場合より少ない。

階層探索法の場合、縮小画像の参照領域をフレームメモリから直接入力する構成と、内部メモリに読み込んだ原画像の参照領域から内部で生成する構成とが考えられる。縮小画像を内部で生成する場合は、縮小画像の入出力が不要になるため、フレームメモリとの I/O データ量を低減できる可能性がある。この考え方は、図 4 (b) のバッファリングとの併用が可能である。

表 2 に、これらのバッファリングの組み合わせ例とその効果を挙げる。表より、フレームメモリとの I/O データ量の観点からは D 案のバッファリングが望ましいが、この構成では最低限必要な内部メモリ容量が大きくなる。このため、我々は、フレーム I/O データ量が若干最適値 (D 案) より増加するが、内部メモリ量との関係で現実的と思われる B 案のバッファリングを採用した。

表 1: ME/MC 処理に必要なデータ量

	入力			出力			計
	縮小画像	輝度信号	色信号	縮小画像	輝度信号	色信号	
[Byte/MB]	1440	1360	180	64	256	128	3428
[M Byte/sec]	58.3	55.1	7.3	2.6	10.4	5.2	138.9

MPEG2 規格:

画像サイズ:

MV 検出範囲:

telescopic 探索回数:

SP@ML, frame 構造

720 × 480 [画素 /frame] times 30 [frame/sec]

± 16.5 / ± 8.5 画素 /field

5 回 /MB

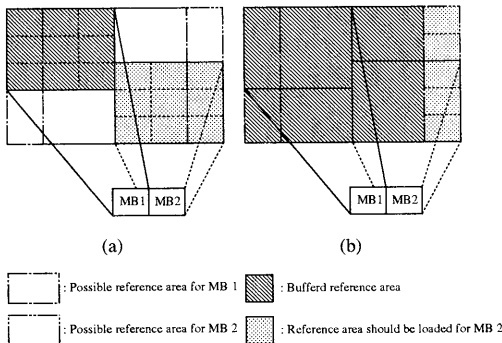


図 4: 内部メモリへのバッファリング

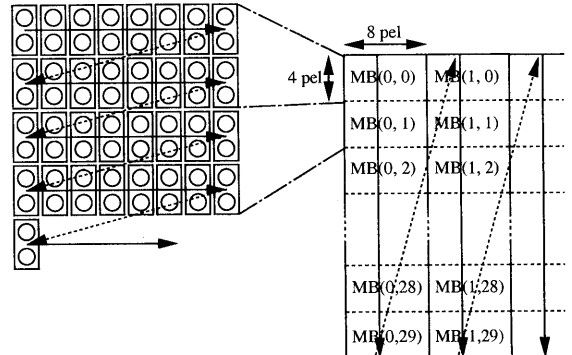


図 5: 縮小画像のマッピング

以上の検討により、処理に必要な転送データ量を約 30 % 低減し、フレームメモリと間の実効データ転送量を、100 M Byte/sec にまで抑えることができた。

3.2 データマッピング

参照画像データのフレームメモリへのデータマッピングの検討は、以下の 2 点の実現が目的である。

1. データの I/O 時に、処理に使用されない無効データの転送を抑える
2. SDRAM のバンク切替えによる無効サイクルを低減する

マッピングの単位は、2 Byte/address とした。これは、16 bit 幅の Synchronous DRAM をフレームメモリとして使用する事を前提としており、A 案のバッファリングで必要な約 100 MBbyte/sec の実効 I/O を 81 MHz の動作周波数で満たすものである。これは同時に、モジュール構成検討 [3] に基づく LSI の動作速度要求および、LSI に対する外部端子数の制約なども満足する。実効 I/O の制約条件を満たすには、DRAM で構成した 64 bit 幅のフレームメモリ構成も考えられるが、アクセス幅が広い分、処理に不要なデータの I/O が発生し易くなるため、3.3 節で述べるスケジューリングに問題が生じる。

縮小画像のデータマッピングは、図 5 に示すように、sub-sampling された画像の縦方向に連続する 2 画素

を同一アドレスに格納し、同一 MB 内のデータを連続するアドレスにマッピングする。また、画像中で縦方向に並ぶ MB を連続アドレスでアクセスできるようにする。このマッピングは、

- 縮小画像データの入出力が、3.1 節で述べた内部メモリでのバッファリングによって、常に、縮小 MB を単位とすることが保証されている事
- 参照画像として入力されるデータが画像上で縦方向に並ぶ連続する MB である事

に基づいている。このマッピングによって、無効データの転送を無くす事ができる。また、NTSC 画像の場合、縦方向に連続する縮小 MB に必要なアドレス空間がほぼ同一バンク内の 1 ロウ分のアドレス空間に相当するため、SDRAM アクセス時のバンク切替えによるオーバーヘッドも無くす事ができる。

輝度信号データは、図 6 に示すように、ライン方向に連続する 2 画素分の輝度信号を同一アドレスに格納し、field 中で縦方向に連続する画素が連続するアドレスに配置されるようにマッピングする。このマッピングは、

- 縮小画像での MV 探索によって、単画素精度での field MV 探索原点は、縦横とも 2 画素単位で決定されることが保証されている事

表 2: バッファリングの組み合わせと効果

	縮小画像			原画像			I/O データ	内部メモリ (min)
	field1	field2	field3	field1	field2	field3	[Byte/MB]	[Byte]
A 案	△	△	△		△	△	3,428	1,828
B 案	○	○	○		△	△	2,468	4,196
C 案	-	-	-	○	○	○	2,484	11,092
D 案	○	-	-		○	○	2,228	10,228

△: 図 4(a) のバッファリング

○: 図 4(b) のバッファリング

-: LSI 内部で生成されるデータを格納

': 内部メモリ無

- 半画素精度の MV 探索用に隣接画素値の平均値を作成する際、縦方向の 2 画素を対にすると、frame 画像を扱う場合に、対になっている値を分離するなどの、field 画像の場合と異なる処理が必要となるが、ライン方向の 2 画素を対にすれば、field と frame の間に処理の違いがない事
- Frame MV 探索のための参照画像入力に 2 回の field 単位の参照画像入力を実現可能である事

に基づいている。このマッピングによれば、無効データの転送は最悪の場合でも 24 byte/MB で、全データ転送の 1 % 程度に抑えられる。これは、frame MV の探索原点がライン方向に 1 画素単位で変わり得る事による。また、同一バンクの 1 ロウアドレスには field 縦方向の画素列が 4 列強格納されるが、SDRAM のバンクを図 6 に示すように使用すれば、同一画素列上のデータが異なるバンクに格納されているために発生するバンク切替は、ある参照領域 (20 × 12 画素) の入力当たり、最悪 1 回に抑える事ができる。

3.3 内部メモリ構成とスケジューリング

内部メモリをダブルバッファ構成とする事でフレームメモリとの間のデータ転送を円滑に行う事ができるが、メモリの分割による面積オーバーヘッドは極力抑える必要がある。このため、内部メモリ構成の検討は、内部メモリの集約を主な目的として行なった。メモリの集約は、以下の指針に従って行なった。

指針 1 : 内部メモリの動作周波数 (81 MHz) に対して、各モジュールからのアクセスを 40.5 MHz で行なう。これによって、1 つのメモリに対して 2 つのモジュールから同時にアクセスが可能になる。

指針 2 : LSI 内の各モジュールの処理スケジュールを調整し、アクセス要求の重複を抑える。これによって、アクセスの重複しない複数のデータを 1 つのメモリに格納することができる。

図 7 (a) は、LSI の動作スケジュール例を各モジュールがアクセスするデータを中心にまとめたものであ

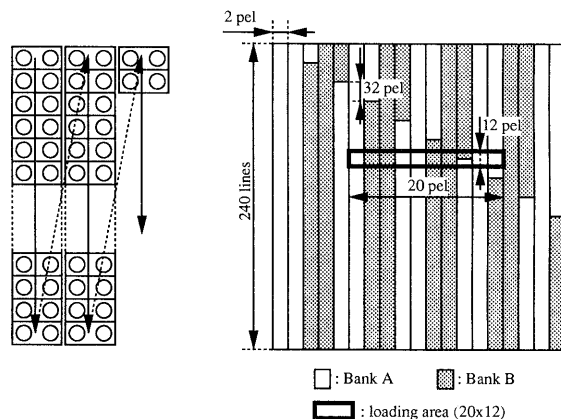


図 6: 原画像輝度信号のマッピング

る。ただし、フレームメモリとの I/O については省略している。内部処理は、telescopic 探索、単画素 / 半画素探索、予測誤差画像生成の 3 つに分ける事ができる。このうち単画素 / 半画素探索と予測誤差画像生成は、同じデータを参照する処理が 2 MB サイクルに渡って存在する事と、扱う参照画像の数が内部処理中で最も多いことから、メモリ構成の検討上、最も重要な部分である。以下では、単画素 / 半画素精度 field MV 探索から予測誤差画像生成に使用する内部メモリ構成について説明する。

内部メモリへのデータ格納方法として、以下の 2 つの選択枝がある。

1 MB 分の field MV 探索用参照画像を、同一メモリに格納

単画素 / 半画素探索に要するデータについて見ると、例えば図中の field 2(top) と field 2(btm) のような、同一 field にある参照画像へのアクセスは常に交互に行なわれることから、これら

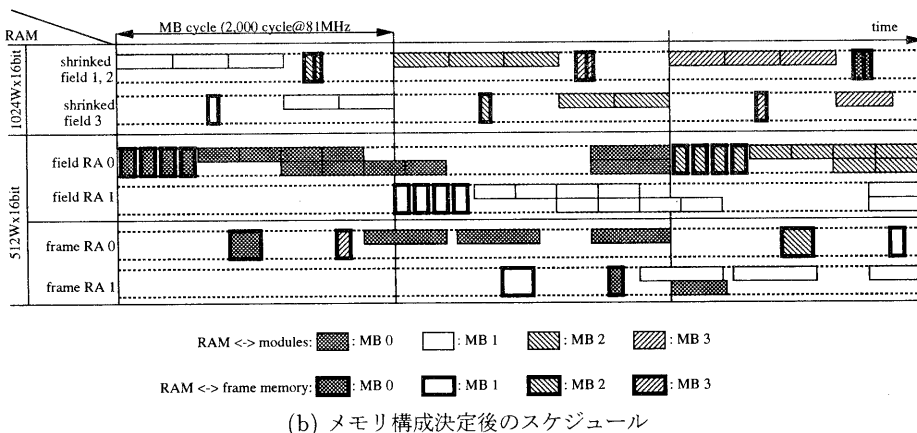
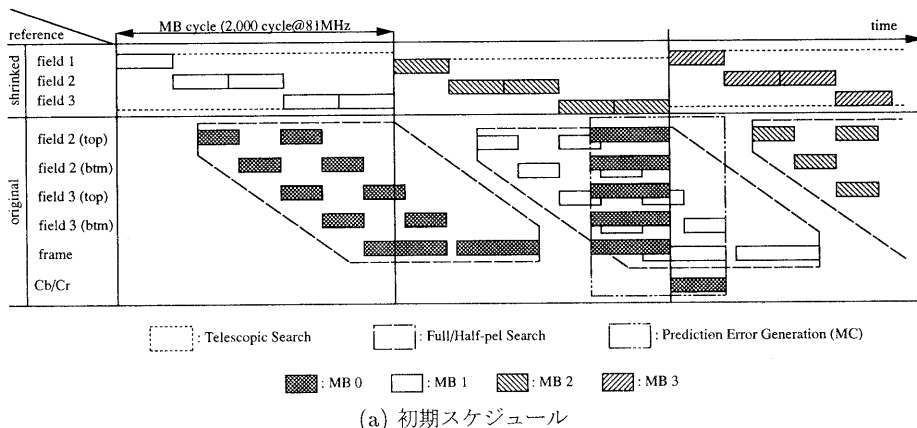


図 7: I/O スケジュールリング

のデータは同じメモリ内に格納可能である事が判る。さらに、同時にアクセスされる field の参照画像数は 2 以下であるから、指針 1 に従えば、1 MB 分の field MV 探索用の参照画像データは全て同一メモリ内に格納できる事が判る。

同一 field にある 2 MB 分の field MV 探索用参照画像を、同一メモリ内に格納

上記の方法と、指針 1 の適用場所を変えたものである。すなわち、予測誤差画像生成処理まで含めて考えると、同一 field にある探索用参照画像データにアクセスする処理数が 2 以下であることに注目すれば、同一 field にある 2 MB 分の field MV 探索用参照画像を同一メモリ内に格納できる事が判る。

このデータ格納方法の選択枝のうち前者を採用し、512 W × 16 bit RAM を 2 個使用して field 参照画像用内部メモリを構成した。この選択理由は、前者の場合、同時にアクセス要求を行なうモジュールが 1 つになることで LSI 全体制御部分 (software) の作成が簡単になる事にある。

以上のような検討を図 7 (a) 中の各データに対して行ない、表 3 に挙げる RAM によって内部メモリを構成する事とした。決定されたメモリ構成による I/O スケジュールを図 7 (b) に示す。図中には、LSI 内部モジュールから内部メモリへのアクセスと、フレームメモリとのデータ転送とが併記されている。フレームメモリとのデータ転送に要するサイクルは、SDRAM とのデータ転送量とバンク切替の頻度から決定した最長サイクルに相当する。

表 4: ME/MC LSI 諸元

Technology	0.5- μ m 3-level metal CMOS
Die size	16.5 $\times$ 16.5 mm ²
Number of transistors	2.0 M
Supply voltage	3.3 V
Clock rate	81 MHz (worst case)
Power dissipation	3.5 W @ 81 MHz
Coding standards	MPEG2 Simple Profile @ Main Level
Frame size $\times$ rate (max.)	720 $\times$ 480pels $\times$ 30fps
Max. MV search range	± 48.5 (hor.), ± 24.5 (vert.) for field prediction
example:	± 32.5 (hor.), ± 32.5 (vert.) for frame prediction

6 謝辞

本 LSI のアーキテクチャ検討および設計にあたって御協力を頂いた、石谷氏、大津氏、佐藤氏をはじめとする NTT エレクトロニクステクノロジー (株) の皆様に感謝の意を表します。

参考文献

- [1] ISO/IEC 13818-2, "Information Technology - Generic Coding of Moving Pictures and Associated Audio ISO/IEC 13818-2 International Standard (Video)," Nov. 1994.
- [2] T. Kondo et al., "Tow-Chip MPEG2 Video Encoder," IEEE Micro, pp. 51 - 58, April 1996.
- [3] K. Suguri et al., "A Real-time Motion Estimation and Compensation LSI with Wide-Search Range for MPEG2 Video Encoding," Digest of Technical Papers of ISSCC, pp. 242 - 243, 1996.
- [4] K. Matsuda et al., "A New Motion Compensation Coding Scheme for Video Conferences," IEEE International Communications Conference, pp. 234 - 237, 1984.
- [5] T. Matsumura et al., "A Chip Set Architecture for Programmable Real-Time MPEG2 Video Encoder," Proceedings of CICC, pp. 393 - 396, 1995.
- [6] K. Ishihara et al., "A Half-pel Precision MPEG2 Motion-Estimation Processor with Concurrent Three-Vector Search," IEEE J. Solid-State Circuits, Vol. 30, pp. 1502 - 1509, Dec. 1995.
- [7] A. Ohtani et al., "A Motion Estimation Processor for MPEG2 Video Real Time Encoding at Wide Search Range," Proceedings of CICC, pp. 405 - 408, 1995.
- [8] N. Hayashi et al., "A Compact Motion Estimator with a Simplified Vector Search Strategy Maintaining Encoded Picture Quality," Proceedings of CICC, pp. 409 - 412, 1995.
- [9] T. Yoshino et al., "A 54MHz motion estimation engine for real-time MPEG video encoding," IEEE Proceedings of Consumer Electronics, pp. 76 - 77, 1994.
- [10] Y. Tashiro et al., "MPEG2 Video and Audio CODEC Board Set for a Personal Computer," IEEE GLOBECOM '95 Conference record, vol. 1, pp. 483-487, 1995.