

非交差道を用いたプリント基板配線領域の見積り手法

阿部健志† 渡邊敏正††

† 広島大学大学院工学研究科 情報工学専攻

†† 広島大学工学部 第二類 回路システム工学講座

〒739 東広島市鏡山一丁目4-1

(電話) 0824-24-7662 (渡邊), -7661 (阿部)

(ファクシミリ) 0824-22-7195

(電子メール) {abe,watanabe}@infonets.hiroshima-u.ac.jp

概要: 矩形双対グラフを用いたプリント基板レイアウト設計では、各部品矩形内に部品を配置し、部品端子間の配線として、まず、対応する端子矩形間を配線矩形を通るパスで結ぶことを行う。配線を完了するためには、端子矩形まで到達している配線を更に部品矩形内部におかれている部品の実端子まで延長しなければならない。各部品矩形は対応する部品がその内部に配置可能となるような大きさ以上であることは必要である。しかし、前述の配線延長がその内部で可能である形状まで部品矩形の拡大が生じるかもしれない。その際には最小の拡大に抑えることが望まれる。本研究では、いま述べた意味での部品矩形サイズの下界値を求めるために、非交差道を用いた配線領域の見積り手法を提案し、その有効性を実験により評価する。

キーワード: プリント基板, レイアウト設計, 矩形双対グラフ, 非交差道, 配線領域

Estimating Wiring Area of Printed Wiring Boards by means of Noncrossing Paths

Kenji Abe† and Toshimasa Watanabe††

† Graduate School of Information Engineering, Hiroshima University

†† Department of Circuits and Systems, Faculty of Engineering, Hiroshima University

4-1, Kagamiyama 1-chome, Higashi-Hiroshima, 739 Japan

Phone : +81-824-24-7662 (Watanabe), -7661 (Abe)

Facsimile : +81-824-22-7195

E-mail : {abe,watanabe}@infonets.hiroshima-u.ac.jp

Abstract : In designing layouts of printed wiring boards with rectangular dualization, layouts are produced by placing elements within corresponding element-rectangles and by routing among terminals. Routing is separated into two stages. The first stage is to obtain wiring among terminal-rectangles. The second stage is done within each element-rectangle and is to find paths, each connecting an actual pin of the element in this rectangle and the corresponding auxiliary terminal in each terminal-rectangle. The size of each element-rectangle has to be large enough to make the second stage routing possible, while this size should be kept as small as possible so that the total size of the board may be minimized.

The subject of the paper is to propose a method of estimating the smallest possible size of a given element-rectangle in which the second stage routing can be completed. Experimental results are provided to show capability of the proposed method.

Key words: printed wiring boards, layout design, rectangular duals, noncrossing paths, wiring areas

1 まえがき

プリント基板やVLSIのレイアウト設計の最終段階では、矩形領域内に配置された部品またはモジュールの実端子から矩形領域の外周上にある仮端子までを接続することが要求される場合がある。ここで必要なのは、全体の基板サイズ最小化のため、なるべく小さな矩形(領域)内において全ての接続要求を満たすことである。

関連する結果として、参考文献[9]では、十分な配線領域がある場合には、部品(モジュール)の配置位置を求め、その配置に関して最適(配線長の総和が最小)な配線を $O(n^2)$ で求めるアルゴリズムが提案されている。しかし、配線可能である最小な領域を求めることはできない。

本研究の背景には、当研究室で開発している多層プリント基板設計支援システム MULTI-PRIDE [2, 3] の基礎となっている、矩形双対グラフ [5] を利用した配置・配線問題がある。

矩形双対グラフは一つの矩形(全体矩形)をいくつかの部分矩形に分割したものである。各部分矩形は、部品をその内部に配置するための部品矩形、端子を表す端子矩形、配線用の領域を表す配線矩形のいずれかである。回路での接続要求等が矩形の隣接性(辺の共有)として表されている。各矩形に適当な下界値を割り当て、線形計画法(LP)または2次計画法等を用いて最適な基板形状と各部分矩形サイズを求める。このようにして得られた矩形双対グラフ上では、接続要求のある矩形間は必ず隣接するので端子矩形間の配線可能性が保証される。但し、端子矩形まで到達している配線を矩形内部に置かれた部品の実端子まで延長する操作が残されている。

この段階での部品矩形の例を図1に示す。部品矩形内部に部品を配置し、その実端子と外周に隣接する端子矩形との(1と1', 2と2', ..., nとn'を結ぶという)接続を求めることが要求される。部品の実端子、外周上の仮端子とも時計回りに昇順に並んでいるものとしている。配線領域が充分にある場合は配線可能性は保証されている。しかし、通常は、必ずしも部品矩形内において配線可能となる保証はない。部品は、矩形内のどの位置に配置してもよく、また、外周上の仮端子は、部品矩形と端子矩形が共有する辺上であればどこに配置されてもかまわない。以上の条件の下で、配線可能な部品配置位置、外周上の端子位置、配線経路を求めることが要求されている。

この問題を総当たりに解くことは可能であるが、極めて長い計算時間がかかり、実端子数の増加やこのような部品矩形数の増加に伴って現実的には解けなくなる。また、総当たりに解いても配線可能となる保証がなく、配線不可能であった場合には、その部分矩形の下界値を適当に拡大し、再び配線を求める操作を繰り返すことになる。

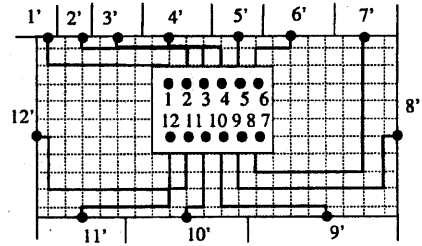


図 1: 非交差道の例

このことから、配線可能性が保証された配線領域を持つ部品矩形の大きさ(縦横の長さ)を高速に、高精度で求めることは、矩形双対を用いた配置配線問題の解法に極めて有用なことがわかる。

本研究では、配線可能性の保証されたできるだけ小さい矩形サイズを求めるために、非交差道 [11] を用いた手法を提案して、その有効性を実験的に評価する。

2 準備

2.1 制約条件

本研究におけるレイアウト設計は、以下の条件の下で行うものとする。

1. 配線は互いに交差しない。
2. 部品は基板の表面に配置する。
3. 各部品の下を通過する配線は許さない。

更に、配線経路についての条件も述べておく。xy 平面上の整数値座標のみを考え、x 軸あるいは y 軸に平行な直線でこれらの座標を通過するものをグリッドと呼び、xy 平面とすべてのグリッドを合わせてこれをグリッド平面と呼ぶ。これらのグリッドの交点を格子点と呼ぶ。グリッド上の隣り合う格子点を結ぶ線分を格子枝と呼ぶ。部品は整数値の縦横長を持ち、常にその4隅を格子点に且つその周囲はグリッドに合わせて置くものとする。また、外周上の端子および部品の実端子もやはり格子点に置くものである。配線は格子枝を連結して得られるパスのことである。含まれる格子枝の数をその配線(あるいはパス)の長さという。

2.2 矩形双対グラフによる配置・配線の概要

ネットリストとして入力された回路をグラフモデル化する。入力回路の一部を図2に示す。接地面指定部品(図2の部品A, B)は、部品の所属端子(実端子)からなる時計回りの有向サイクルで表現する(図3の2つの太い実線の有向サイクル)。有向サイクルを時計回りに保ち平面グラフ抽出を行うことで部品の接地面を指定することができる。また、接

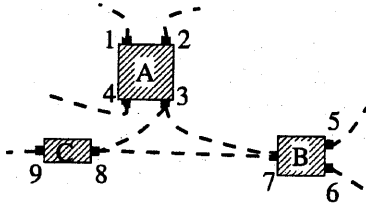


図 2: 入力回路 (一部分)

地面が指定されていない自由部品は実端子を頂点とする車輪グラフで表される。全ての端子が一直線上に並び、その直線に関して、左右対称な形状を持つ線状部品 (図 2 の部品 C) は実端子を含む一本のパスで表現される。2 端子接続要求であれば対応する 2 頂点間に辺を付加し、3 端子間以上の接続要求の場合は、新たに頂点を付加し、その頂点と各端子を表す頂点を辺で結ぶ (図 3 では点 3, 7, 8 が 3 端子接続要求であり、点 k が新しく追加された点である)。

モデル化したグラフに対し、平面グラフ抽出を行う。抽出されたグラフについて PTP グラフ [6, 7] への変形操作 (頂点, 辺 (図 3 の細線) を付加する) を行う。PTP グラフ (図 3) から矩形双対グラフ (図 4) を求める。

矩形双対グラフ (rectangular dual) [5] とは、PTP グラフの一つの幾何学的双対グラフ (PTP グラフの頂点を矩形、枝を矩形の隣接関係で表したグラフ) のことである。PTP グラフ上で枝が存在すれば、矩形双対グラフ上では、その両端の頂点に対応する矩形は必ず隣接している。図 4 のように多端子接続要求は、モデル化の変形操作の過程で付加した頂点が配線矩形として出現し、それを中心に部品の実端子に対応する端子矩形が周囲に隣接する。

部品の端子矩形から接続要求のある部品の端子矩形までは、通過する矩形に配線幅以上の大きさがあれば配線は容易に行うことができる (図 4 の太実線)。よって、配線の通過する配線矩形には、配線本数分 (下界値) 以上の大きさを割当てる。

しかし、部品の実端子からその周囲に隣接する端子矩形までが配線可能となるためには、部品矩形がどれだけの大きさ (下界値) 以上であればよいかは一般には不明である。従って、部品矩形内において配線可能となるためにはどれだけ配線領域が必要かをできるだけ正確に見積る必要がある。

本研究では、この下界値を効率的に算出するために非交差道を用いた配線領域の見積手法を提案する。

3 部品矩形内部の配線領域見積もり手法

部品の実端子 (部品配置位置)、外周上の仮端子すべての位置が決められた場合に、これらの配線に

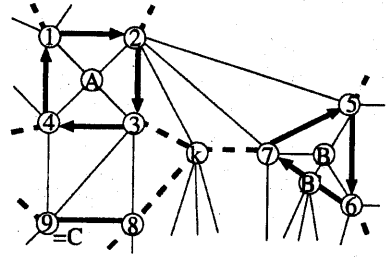


図 3: 図 2 のグラフモデル (PTP グラフに変形したもの)

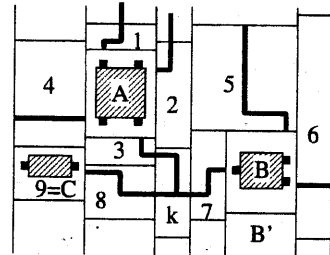


図 4: 図 3 の矩形双対グラフでの配置・配線

必要とされる配線領域を非交差道を用いて見積る手法を提案する。

3.1 問題の定式化

いま部品 v の x 方向と y 方向の長さをそれぞれ l_v, h_v と表す。また v をその内部に配置すべき矩形 (部品矩形) を D_v と表し、 x 方向と y 方向の長さをそれぞれ l_D と h_D と表す。但し、 $l_D \geq l_v$ かつ $h_D \geq h_v$ とする。xy 平面の第 4 象限に D_v をその左上隅を原点に合わせて置く (図 5)。矩形の四隅の格子点を同図に示すように NW, NE, SE, SW と名付ける。

議論の都合で x 軸は右方向を、 y 軸は下方向をそれぞれ正の方向とする。部品も矩形であり D_v の内部に置く。 v の左上隅の格子点座標を (p, q) とする。このとき、 y 座標 q あるいは $q + h_v$ を通る 2 本のグリッド $y = q$ あるいは $y = q + h_v$ 、および x 座標 p あるいは $p + l_v$ を通る 2 本のグリッド $x = p$ あるいは $x = p + l_v$ によって D_v を 9 個の部分矩形領域に分割する。これを図 5 に示すように $S_1, \dots, S_9$ と名前を付ける。但し、 S_5 は部品 v そのものの形状に等しい。

$$C = \{S_1, S_3, S_7, S_9\}, NC = \{S_2, S_4, S_6, S_8\}$$

と置き、各 $S_i \in C$ を隅領域、各 $S_j \in NC$ を中間領

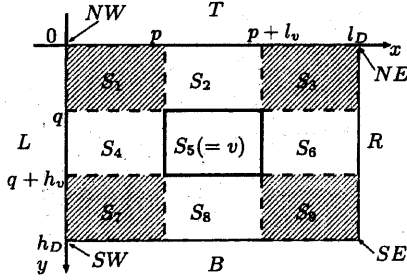


図 5: 部品矩形 D_v の分割

域と呼ぶ。 v は n_v 個の実端子を持つとする。さらに

$$N_v = \{t_1, \dots, t_{n_v}\}$$

と表し、これらの端子は v が線状部品でなければ v の周囲に時計回りにこの順に並んでおり、 v が線状部品ならば v の中央に一直線状に L から R に向かってこの順に並んでいるとする。

D_v の外周で、 x 軸上の 0 から l_D までの線分 T 、直線 $y = h_D$ 上の 0 から l_D までの線分 B 、 y 軸上の 0 から h_D までの線分 L 、直線 $x = l_D$ 上の 0 から h_D までの線分 R をそれぞれ D_v の上側面、下側面、左側面、右側面と呼ぶ。 T, B, L, R に対して、それぞれ $n_T + n_R + n_B + n_L = n_v$ (但し $n_T \geq 1, n_R \geq 1, n_B \geq 1, n_L \geq 1$) なる整数値 n_T, n_R, n_B, n_L が存在して、

T が左から右へ n_T 本の線分 $T_1, \dots, T_{n_T}$ に、
 R が上から下へ n_R 本の線分 $R_1, \dots, R_{n_R}$ に、
 B が右から左へ n_B 本の線分 $B_1, \dots, B_{n_B}$ に、
 L が下から上へ n_L 本の線分 $L_1, \dots, L_{n_L}$ に、

それぞれ分割されているとする。但し、各側面にある格子点はその分割されたいずれかの線分に含まれることにする。また、各線分は格子点から格子点までであり、且つ格子点を 1 点以上含むものとする。ここで

$$E_i = \begin{cases} T_i & (1 \leq i \leq n_T) \\ R_{i-n_T} & (n_T + 1 \leq i \leq n_T + n_R) \\ B_{i-n_T-n_R} & (n_T + n_R + 1 \leq i \leq n_T + n_R + n_B) \\ L_{i-n_T-n_R-n_B} & (n_T + n_R + n_B + 1 \leq i \leq n_v) \end{cases}$$

と表し、

$$Seg = \{E_i \mid 1 \leq i \leq n_v\}$$

とおく。

なお、本稿では v が線状部品でない場合のみを扱うことにする。線状部品の扱いは稿を改めて報告する。

各 $t_i \in N_v$ に対応する仮端子を t'_i と表す。 t'_i は E_i 中の格子点に置くが、本稿ではこれを中央に置くことに限定して議論する。但し、 E_i の長さが奇数のときには中央の格子点はないので中央の格子枝のいずれかの端点を選ぶことにする。

部品 v が線状部品でないときには、以下の条件を満たす全単写像 $\pi: N_v \rightarrow Seg$ が存在するものとする：

$\pi(t_i) = E_k$ ならば π は添字の置換

$$\begin{pmatrix} 1 & 2 & \dots & i & \dots & n_v \\ k & k+1 & & k+i-1 & & k+n_v-1 \end{pmatrix}$$

を定める。但し、添字は $n_v + 1 \equiv 1$ として計算する。

図 1 では t_i を単に i 、 t'_j を単に j' と表している。このとき、 $n_T = 7, n_B = 3, n_L = n_R = 1, n_v = 12$ であり、

$$j' \leftrightarrow E_i = \begin{cases} T_i & 1 \leq i \leq 7 \\ R_1 & i = 8 \\ B_{i-8} & 9 \leq i \leq 11 \\ L_1 & i = 12 \end{cases}$$

なる対応があり、 π は i と j' の対応 (上側が i で下側が j') として書くと

$$\begin{pmatrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 & 9 & 10 & 11 & 12 \\ 1 & 2 & 3 & 4 & 5 & 6 & 7 & 8 & 9 & 10 & 11 & 12 \end{pmatrix}$$

なる恒等置換である。

部品と外周上の仮端子位置を図 6 のように配置したとする。実端子 t_i の座標を (x_i, y_i) 、仮端子 t'_i の座標を (x'_i, y'_i) と表す。 t_i と t'_i の組 (t_i, t'_i) をネット i と呼び、 $NET = \{(t_i, t'_i) \mid 1 \leq i \leq n_v\}$ と表す。実端子集合を $PIN_v = \{t_i \mid 1 \leq i \leq n_v\}$ 、仮端子集合を $PAD_v = \{t'_i \mid 1 \leq i \leq n_v\}$ とおく。但し、以下ではしばしば添字 v は省略する。非交差道を求めることを考えると、配線が通過可能なグリッドは一本あればよい。そこで、以下の要領で図 7 に示す node からなる環状リスト $pplist$ (図 8) を作成する。 $pplist$ はこのリストヘッドである。なお、 $node$ は図 7 に示す名前を持つ 7 つの領域を持つ。各領域をたとえば $node.pad$ 等と表記する。但し、図 8 では、 $node.pad$ 、 $node.pin$ のみを表しており、 $node.pad$ の内容は i' と表記している。

4 個の格子点 $(1, 1), (l_D - 1, 1), (l_D - 1, h_D - 1), (1, h_D - 1)$ を四隅の点とする矩形を D'_v とし、これらの点を NW', NE', SE', SW' と表す。また D'_v の上側面、右側面、下側面、左側面をそれぞれ T', R', B', L' と表す。各実端子 $t_i \in N_v$ に対して、 t_i が v の上側面、右側面、下側面、左側面のどれに位置するかによって、これをそれぞれ T', R', B', L' に射影する。同様

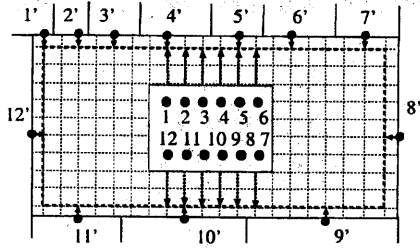


図 6: 部品矩形と部品端子の並び

に、各仮端子 t'_i に対しても、それが存在する D_v 上の位置に応じて T', R', B', L' に射影する。

NW' から出発して、 NE', SE', SW', NW' へと D'_i の周囲を時計回りに 1 周して出会うこれらの射影された点を順に $u_1, \dots, u_r$ と表す。ここで u_i の座標を (x''_i, y''_i) と表す。各 u_i に *node* を 1 個ずつ用意し、その各領域に以下の値を設定をし、 u_1 の *node* から時計回りにポインターで上記の順序を維持しながら連結して、環状リスト *pplist* を構成する。

$$node.pad = \begin{cases} i' & \text{仮端子 } t'_i \text{ が } u_i \text{ に射影されたとき} \\ 0 & \text{それ以外} \end{cases}$$

$$node.pin = \begin{cases} j & \text{実端子 } t_j \text{ が } u_i \text{ に射影されたとき} \\ 0 & \text{それ以外} \end{cases}$$

$$node.xc = t''_i, \quad node.yc = y''_i$$

さらに *side* には、その端子が配置されている T, R, B, L のいずれかをを入力する。また、*ovl* には非交差道の重なり数を格納し、時計回り方向の隣りの *node* へとポインター *next* で連結される。但し、 T, R, B, L の各々について、その上の中間領域に含まれる部分に射影された点が含まれない場合には、 $node.pad = node.pin = 0$,

$$\begin{cases} node.xc = [(l_v - p)/2] & T \text{ or } D \text{ に含まれない時} \\ node.yc = [(h_v - q)/2] & L \text{ or } R \text{ に含まれない時} \end{cases}$$

なるダミーの *node* を、前述の順序に従って、*pplist* に挿入する。(図 6 の例では存在していない。)

3.2 非交差道を求めるアルゴリズム Procedure N_c

図 8 の環状リスト *pplist* 上で非交差道を求める。*pplist* を探索し、非交差道を求めていく(以下、配線すると言う)ことにする。実端子、仮端子ともに時計回りに昇順に並んでいるので十分に配線領域がある場合には配線可能性は保証されている。各ネット i (つまり (t_i, t'_i)) の配線方向は、2 通り(時計回り、反時計回り)があるが、ある 1 つのネットの配線方向が決まると他の配線方向もそれにより求まる。つま

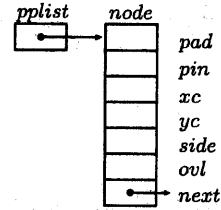


図 7: *pplist* の構成要素の構造

り、実際に行なわれる配線は、1 番の配線(ネット)について述べだけで十分であり、それは以下の配線パターンのいずれかである：

1. ネット 1 が部品端子 t_1 から時計回り方向のもの。
2. ネット 1 が部品端子 t_1 から反時計回り方向のもの。

上記の 2 つのパターンについて非交差道を求め、必要とされる配線領域が少ない方を見積り値として採用する。以下に非交差道を求めるアルゴリズム Procedure N_c を示す。

入力 環状リスト *pplist* (但し、各 *node* に対し *node.ovl* ← 0 と初期設定)

出力 配線の重なり数が各 *node.ovl* に格納された *pplist*

Procedure $N_c(pplist, clockwise)$;

STEP1: *node.pin* = 1 なる *node* に対し、

if (*node.pad* ≠ 1)
 Module.to_Pad(t_1);
else

 ネット 1 を配線済みとする;

STEP2: *pplist* の中で時計回りに次の *node* を探索し以下の操作を行う。

if (*node.pin* = *node.pad* = i)
 ネット i を配線済みとする;

else if (*node.pin* = $i > 0$)

 Module.to_Pad(t_i);

else if (*node.pad* = $i > 0$)

 Pad.to_Module(t'_i);

else

 STEP2 へ;

STEP3: 全てのネット i が配線済みならば、終了; そうでなければ、STEP2 へ;

Procedure N_c の中で用いられている Module.to_Pad(t_i) は、部品端子 t_i から時計回り方向の配線を行う手続きであり、また Pad.to_Module(t'_i) は、部品端子 t_i から反時計回り方向の配線を行う手続きである。これらは、同一方向の非交差道を同時に求めるものである。以下に Module.to_Pad(t_i) のみを

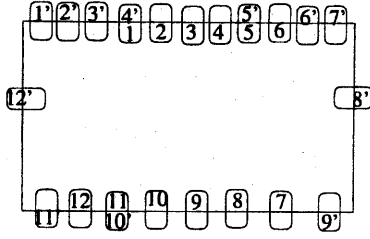


図 8: 環状リスト *pplist*

示す。

キュー $queue \leftarrow \emptyset$ を用意し, $queue$ の先頭要素を $head$, 最後尾の要素を $tail$ とする. $queue$ 内の要素数を格納する変数を q_number とし, $q_number \leftarrow 0$ と初期化しておく.

Procedure *Module_to_Pad*(t_i);

```

step1:  $queue \leftarrow queue \cup \{i\};$ 
        $q\_number \leftarrow q\_number + 1;$ 
step2: pplist 中を時計回りに次の node を探索し,
       各 node に対し,
       if (  $node.pin = tail + 1$  ) then
          $queue \leftarrow queue \cup \{tail + 1\};$ 
          $q\_number \leftarrow q\_number + 1;$ 
          $node.ovl \leftarrow q\_number;$ 
       if (  $node.pad = head$  ) then
          $node.ovl \leftarrow q\_number;$ 
          $queue \leftarrow queue - \{head\};$ 
         ネット head を配線済みとする; step3 へ;
       else if (  $node.pad = node.pin = 0$  ) then
          $node.ovl \leftarrow q\_number;$  step2 へ;
       else
         step2 へ;
step3: if (  $queue \neq \emptyset$  ) then
        $q\_number \leftarrow 0$  として 終了する;
       else
         step2 へ;
```

3.3 配線領域

Procedure *Nc* によって非交差道の重なり数を各 $node.ovl$ の値として得ることができた. これを利用して, 必要とされる配線領域を計算する. 中間領域における必要な配線領域は, それが T, R, B, L のどれと側面を共有するかに依存して, $node.side$ がその側面を持つようなすべての $node$ についての $node.ovl$ の最大値が必要とされる配線領域を示すことが分かる. 中間領域では 1 次元的な見方でその領域の大きさを見積ることが, 隅領域では 2 次元的に配線の交差, 接触を調べる領域の大きさを見積る

必要がある. 配線領域の計算方法を以下に示す.

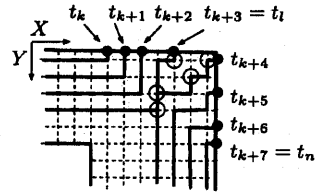


図 9: 隅領域での配線の交差, 接触

<中間領域について>

各 T, R, B, L について, $node.side$ が各側面であるようなすべての $node$ についての $node.ovl$ (非交差道の重なり) の最大値により必要とされる配線領域を得る.

<隅領域について>

- 配線方向が変わっていない場合

必要とされる配線領域は中間領域と同様な見積りになる.

- 配線方向が 90° 変わっている場合

図 9 に示す $\circ$ で囲んだような配線が 90° 曲がる部分の座標を調べる必要がある. S_3 を例として説明する. S_3 の中に存在する仮端子のうち T 上にあるものの左から右へ順に $t'_k, \dots, t'_l$, R 上にあるものを上から下へ順に $t'_{l+1}, \dots, t'_n$ とする. このときネット l とネット $l+1$ の配線が交差, 接触していないかどうか調べる必要がある. (図 9 では $l = k+3, n = k+7$ である.) 実際の配線経路を求める際には, S_3 内では配線はなるべく外側のグリッドを通過するものとし, ネット l の配線が曲がる点を左から右へ順に $(tx_1, ty_1), \dots, (tx_m, ty_m)$ ($m \leq l - k + 1$), ネット $l+1$ のそれを上から下へ順に $(rx_{l+1}, ry_{l+1}), \dots, (rx_{m'}, ry_{m'})$ ($m' \leq n - l$) とすると,

$$(tx_1, ty_1) = (x'_k + node.ovl(t'_k) - 1, node.ovl(t'_k))$$

となるように, (tx_1, ty_1) を仮端子の座標 (x'_i, y'_i) ($k \leq i \leq n$) とその座標での配線の重なり数 $node.ovl(t'_i)$ より計算する. ネット i , ネット j の配線が曲がる部分 (tx_i, ty_i) , (rx_j, ry_j) に対し

$$tx_i \geq rx_j \text{ 且つ } ty_i \geq ry_j$$

が成り立つときは, 配線の交差または接触が起こる. このような場合は,

$$tx_i < rx_j \text{ または } ty_i < ry_j$$

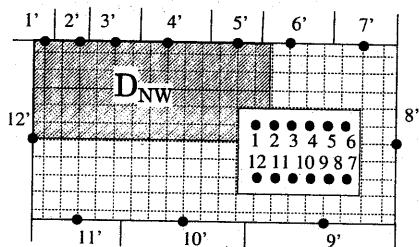


図 10: 部品搭載可能な領域 D_{NW}

となるように x 方向または、 y 方向に配線領域を広げる必要がある。

上記の計算により部品の上下、左右の側面と矩形の上下、左右の側面との間の必要な距離 $ovl_T, ovl_B, ovl_L, ovl_R$ が求まる。よって、 v をその内部に置いて、各端子対 $t_i, t'_i (1 \leq i \leq n_v)$ 間が接続できるためには、矩形の縦横長の下界値 $low_x(v), low_y(v)$ は

$$low_x(v) = l_D + ovl_L + ovl_R,$$

$$low_y(v) = h_D + ovl_T + ovl_B$$

となる。

3.4 部品の配置位置の決定

矩形 D_v 内に部品 v を置くことは、その左上隅 (p, q) が以下の領域 D_{NW} 内に存在することである (図 10):

$$D_{NW} = \{(x, y) \mid 0 \leq x \leq l_D - l_v, \\ 0 \leq y \leq h_D - h_v\}$$

(p, q) を D_{NW} の各点 (x, y) に置いて環状リスト $pplist$ を構成し、それを利用してこの場合の下界値 $low_x(v), low_y(v)$ を計算する。このことを D_{NW} のすべての点に対して繰り返す。そして、すべての場合についての最小な下界値を最終的な値として採用すればよい。なお、環状リストの構成に関しては、1 つ前の (p, q) に対する環状リストから現在の (p, q) に対する環状リストを効率良く修正して作ることができるが、詳細は紙面の都合で省略する。

4 全体基板サイズ見積への利用

参考文献 [13] では、矩形双対グラフを求めた段階で得られる全体の基板サイズを見積る手法が提案されている。

この手法は、各矩形の下界値 (部品矩形であれば、部品の大きさ、配線矩形であれば配線本数) を用いて全体矩形の上端から下端 (左端から右端) までの最長経路を求め、この最長経路の長さを全体矩形の見積り値とするものである。

その際に用いられている下界値を本手法で見積られた配線領域を考慮した下界値に置き換えればより正確な見積りを行うことが期待される。

また、この見積り手法は、得られる全体基板サイズを指定サイズに近づけるための矩形双対グラフの描画改良を行う操作においても用いられる。各部品矩形内において配線不可能となった場合、 x 方向、 y 方向のどちらの方向に広げるかを決定する際に、指定サイズを考慮することにより、更に指定サイズに近い描画を得る可能性が大きくなる。

5 実験の概要と結果

実験は、パーソナルコンピュータ (CPU: PentiumII 266MHz; OS: FreeBSD 2.2.1) 上で行った。プログラムは C 言語で実装した。実験は以下の 3 つについて行った。入力データはいずれも実回路データ (音響回路) を用いた。

- (1) 矩形双対グラフの 1 つの部品矩形内において必要とされる配線領域について本手法の見積り値と、実際にグリッドが引かれた領域に部品を配置して、総当たりに配線を見つけ、必要とされる配線領域の最小値を求め、これと比較した。結果を表 1 に示す。
- (2) 初期レイアウトを求める際に、既存の手法 [2, 3] (適当な大きさを部分矩形の下界値とした線形計画法 → 詳細配線 → 下界値の改良、の 3 ステップの繰り返し) と提案見積り手法を [2, 3] に組み込んだ手法 (提案見積り手法によって見積った部分矩形の大きさを下界値とした線形計画法 → 詳細配線) を比較した。結果を表 2 に示す。
- (3) 本手法を全体基板サイズの見積りに利用した場合の実験として、本手法で得られた見積り値を [13] の手法で用いた場合の基板サイズの見積り値、用いない場合 (配線領域を考慮していない) の見積り値、更に [2] によって実際に設計して得た初期レイアウトの基板サイズを合わせて比較を行った。結果を表 3 に示す。

< 実験結果による評価 >

(1) 矩形内での配線領域の見積り

最小値と等しい矩形サイズを見積ることができた。計算時間では、総当たり法の半分以下の時間で見積ることができた。

(2) 初期レイアウト

既存手法に比べ基板サイズでは等しいかそれ以下のものを得ることができた。計算時間については、既存手法の方が早いデータもあった。これは、部品矩形が隣接関係を満たすために必要とされる配線領

表 1: 1つの部品矩形に対する最小値と見積り値の比較

	最小値		本手法	
	縦 × 横	計算時間	縦 × 横	計算時間
data1	24 × 43	13.80	24 × 43	4.094
data2	28 × 49	59.94	28 × 49	9.031
data3	80 × 43	176.5	80 × 43	16.85
data4	29 × 42	9.961	31 × 42	4.132
data5	26 × 28	1.094	24 × 30	0.570

表 2: 既存の設計手法と提案見積り手法を組み込んだ設計手法の比較

	既存手法		本手法	
	基板サイズ	計算時間	基板サイズ	計算時間
Data1	168 × 504	0.508	168 × 498	1.906
Data2	235 × 621	32.10	236 × 618	28.70
Data3	308 × 162	15.24	308 × 157	10.89
Data4	411 × 257	13.96	403 × 255	2.609
Data5	498 × 276	31.34	493 × 274	26.32

域よりかなり大きくなったために容易に接続要求を満たすことができたためである。

(3) 全体基板サイズの見積り

文献 [13] の手法に比べレイアウトの基板サイズに近い値を見積ることができた。しかし最終の基板サイズとの間には、まだ誤差がある。これは矩形外周上の仮端子位置を境界線上の中心としていることが原因であると思われる。

6 まとめ

その内部に置いた部品の実端子と、外周上の仮端子との間の配線可能性が保証された矩形サイズを効率的に求めるために、非交差道を用いた見積り手法を提案し、その有効性を実験により確かめた。今後の課題としては、

- より効率的な部品配置位置を決定する手法の提案
- 線状部品の扱い

が挙げられる。

参考文献

- [1] 岩元, 渡辺, 安井, 翁長, "PRIDE: グラフの平面化と矩形双対グラフを用いたプリント基板設計支援システム", 情報研報 91-DA-58-4(1991), pp.1-8.
- [2] 安井, 遠山, 畝, 渡辺, 翁長, "アナログ回路用多層プリ

表 3: 実基板サイズと各見積り値の比較

	部品数	端子数	実サイズ [2]	文献 [13]	本手法
#1	22	46	95×162	79×134	95×163
#2	31	67	431×197	396×179	426×203
#3	60	113	281×387	241×363	275×390
#4	30	93	318×224	272×168	358×292
#5	44	88	232×233	184×191	232×236

単位 mm

ント基板設計支援システム MULTI-PRIDE", 情報処理学会設計自動化研究会 DA シンポジウム'92 論文集 (1992), pp.137-140.

- [3] Yasui, T., "A Support System MULTI-PRIDE for Designing Multi-Layered Printed Wiring Boards", Master's Thesis of Information Engineering Major, Graduate School of Engineering, Hiroshima Univ., March 1993.
- [4] 増田, 相原, 藤沢, "部品の反転を許さない一層配線問題について", 信学論, Vol.J66-A(1983), No.3, pp.235-242.
- [5] Kozminski, K. and Kinnen, E., "Rectangular duals of planar graphs", Networks, Vol.15, pp. 145-157, 1985.
- [6] Bhasker, J. and Sahni, S., "A Linear Algorithm to Find A Rectangular Dual of Planar Triangulated Graph", Proc. 23th DAC(1985), pp.108-114.
- [7] Bhasker, J. and Sahni, S., "A Linear Time Algorithm to Check for the Existence of Rectangular Duals of Planar Triangulated Graphs", Networks, Vol.17(1987), pp.307-317.
- [8] He, X., "On finding the rectangular duals of planar triangulated graphs", SIAM J. Comput., Vol. 22(1993), No. 6, pp. 1218-1226.
- [9] Baker, B. S. and Pinter, R. Y., "An Algorithm for the Optimal Placement and Routing of a Circuit within a Ring of Pads", Proc. 24th FOCS(1983), pp.360-370.
- [10] Leiserson, C. E., and Pinter, R. Y., "Optimal Placement for River Routing", SIAM J. Comput., Vol. 12(1983), No. 3, pp.447-462.
- [11] 高橋, 鈴木, 西関, "平面グラフの長さ総和最小な非交差道を求めるアルゴリズム", 信学技法, VLD92-23(1992), pp.31-36.
- [12] Wang, D. C., "Pad Placement and Ring Routing for Custom Chip Layout", Proc. 27th DAC(1990), pp.193-199.
- [13] 松本, 渡辺, "指定サイズ矩形内への矩形双対グラフ描画法", 信学技法, CAS95-101(1996), pp.9-16.
- [14] Matsumoto, T., "A Study on Drawing Rectangular Duals within Prescribed Sizes", Master's thesis of Information Engineering Major, Graduate School of Engineering, Hiroshima Univ., March 1996.