

## 2線式ドミノ論理を用いた非同期式パイプライン回路の テスト容易化設計

月坂真之

tsukky@hal.rcast.u-tokyo.ac.jp

南谷 崇

nanya@hal.rcast.u-tokyo.ac.jp

東京大学 先端科学技術研究センター

〒153-8904 東京都目黒区駒場4-6-1

あらまし 非同期式システムを設計する上で問題の一つとなっているのがテスト容易化設計である。スキャンテストの問題として、冗長な占有面積の性能オーバーヘッドがある。特に非同期式システムで用いられる2線式回路のテスト容易化設計を考えるとき、占有面積は無視出来ない規模になる。近年非同期式システムを設計する上で避けることの出来ない、要求応答動作に伴うオーバーヘッドの影響を小さくするために、Differential Domino Logic(DDL)を使用した2線2相式細粒度パイプラインが提案され、サイクルタイムにおいて良い結果が出されている。本稿では、DDLの特性を利用したスキャンパスを設計し、これを用いたテスト容易化設計の方法を提案する。また設計したスキャンパスをSPICEシミュレーションで動作波形を確認した。

キーワード 非同期式回路、2線式ドミノ論理、テスト容易化設計、スキャンパステスト

## Performance Comparison of Finely Pipelined Datapaths using Differential Domino Logic

Masayuki Tsukisaka

tsukky@hal.rcast.u-tokyo.ac.jp

Takashi Nanya

nanya@hal.rcast.u-tokyo.ac.jp

Research Center for Advanced Science and Technology, The University of Tokyo  
4-6-1, Komaba, Meguro-ku, Tokyo, 153-8904, Japan

**Abstract** Design for Testability is one of problems to design Asynchronous system. Its redundant area and speed overhead of scan path haven't solved yet. Especially in a design of scan path for dual line logic which is one of the technic of Asynchronous design, area problem can't be neglected. Recently, to get a high performance, the special dual logic asynchronous circuit which controls the pipeline sub-stages using DDL(Differential Domino Logic) circuit has been proposed. In this paper, authors show a new design of small area scan latch for DDL circuit whose performance overhead is low and suggest a design for testability using new scan latch. The wave forms of SPICE simulation shows its correctness and low overhead.

**key words** Asynchronous Circuit, Differential Domino Logic, Design for Testing, Scan path Tesging

## 1 はじめに

近年のVLSI製造技術の発展によって、素子の微細化とシステムの大規模化が進んでいる。この結果スイッチング遅延の減少による素子の高速化が進む一方、微細化による配線抵抗の増加やシステムの大規模化によって配線遅延は増加する傾向にある。そのためシステム全体を单一クロックによって駆動させる同期式システムでは、近い将来システムの性能が配線遅延によって支配され、微細化によるスイッチング素子の高速化を享受出来なくなることが指摘されている。そこでグローバルクロックを用いない非同期方式が注目されている[1]。非同期方式は要求応答動作の因果関係によって駆動され、電力消費の局所化や平均遅延効果による性能向上の利点がある。

ところで、非同期式回路の実現の問題としてテストがある。大規模回路をテストするにはスキャンバスが有効であるが、スキャンバスはスキャンラッチ挿入による性能オーバーヘッド、冗長な占有面積が問題とされている。

非同期式回路のテストに関しては、いくつかの研究成果が出され[4][7][8]、性能オーバーヘッドに関しても言及されているが、スキャンラッチ回路自体は改善されていない。近年、非同期方式特有の要求応答処理によるオーバーヘッドをパイプライン処理のステージを細かくすることによって隠蔽する方法が提案されている[2]。特に、[3]で報告しているDDL(Differential Domino Logic)をもちいた2線2相式細粒度パイプラインは、パイプラインの制御粒度が最適化されパイプラインのサイクルタイムにおいて良い結果が出されている。このような2線式論理回路をスキャンテストするとスキャンラッチが2つ必要となるので、冗長面積が問題になる。そこでスキャンラッチを改善する必要が出てくる。

本稿では、このDDL回路の特徴を利用した省面積スキャンラッチを新しく設計した。そしてそのスキャンラッチが性能オーバーヘッドにおいて優れていることを、SPICEシミュレーションによって確認した。

## 2 DDL回路による非同期式細粒度パイプライン

### 2.1 DDL回路

DDL(Differential Domino Logic)回路は、CMOSトランジスタで構成される2線式論理設計である。入出力は2線式符号(1, 0)(0, 1)あるいはスペーサ(0, 0)からなり、正負論理からなるのでインバーターが不要である。

また閾値をnmosのみで構成するので、入力ゲート容量が小さい。図1はDDL回路で構成された閾値  $F = A + \overline{B}C$  の例である。PCB=1でDDL回路はプリチャージされ出力はスペーサとなり、PCB=0で入力が出力部で評価される。DDL回路で構成される回路の特徴の一つは、出力値を保持することができるることである。図1においてPCB=0で値が出力された後、入力abcがスペーサ状態になってしまっても、PCB=0の間、出力はPMOSのweak feedbackによって保持される。

もう一つの特徴として入力値を出すDDL回路がスペーサ状態のとき、PCB=0で評価しても、NMOSツリーは開いたままなので、出力は(0, 0)でありスペーサ状態を維持することである。

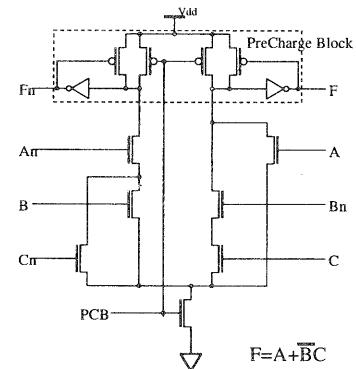


図1: DDL回路の例

### 2.2 細粒度パイプライン

初期状態でデータを持たないラッチを挿入して論理ステージを複数のステージに分割(サブステージ)することを、パイプラインステージの「細粒度化」と呼ぶ[2]。細粒度化によって細粒度化によってコントロール遅延を隠蔽することができる。図2はDDL回路の特徴を利用した細粒度パイプラインの例である[3]。

最粒度パイプラインの制御部は出力値を保持することができ、また入力がスペーサ(0, 0)のときは出力もスペーサを保持するので、最粒度パイプラインの制御部は次の入力の到着を確認しないで、サブステージを作動つまりプリチャージの解除を行っても、誤った値を出力することができない。

このDDL回路の特徴を利用したシンプルでサイクルタイムの少ない2線式細粒度パイプラインの設計が報告されている[3]。

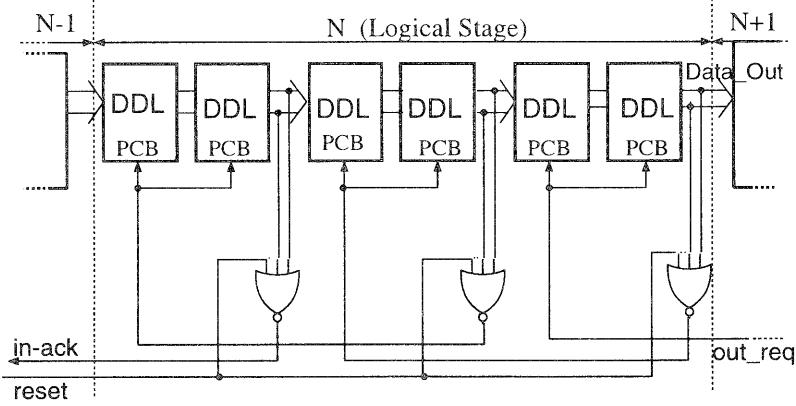


図 2: DDL を用いた細粒度パイプライン

### 3 DDL回路によるスキャンテスト

#### 3.1 スキャンテスト

スキャンテストは、回路内のラッチに、追加ラッチとマルチプレクサで構成される LSSD ラッチ [6] を組み込んだ回路で行われる。LSSD ラッチはテスト時にラッチがシフトレジスタのように振る舞うことによってスキャンパスになる。スキャンバスを介してテストベクトルを挿入したり、テスト結果を取りだしたりする。

LSSD によるスキャンテストは、性能オーバーヘッドと面積オーバーヘッドが問題になっている。1 線式非同期パイプライン用のスキャンバスで報告されている [5] でも性能オーバーヘッドが 157%、占有面積の冗長が 236%(1 スキャンラッチあたりトランジスタを 37 個要する)。2 線式で構成されている回路のテストは、正負論理出力をそれぞれスキャンしなければならないので、面積オーバーヘッドがさらに無視できなくなる。

#### 3.2 DDL回路のスキャンラッチ

図 3 は、DDL 回路にスキャンラッチを組み込んだ例を示している。図 3 a) の  $F_{out}$ ,  $\overline{F_{out}}$  はそれぞれ、図 3 b) の  $F_{out}$ ,  $\overline{F_{out}}$  に繋がりマスタスレップラッチを構成している。通常の論理関数を出力する DDL 回路に、スキャン入力用の NMOS トランジスタを正負それぞれ 2 つテスト時通常時切り替え用のトランジスタを介し、並行してつけてある。

DDL 回路の論理関数を実現している NMOS ツリーは入力がスペーサのときは、常に NMOS ツリーは開いてい

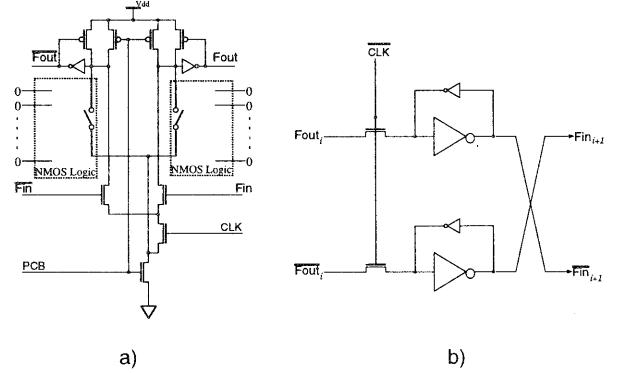


図 3: DDL 用スキャンラッチ

る状態にある。この特徴を利用するとマルチプレクサの挿入をしないで、通常時の論理関数出力とテスト時のスキャン出力をラッチに入れることができる。

図 4 は、図 3 の DDL スキャンラッチで構成されたスキャンバスの例を示している。テスト時はスキャンラッチの入力はスペーサでなければならない。

$CLK_1$   $CLK_2$  の入力信号を用いて、 $SCin$  を介してデータをシフトさせることができる。テスト時、 $SCin$  を介してシフトされたテストベクトルは、 $DO1z$ , ...,  $DO_m$  から組み合わせ回路へ、出力される。このテスト時の各信号の振る舞いは、図 5 のタイミングチャートにまとめている。 $CLK_1$  が立ち上がり、DDL スキャンラッチのマスタラッチが入力状態になりデータが入力される。続いて  $CLK_2$  がたち下がりスレップラッチにマスタラッチの値が入力され、 $CLK_2$  が立ち上がりスレップラッチの値が保持される。 $CLK_1$  がたち下がり、マスタラッチがブリッジされる。このようにしてテストベクトルがシフトされて

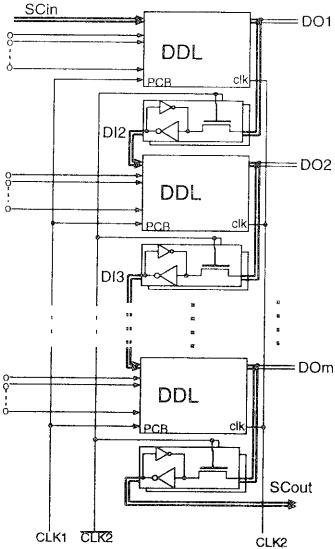


図 4: DDL 回路によるシフトレジスタの構成

いく。

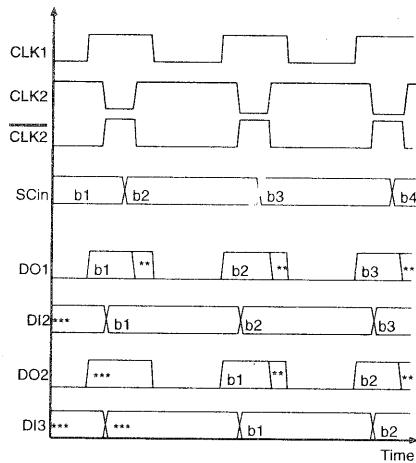


図 5: タイミングチャート

この DDL シフトレジスタを図 2 の細粒度パイプラインに適応したものが、図 6 である。DDL 回路によるサブステージで構成された論理部の入力、出力をする DDL 回路部に図 4 で示した DDL スキャンバスを挿入してある。

テスト時、reset によって、テストされる DDL 回路はすべてスペースになり、DDL スキャンバスはシフトレジスタとして働くことができる。外部信号 CLK1,CLK2 によってテストベクトルを SCin よりシフト入力させる。reset を切り替えることによって、テストされる DDL 回路の細粒度パイプラインを動作させてテストベクトルの評価結果をスキャンラッチに書き込む。

果をスキャンラッチに書き込む。

#### 4 SPICE シミュレーション

図 4 の DDL スキャンラッチを MOSIS で提供されている  $0.35\mu\text{m}$  のトランジスタで設計した。図 5 のタイミングチャートを SPICE(BSIM3ver.3)で実際に波形で動作確認した(図 8)。図 8 の上段 PCB1,CLK はそれぞれ、図 5 の CLK1,CLK2 の電圧波形に相当する。次の段の F1,F2 は、図 4 の SCin の正負値の電圧波形に相当する。MS1,msn2 は図 5 の DO1 の正負値の電圧波形に相当する。以下同様である。

2 線式にもかかわらず、必要なトランジスタが 1 スキャンラッチ当たり正負あわせて 13 個であった。また普通の DDL 回路とスキャンラッチを含む DDL 回路の出力の立ち上がりと立下りを、SPICE の波形で調べたが差がほとんど出ないことがわかった(図 7)。

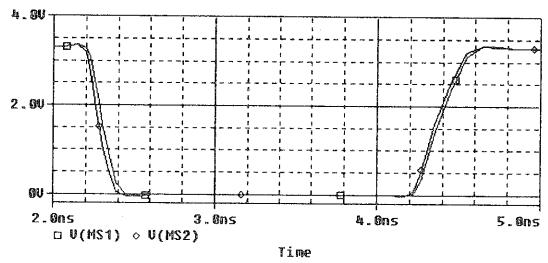


図 7: 通常ラッチとスキャンラッチの動作比較

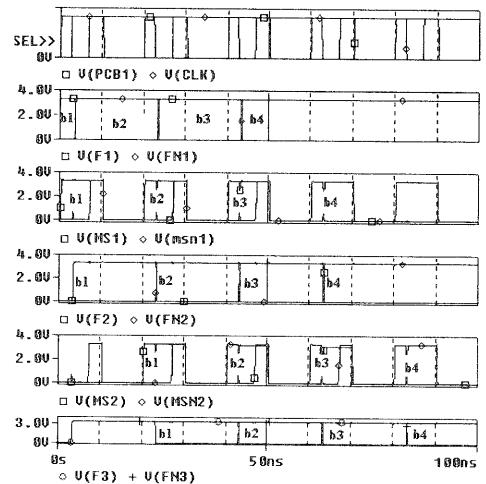


図 8: スキャンデータの遷移

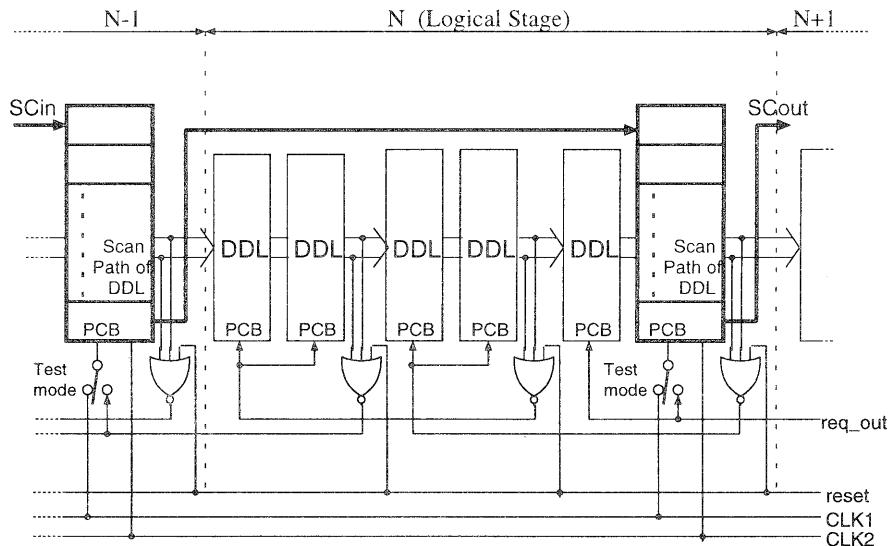


図 6: スキャンバスの構成例

## 5まとめ

DDL回路を利用したスキャンラッッチを設計し、2線式ドミノ論理を用いた非同期式回路のテスト容易化設計を示した。SPICEシミュレーションの結果、性能オーバーヘッドに関してDDLスキャンラッッチが優れていることがわかった。2線式細粒度パイプラインの設計をDDL回路で実現することはスキャンテストを設計する上でも有効であることが考えられる。

## 6 謝辞

本研究は、情報処理振興事業協会 独創的情報技術に係る研究開発事業、及び(株)半導体理工学研究センターからのご支援をいただいた。また、本研究の一部は文部省科学研究費補助金 基盤研究(B)09480049によるものである。

## 参考文献

- [1] 南谷崇, 非同期式マイクロプロセッサの動向, 情報処理, Vol.39, No.3, pp.181-186, March 1998.
- [2] 小沢基一, 高村明裕, 上野洋一郎, 中村宏, 南谷崇, 非同期式パイプライン構造の性能評価, 信学技報, April 1998.
- [3] 今井雅, 南谷崇, 2線式ドミノ論理による細粒度パイプライン・データバスの性能評価, 信学技報, Nov 1999.
- [4] Petlin, O., Furber, S., *Built-in Self-Test Design of Micropipelines*, Proceedings Async'97, pp.22-29 IEEE, April 1997.
- [5] , Petlin, O., Furber, S., Romankevich, A., Groll, V., *Designing Asynchronous Sequential Circuits for Random Pattern Testability*, IEEE Proc. Comput. Digit. Tech., Vol. 142, No. 4, July 1995.
- [6] Mccluskey, E., *Logic Design Principles*, Prentice-Hall, pp.424-474. 1986. bibitemkey:takam Takanamura, A., Kuwako, M., Imai, M., Fujii, T., Ozawa, M., Fukasaku, I., Ueno, Y., and Nanya, T., *TITAC-2: A 32-bit Asynchronous Microprocessor based on Scalable-Delay-Insensitive Model*, Proc. of ICCD'97, pp.288-294 (Oct.1997)
- [7] Roncken, M., Bruls, E., *Test Quality of Asynchronous Circuits: A Defect-oriented Evaluation*, Proceedings of International Test Conference IEEE, Washington DC, pp.205-214, October, 1996.
- [8] Roncken, M., Aarts, E., Verhaegh, W., *Optimal Scan for Pipelined Testing: An Asynchronous Foundation*, Proceedings of International Test Conference IEEE, Washington DC, pp.215-224, October, 1996.