

低スタンバイリーク電流のための入力ベクトル決定法について

平島 和彦[†] 松永 裕介^{††}

[†]九州大学大学院システム情報科学府情報工学専攻

〒816-8580 福岡県春日市春日公園6-1

^{††}九州大学大学院システム情報科学研究院情報工学部門

〒816-8580 福岡県春日市春日公園6-1

E-mail: †{hirasima,matsunaga}@c.csce.kyushu-u.ac.jp

あらまし 近年、チップ上のトランジスタ数の増加により、コンピュータの性能が向上しているが、その反面消費電力は増加している。消費電力の増加は、非経済的であり携帯機器としては稼動時間を短くする。今までは消費電力削減と性能の維持を同時に実現させるために閾値電圧が下げられていた。しかし、低閾値電圧ではリーク電流は増加する。スタンバイ時のCMOS回路の消費電力はこのリーク電流が大部分を占めている。ゆえに、リーク電流を低減することは低消費電力に繋がる。このスタンバイリーク電流は回路の入力に依存しているので、回路に最小のリーク電流となる入力を与えることで消費電力削減が図れる。

本稿では最小のリーク電流となる入力ベクトル、最小リークベクトル (MLV) を求めるアルゴリズムを提案し、実験及び考察を行う。提案するアルゴリズムは二つの最適化アルゴリズム、Simulated Annealing (SA) 法と分枝限定法に基づくものである。二つの手法をベンチマーク回路に適用することによって MLV の有効性を確認した。

キーワード 低消費電力, スタンバイリーク電流, Simulated Annealing 法, 分枝限定法

About the input vector determining method for low standby leakage current

Kazuhiko HIRASHIMA[†] and Yusuke MATSUNAGA^{††}

[†] Department of Informatics Graduate School of Information Science and Electrical Engineering Kyushu University Kasuga Koen 6-1, Kasuga, Fukuoka, 816-8580, Japan

^{††} Department of Informatics Graduate School of Information Science and Electrical Engineering Kyushu University Kasuga Koen 6-1, Kasuga, Fukuoka, 816-8580, Japan

E-mail: †{hirasima,matsunaga}@c.csce.kyushu-u.ac.jp

Abstract By the increase in the number of transistors on a chip, the performance of a computer is improving. On the other hand, the power consumption is increasing. The increase in power consumption is un-economical and shortens run time of portable devices. The threshold voltage was lowered to realize maintaining of performance and reducing power consumption. However, low threshold voltage increases leakage current. This leakage current occupies the great portion of standby CMOS circuit's power consumption. Therefore, reducing leakage current leads to low power consumption. This standby leakage current is dependent on the input vector of a circuit, so giving the input vector which minimizes leakage current can reduce power consumption.

In this paper, we propose the algorithm which calculates the minimum leakage vector (MLV), and consider by experiments. The algorithms are based on "Simulated Annealing (SA)" and "Branch and Bound". The validity of MLV was checked by applying two techniques to benchmark circuits.

Key words low power consumption, standby leakage current, Simulated Annealing, Branch and Bound

1. はじめに

近年、チップ上のトランジスタ数の増加により、コンピュータの性能は向上している。しかし、その反面消費電力は増加している。消費電力の増加は、非経済的であり携帯機器としては稼動時間が短くなる。そこで、必要となるのが低消費電力設計である。これまでは消費電力削減のためには電源電圧が減らされていた。しかし、電源電圧の低減は論理ゲートを通る遅延伝播の増加を引き起こし、回路の性能を下げる。この遅延伝播の増加を抑えるために、MOSトランジスタの閾値電圧はより低く設定される。しかし、より低い閾値電圧は閾値下の伝導によって引き起こされるリーク電流を増加させる。

スタンバイ時の回路の消費電力はこのリーク電流が大部分を占めている。携帯電話は待ち受け時にも電流が流れているが、そのほとんどがスタンバイリーク電流である。そのため、スタンバイリーク電流を削減することで携帯機器のバッテリーを長時間持たせる事が可能となる。

スタンバイリーク電流は回路の入力のパターン（入力ベクトル）に依存する[1]という特徴を持つ。また、回路全体のリーク電流の総和はトランジスタの数に依存している。ゆえに、トランジスタのリーク電流を低減することは回路全体の消費電力の低減に繋がる。このためにリーク電流を最小にするような入力ベクトルを求める必要がある。ここで、リーク電流を最小にする入力ベクトルを最小リークベクトル（MLV）と呼ぶことにする。また、ここではトランジスタの電源電圧は一定と仮定し、電流の最小化は電力の最小化とみなす。即ちMLVを選ぶことによって、回路全体の消費電力を抑えられる。

筆者は、MLVを求めるために二つの組合せ最適化アルゴリズムを提案し、MLVを求める実験を行った。アルゴリズムの一つはSimulated Annealing (SA) 法に基づくものであり、もう一つは分枝限定法に基づくものである。SA法は、ランダムに入力を与えるが、時間が経つにつれて探索空間が狭まり、よい解を早い時間で見つけることができる近似アルゴリズムである。また、分枝限定法は、探索の途中で今までの最小値よりも下限値が悪くなることが確認できた場合、それより先は探索しない。このことにより、探索時間の短縮を行うことができる厳密アルゴリズムである。これらの手法を回路に適用させる事を通して、MLVを求める事の有効性を検討すると共に、求め方の比較を行う。

本稿の構成は以下の通りである。2章でスタンバイリーク電流最小化問題について説明する。3章で筆者が提案する二つの手法、Simulated Annealing法及び分枝限定法について説明する。4章で実験の説明、及び結果と考察をする。最後に5章で課題を述べ、本稿をまとめる。

2. スタンバイリーク電流最小化問題

2.1 リーク電流の特徴

CMOS回路の消費電力Pは以下の式で表せる[2], [3].

$$P = P_{dynamic} + P_{static} \quad (1)$$

$$P_{static} = I_{leak} V_{dd} \quad (2)$$

$P_{dynamic}$ はダイナミック電力消費で、 P_{static} はスタティック電力消費である。 P_{static} はリーク電流 I_{leak} と電源電圧 V_{dd} の積である。携帯機器としては稼動時間のほとんどがスタンバイ状態とみなせる。これよりスタンバイ時の回路の消費電力削減には、リーク電流低減が効果的であることがわかる。このリーク電流には以下のようなものがある。

- ゲートリーク電流
- ジャンクションリーク電流
- サブスレシールド・リーク電流

筆者はスタンバイ時のサブスレシールド・リーク電流を低減する手法を提案する。本稿では以後、リーク電流と述べた場合はサブスレシールド・リーク電流を指す。

このリーク電流の問題を含め、近年では回路の消費電力が問題視されている。回路の消費電力は電源電圧の2乗に比例していることから、消費電力削減のために電源電圧を低くすることが効果的である。電源電圧を低減すると閾値電圧も低減させなければならないが、閾値電圧付近ではリーク電流は指数関数的に増加してしまう[4]。そのために閾値電圧は容易には下げられない。閾値電圧を上げるとリーク電流は低減されるが、回路の動作が遅くなる。回路全体の閾値を変化させることで高性能で低スタンバイリークの回路を実現することは非常に困難である。本稿では、電源電圧、閾値は変化させずに低消費電力化を目指す。

CMOS回路のリーク電流は入力ベクトルによって変化する。そのため、回路にはリーク電流を最小にする入力、最小リークベクトル（MLV）が存在する。回路にMLVを与えることによって、回路全体の消費

表 1 2入力 NAND ゲートのリーク電流

入力ベクトル	リーク電流
00	3.944×10^{-14} A
01	1.525×10^{-13} A
10	1.365×10^{-13} A
11	4.568×10^{-14} A

電力を抑えられる。しかし、あるゲートで最小（最大）リークとなる入力ベクトルでも別のゲートで最大（最小）リークとなる入力ベクトルになる可能性もある。従ってこのような事柄を踏まえた上で、回路全体のリークを減らさなければならず、MLVを求めることは難しくなる。ここではトランジスタの V_{dd} は一定と仮定し、電流の最小化を電力の最小化とみなす。

例として、参考文献[1]に記載されている、ある2入力 NAND ゲートのリーク電流を表1に示した。このゲートの最小リークベクトルは「00」（ 3.944×10^{-14} A）である。そこで、2入力 NAND ゲートが50だけあるとする。そのうち20が入力ベクトル00を受け取り、15、10、5のゲートがそれぞれ01、11、10を受け取る時、回路の全ての2入力 NAND ゲートのリーク電流 L_{pq} の総和は $20L_{00}+15L_{01}+10L_{10}+5L_{11}$ となる。入力ベクトルの選び方によっては、 L_{pq} の係数が変わり、リーク電流の総和も変わる。

2.2 関連研究

スタンバイリーク電流最小化のための研究には、dual-Vt手法[5]、Variable threshold voltage(VTCMOS)[6]やSelective MT技術[7]等の閾値を変化させる研究やMLVを求める研究がある。

筆者が着目しているMLVを求める研究としては、SAT（充足可能性）問題を解くことで厳密にMLVを求める研究[8]。遺伝的アルゴリズムを適用して近似解を求める手法などがある[9]。

文献[8]の手法ではSAT問題を解くことでMLVを求めるが、SAT問題とは与えられた論理式全体を1とするような変数値の組み合わせを求める問題である。ここでの論理式は、回路全体のリーク電流が変数C以下の場合に1を返すものであり、以下のようにしてMLVを求めている。

(1) リーク電流の上限（下限）を求める。リーク電流の上限（下限）は回路の全ての論理ゲートの最大（最小）リーク電流の合計である。

(2) Cをはじめは上限として考える。

(3) 各ゲートの入力と出力をリテラルとするクローズを列挙し、C以下のリーク電流となる入力ベクトルを求める。

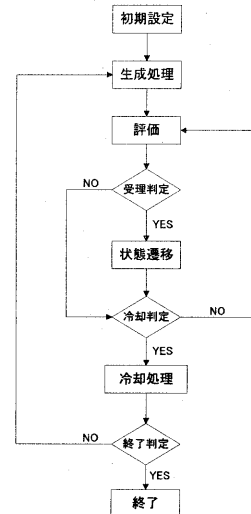


図1 SAの基本アルゴリズム

• 解があった場合：step4へ。

• 解が無かった場合：

MLVは最後に求めた入力ベクトル。

－ Cが上限の場合：最小リーク電流は上限。

－ Cが下限の場合：最小リーク電流は下限。

(4) Cを低減する。

(5) step3へ。

Cは実数値なので、実測値との許容誤差や低減する刻み幅をどう設定するかが問題となる。誤差を小さくしようとする刻み幅も小さく設定する必要があるが、解を求めるのに時間がかかってしまう。許容誤差と刻み幅のトレードオフが問題となる。また、SAT問題を何回も解くことは非効率である。さらに、必ずSAT問題が解ける保証も無い。

3. 提案手法

本章ではMLVを求めるために提案した二つの組合せ最適化アルゴリズムについて述べる。

3.1 Simulated Annealing(SA)法

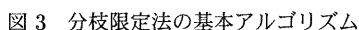
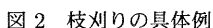
この手法は組合せ最適化問題を解くために最も適するように開発され、広く使用されている繰り返し手法の一つである[10]。

アルゴリズムの基本的な流れは、図1のとおりである。

3.2 分枝限定法

この手法は、最適化問題をバックトラック法を用いて解くものである。

特徴は、バックトラック法の効率を改善するために何らかの方法で枝刈りを行い、探索空間を狭めな



枝刈りとは、探索の途中でそこから先に進んでも最適解が得られないことが判明したら、そこから先の探索を行わないことである。この枝刈りを早い段階で行うと、全探索量に対する効果が大きくなる。そこで、枝刈りを行うためのよりよい必要条件を設定することが課題となってくる。

n ビットの入力ベクトルの1ビットを0もしくは1と値を確定していく走査で探索を行っていくものとする。 $n-i$ ビットだけ値を確定した段階で、今までの最小値よりも下限値が上回った場合、新たなビットの値を確定しない。枝刈りを行うに当たって、入力値が確定しないゲートは表1に従い、最小の値を採用する。即ち、ゲートの入力値が0xの場合は、可能性として00と01があるが、リーク電流が小さい00の値を採用する。そして、回路全体のリーク電流の下限を見積もる。この下限値と最小値を比較することによって、枝刈りを行っていく。

アルゴリズムの基本的な流れは、図 3 の通りである。

回路名	C432	C499	C880
入力数	36	41	60
NAND ゲート数	120	162	294
NOT ゲート数	40	40	63

今回、論理合成ツールを用いて、SA 法と分枝限定法を採用して、回路の MLV、及びその時のリーク電流、最小リーク電流 L_{min} を求める実験を行った。

分枝限定法で求めた厳密な L_{min} と、ランダムに入力を与えて求めた L_{min} 、及びSA法を用いて得られた L_{min} を比較する。また、プログラムの実行時間も比較する。

- 回路は MCNC ベンチマーク の C432, C499, C880 を 2 入力 NAND ゲートと NOT ゲートに分解したものを用いる. 図 2 に概要を示す.
- リーク電流は表 1 の値を用いる.

SA 法の実装のために以下のパラメータを用いた。
表 3 に示している 11 パターンで実験を行った。

- 初期温度：INIT_T
- アニーリングの回数：A_LOOP
- Tを減らす割合：COOL_RATIO
- 0の近似：EPSILON

以下の式より、ランダムに入力を与えて MLV を求める場合と同程度のループ回数を求めることができる。これによって得られた値だけランダムに入力を与え、その最小値と比較する。

表3 使用したパラメータ

Case	INIT.T	A LOOP	COOL.RATIO	EPSILON	Loop
1	20	25	0.5	1.0×10^{-11}	1794
2	20	25	0.6	1.0×10^{-11}	2425
3	20	50	0.5	1.0×10^{-11}	3588
4	20	50	0.6	1.0×10^{-11}	4850
5	20	50	0.7	1.0×10^{-11}	6925
6	20	100	0.6	1.0×10^{-11}	9701
7	20	100	0.7	1.0×10^{-11}	13851
8	20	100	0.8	1.0×10^{-11}	22080
9	20	1000	0.6	1.0×10^{-11}	97016
10	20	1000	0.7	1.0×10^{-11}	138513
11	20	1000	0.8	1.0×10^{-11}	220802

$Loop = A LOOP$

$\times \log_{COOL_RATIO}(EPSILON \times INIT.T^{-1}) + 1$

4.1.2 分枝限定法

以下のように枝刈りを行うことで分枝限定法を適用する。

n ビットの入力ベクトルを1ビット目から上位へ0もしくは1と順々に値を確定していく走査で探索を行っていくものとする。 $n-i$ ビット目まで探索した段階で、今までの最小値よりも下限値が上回った場合は、 $n-i+1$ ビット目以上には枝刈りを行い探索しない。 $n-i$ ビット目にバックトラックする。

今回、分枝限定法でMLVを求めるのであるが、それと共に、枝刈りがどれだけ効果的に行われたのかしらみつぶしにMLVを求める場合と比較する。

4.2 実験結果

図4でC432の入力の全ビット0、及び1の時のリーク電流、分枝限定法、SA法によって得られた L_{min} と、SA法と同程度の実行時間だけランダムに inputsを与えたときの最小値を示す。SA法とランダムなサンプリング手法は表3のcase毎に示す。また、表4に各回路のSA法で求めた L_{min} と分枝限定法で求めた L_{min} との誤差の最大値、及び最小値を示す。図5にはC432の分枝限定法の実行時間に対するSA法の実行時間の割合を示す。

また、枝刈りの効果を示すために、表5を記載した。しらみつぶしに探索すると2^{入力数}回かかるところを、分枝限定法を適用する事によって何回で終了できたかを示している。C880に関しては、プログラムの不具合によって求めることができなかった。

4.3 考察

C432, C499ではSA法で厳密な最小解を得ることができたが、C880では近似解となった。これは、回路の入力数によると考えられる。入力数が多い回

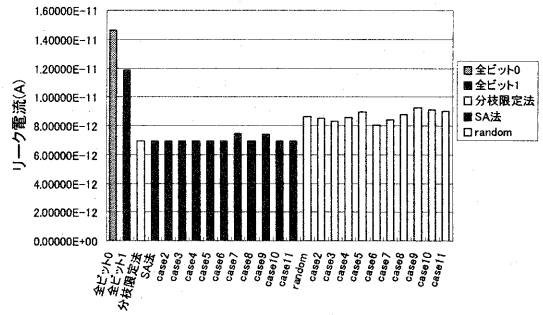


図4 C432のリーク電流

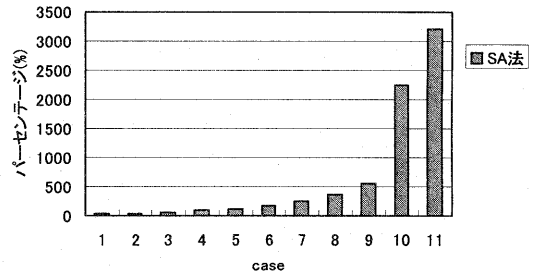


図5 C432におけるSA法の実行時間の分枝限定法の実行時間に対する割合

表4 各回路の分枝限定法とSA法との誤差の最大・最小値(単位: %)

回路名	C432	C499	C880
Min	0(case4,5 以外)	0	1.38(case9)
Max	7.19(case4)	0	11.56(case1)

表5 枝刈りの効果

回路名	C432	C499	C880
入力数	36	41	60
全探索数	6.871×10^{10}	2.199×10^{12}	1.153×10^{18}
探索回数	5.910×10^3	1.440×10^7	—

路ほど、MLVの探索空間が広くなるので厳密解を得ることは容易にはできない。SA法は厳密解を確実に求めることが可能な手法ではなく、近似解を求める手法であるからである。しかし、入力数が少ない回路では、SA法は分枝限定法に比べて50%以下の実行時間でもほとんど誤差の無い解を得ることができた。実行時間が1%未満でも誤差の無い解を獲得できる場合もあることが判明した。C432のcase3,4では、実行時間が短いcase1,2よりも解が悪くなったが、これは極小解に陥ったためだと考えられる。

また、全て0または1の入力を与えたときのリーク電流と最小リーク電流を比較すると、最大50%割

減が行われており、MLVの有効性が理解できる。

枝刈りに関しては、実に効果的であった。探索空間を約10万分の1に短縮することができた。しかし、それでも実行時間は非常にかかる。そこで、枝刈りを更に効果的に行うために、探索の早い段階でよい下限値を見積もる必要がある。今回は回路の構造も考えずに入力を与えていったので、そこを考慮した入力を与えることで探索時間は短縮されと考える、更に規模が大きい回路で実験を進め、SA法と分枝限定法について比較していく必要がある。

5. おわりに

本稿ではCMOS回路のリーク電流の問題点を挙げ、その特徴から解決法としてMLVを与えることを挙げた。そして、そのMLVを求めるために二つの最適化アルゴリズム、SA法及び分枝限定法を用いる手法を提案した。これらの手法は、実際にベンチマーク回路のMLVを求めることによって比較した。

今回の実験では以下の三つのことがわかった。

- SA法では、短い実行時間でも精度のいい解を獲得できる。

- 分枝限定法での枝刈りでは、探索空間を大幅に削減できる。

- 回路に全て0または1の入力を与えるよりもMLVを与えることは効果的である。

しかし、分枝限定法では下限値次第では莫大な実行時間を要する。そこで、今後は効果的に枝刈りを行うために、よい下限値を探索の早い段階で見積もる方法を考える必要がある。また、今回の探索は n ビットの入力ベクトルの1ビット目から上位へ0もしくは1と順々に値を確定していく事としたが、現在の入力から次の入力へ遷移する場合にどう遷移したら効果的であるかを考える必要がある。それと共に、規模が大きい回路でも二つの手法を比較していく必要がある。

謝辞 本研究の一部は、文部科学省福岡県知的クラスター創成事業による。

文 献

- [1] J.P. Halter and F. Najm, "A gate-level leakage power reduction method for ultra-low-power CMOS circuits", *IEEE Custom Integrated Circuits Conference*, pp. 475-478, 1997.
- [2] 根本 忠儀 著, "CMOS集積回路", 培風館, 1996.
- [3] 富沢 孝, 松山 泰男 監訳, "CMOS VLSI 設計の原理 システムの視点から", 丸善株式会社, 1998.
- [4] 柿本誠三, 小瀧浩, 柴田晃秀, 中野雅行, 足立浩一郎, 佐藤雄一, 太田賢司 "超低消費電力 LSI のための CMOS デバイス技術", シャープ技報 第 79 号, pp.16-21, Apr.2001.
- [5] L. Wei, Z. Chen, M. Johnson, and K. Roy, "Design and Optimization of Low Voltage High Performance Dual Threshold CMOS Circuits", *Design Automation Conference*, pp. 489-494, 1998.
- [6] T. Inukai, T. Hiramoto, and T. Sakurai, "Variable Threshold Voltage CMOS (VTCMOS) in Series Connected Circuits", *IEEE International Symposium on Low Power Electronics and Design*, pp. 201-206, August 2001.
- [7] 宇佐美公良, 河辺直之, 小泉正幸, 瀬田克弘, 古澤敏之, "高速・低スタンバイリークを実現する Selective MT 手法の提案", 信学技報 VLD2002-96, pp.79-84, Nov.2002.
- [8] A. Abdollahi, F. Fallah, and M. Pedram, "Runtime Mechanisms for Leakage Current Reduction in CMOS VLSI Circuits", *IEEE International Symposium on Low Power Electronics and Design*, pp. 419-424, August 2002.
- [9] Z. Chen, M. Johnson, L. Wei and K. Roy, "Estimation of Standby Leakage Power in CMOS Circuits Considering Accurate Modeling of Transistor Stacks", *IEEE International Symposium on Low Power Electronics and Design*, pp. 239-244, August 1998.
- [10] Sadiq M.Sait and Habib Youssef, 白石 洋一 訳, "組合せ最適化アルゴリズムの最新手法", 丸善株式会社, 2002.