

【フェロー記念講演】

レイアウト CAD と DFM

－ 始まりと成熟 －

三 橋 隆

日本ケイデンス・デザイン・システムズ社 DFM 開発部

〒222-0033 横浜市港北区新横浜 3-17-6

E-mail: mtakashi@cadence.com

あらまし 報告者は㈱東芝において約三十年にわたって VLSI レイアウト設計の自動化、設計検証自動化などの研究開発業務に携わる機会を得た。現在は日本ケイデンスにおいて DFM (Design for Manufacturing) のための CAD の開発を進めている。本論文では、それらの開発での経験や、技術のライフサイクルやテーマの選択に關する私見を述べる。

キーワード VLSI 設計、自動設計、レイアウト設計、設計検証自動化、技術のライフサイクル

Layout CAD and DFM

－ Beginning and Maturity －

Takashi Mitsuhashi

DFM R&D Japan, Cadence Design Systems, Japan
3-17-6 Shin-Yokohama, Kohoku-ku, Yokohama 222-0033, Japan

E-mail: mtakashi@cadence.com

Abstract The author had an opportunity to be engaged in development of VLSI layout design automation, and automation of design verification, almost 30 years in Toshiba Corp. Now, the author is involved in development of CAD for DFM (Design for Manufacturing) in Cadence Japan. This paper describes some experiences on those developments, and personal observations related to lifecycle of the technologies and experiences of the research theme selection that author did.

Keyword VLSI design, Design automation, Layout design, Design verification, Lifecycle of technologies

1. はじめに

1960 年代から始まった MOS LSI の技術革新は 3 年で 2 倍といわれる LSI チップ上の素子数の増大を背景に社会・産業に大きな変化をもたらした。一方、設計生産性の改善は年に 20% 程度といわれ、設計技術と半導体のテクノロジーのギャップが従来から設計危機の問題として指摘されてきた。

筆者がこの分野の研究開発に携わったのは、1970 年代の中ごろである。当時、レイアウトの自動設計ツールは一部の設計で使われていたものの、多くの設計は人手で行われていた。レイアウトをマイラ紙に製図し、デジタイザと呼ばれる座標読み取り装置でコンピュータに入力していた。この数値データをもとに作成したマスクで LSI の製造をしていた。このように人手作業によって設計データが作られていたため、いろいろな誤りが混入し所望の LSI を実現できないという問題を抱えていた。LSI 設計部門のこのような指摘を受けて、筆者らが開発したツールが第 2 節で述べるレイアウト検証プログラムである。幸いにも、本プログラムは 70~80 年代の多くの LSI の設計に活用してもらった。

LSI の大規模化とともに、1980 年代からようやく人手設計にも限界が見え始め、各種 CAD ツールの導入が試み始められた。ASIC の発展とその設計フローの考え方は、CAD による設計の大きなきっかけとなった。大々的に利用されるようになった CAD ツールにかけりが見え始めたのは、テクノロジーの微細化が進んだ 90 年代の後半からであった。配線の遅延など、従来無視できた各種の効果が顕在化してきたためである。これらは DSM (Deep Sub-Micron) 問題と呼ばれ、タイミング目標に到達できず設計が収束しないと言う困難を引き起こした。筆者等はこの問題の可能性を早くから認識し取り組んできた。第 3 節に、筆者等の取り組みを紹介するが、Correct by Construction の考え方により電気的特性を考慮した自動設計を可能とした。

広い立場で見ると、現在 LSI 製造で最も困難を抱えた技術領域のひとつはリソグラフィ技術であろう。193nm の ArF 光で 45nm のパターンを描こうとしておりリソグラフィのみでこの問題を解決するのは困難である。第 4 節ではリソグラフィの問題と DFM (Design For Manufacturing) の必要性を調べ、この分野での新たな

CAD/設計技術の展開の可能性を議論する。

日本国内には多数の世界的な半導体製造装置メーカーが存在する。最先端の半導体テクノロジーは製造技術と設計技術の協調を必要としており、日本はそのような技術開発の舞台となる潜在的な可能性を持っている。この地理的条件を活用することは日本の半導体産業、EDAを含む設計技術にとって緊急の戦略的課題である。

2. レイアウト検証

1970年代に、Calma, Applicon, Computer Vision, などの CAD (Computer Aided Design) と呼ばれる装置が登場した。これらは基本的にレイアウトの座標データをコンピュータに入力する機械であり、本質的に自動設計装置ではなかった。そのため、設計者起因のエラーが多発し、設計者やマネージャは対策に苦労していた。大きな検図台の上にプロット図をのせて、数人の設計者が何日も時間をかけて図面をチェックしていた。その当時は、誰も計算機でレイアウト設計の検証が出来るとは思ってはいなかった。

2.1. 問題の起源と開発

筆者がレイアウト検証を研究開発のテーマとして選択したのは、1975年ごろである。当時の筆者の上長が LSI 設計で頻発する凡ミスを嘆く声を聞いたのがきっかけである。当時論文等もほとんど無く、日本ではほとんど誰も手をつけていない状況であったと記憶している。

MOSLSIのデザインルールの例

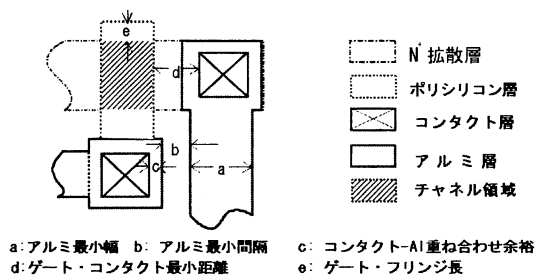
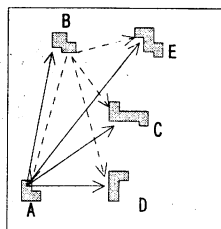


図 1 当時の典型的なデザインルール

レイアウト検証とは図 1 に示したような、いわゆる幾何学的なデザインルールをチェックする事や、レイアウト情報から回路やパラメタの抽出を行い接続や電気特性の検証を可能にする事をいう。ここで解決すべき問題は LSI レイアウトに特有の多量のデータの取り扱いであった。図 2 に示したように、ポリゴン図形相互の関係を調べる必要があり、計算に必要な手間は最悪でデータ量の自乗に比例する問題である。



A~E: 図形要素

図形相互の検査に必要な処理の回数は、図形要素の数を n とすると、

$$\frac{n(n-1)}{2}$$

となる

図 2 レイアウト検証の手間はデータ量の自乗

この問題に関しては、幸い画像/図形処理でよく用いられているスキャンライン手法が利用でき実用的に解決することが出来た。技術的な詳細は文献[1-4]などに発表されている。

2.2. 開発を取巻く当時の情勢

この検証システムは設計の誤りを何とか払拭したいという設計者やマネージャの心理をよく捉えることができ、東芝において、開発後十数年にわたって利用された。またその後、同様の機能を持つ設計検証システムが商品として各社から販売され、現在に至るまで EDA 会社の定番商品の一つとなっている。

この開発プロジェクトを成功とするならば、その理由は;(1)1970年代の設計の状況から発した潜在的ニーズをうまくつかんでいた、(2)計算幾何学に代表される1970年代初頭のコンピュータサイエンスの成果を取り込むことによって実用性のあるソフトを実現できた、(3)その時代、業界が CAD 開発に積極的であり資金的なバックアップがあった、(4)このソフトを基点に関連ソフトが開発され検証ソフトの連鎖チェーンが出来た、などにある。

2.3. レイアウト検証の現状

レイアウト検証プログラムは、現在では EDA ベンダーの定番ソフトとして、商品が販売されている。日本の半導体メーカーの多くもそれらの商品を利用しているものと考えられる。また、レイアウト検証に関連する、ソフトウェアがいろいろ開発された。たとえば、レイアウトからの RC などの回路パラメタを抽出するプログラムは素子などの寸法微細化とともに遅延計算のために必須のツールとなっている。図 3 は開発当初構想した関連ソフトウェアとその関連である。実際多くのソフトが実現された。

日本のエンジニアは DRC/レイアウト検証の開発の初期の時代には多くの技術的寄与を行うことができた。技術的に成熟して商業的に大きな意味を持つようになった現在、この分野の日本の技術者の寄与が小さくなったのは時代の流れとはいえ残念である。

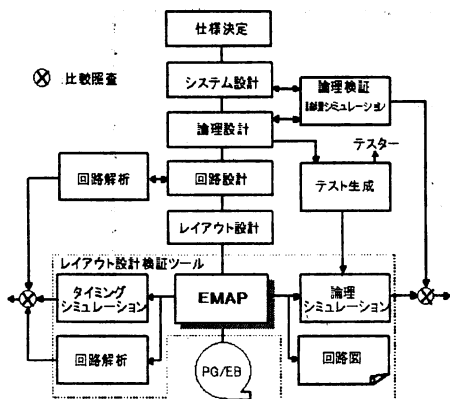


図 3 レイアウト検証と関連ソフトウェア

3. ディープサブミクロン問題とレイアウト CAD

1980 年代の末になると、セルを並べて端子間を結線する意味でのレイアウト CAD は成熟した技術と看做されるようになってきた。それまでこの分野に関与されてこられた研究者は新たなフロンティアを模索し始めた。いくつかのグループはより上位のレベルでの設計自動化の研究に着手した。また、別の研究者の方々はより直接的に設計に活路を見出そうとされた。筆者の属したグループでは、レイアウト CAD の次の課題および技術的可能性をプロセスの微細化と低消費電力化の軸に沿って見出すべく模索した。

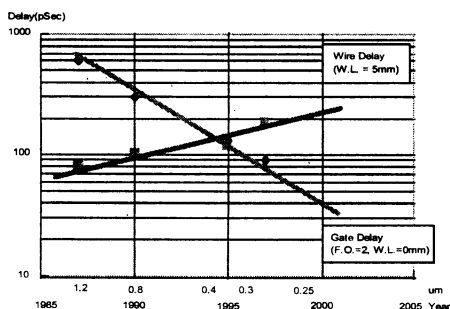


図 4 配線遅延が支配的になる

3.1. 微細化の影響

微細化によって、配線遅延が目立ち始め無視できなくなる。これは、DSM(Deep Sub-Micron)問題と呼ばれている。図 4 にトランジスタと配線に起因する遅延とがそれぞれ微細化によってどのように変化するかを示されている。従来の設計メソッドではファンアウト数とゲート段数によって遅延が決まったのであるが、DSM の時代には配線が済まないで遅延が決まらず、論理設計が確定しないという、“鶏が先か、卵が先か”的な問題をかかえ、従来の設計メソッドのパラダイムシフトを予感させた。現実の設計においても、目標

のクロック周波数が実現できない、タイミングコンバージェンス問題と呼ばれる問題が起こった。

チップ内で消費される電力も問題である。微細化により一つのチップにより多くの素子を搭載できるようになった。また、微細化はクロック周波数を上げることも可能とした。この結果、チップの消費電力は 1990 年ごろの調査では 10 年間で数十倍の増加が観測された。

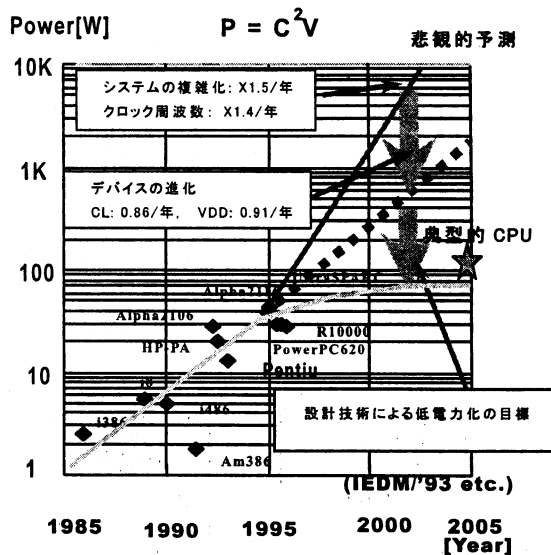


図 5 消費電力も大きな問題と予測していた

図 5 は 1990 年代の中ごろに CPU の消費電力のトレンドを予測したグラフである。回路規模の増大(システムの複雑化)とクロック周波数の増大だけを見ると、2005 年には 10kW を超える LSI の出現が予測された。デバイスの微細化と電源電圧の低下を考えても、消費電力 2kW のチップとなってしまふ。パッケージや冷却の現実的制限を考えると数 10W の消費電力にする必要性があった。この消費電力を実現するためにいろいろな CAD ツールが開発されたがここでは詳細は述べない。消費電力予測の試み[9]、消費電力を考えたトランジスタサイジングの試み[10]、および論理合成とレイアウト後の再論理合成によって低消費電力化を行った事例[12]を紹介するととどめる。

現在最先端の CPU の消費電力は約 100W 程度であるが、一桁程度の低電力化を CAD を含む設計上の工夫で実現したことになる。

3.2. Correct by Construction

DSM 問題の顕在化とともに、タイミングドリブレイアウトと呼ばれる手法が数多く提案された。これらの手法は、ある配線モデルやそれに基づく遅延モデル

を基に最適化を行うものである。従って、これらのモデルの精度に結果が大きく依存してしまい、実現されたレイアウトにおいては、必ずしも最適な結果が得られない場合が多かった。そのような中で、力を発揮したのは Correct by Construction に基づく手法である。論文[7],[8],[11],[12]はその報告である。

論文[7]では、配置終了後にタイミング制約を満足していないネットについてファンアウト分解をしてタイミング改善を行う手法が紹介されている。この定式化では実際の配置を利用して遅延を推定できるために効率のよい遅延改善が出来た。他の論文に記述されたアイデアはいずれもタイミング問題や低消費電力化の問題をレイアウトの視点から捉える事によってうまく解決できた例である。表1はこの手法による改善の例を示す。このように問題の領域の壁を越えた視点を持ち込むことによって、この場合はレイアウトと論理改良を同時に行う、ある種の先進性を獲得できた例であると考えている。

表 1 Correct by Construction による遅延改善例

Circuit	Technology (um)	# of Net	# of Cell	Delay (N Sec.)		Improvement (%)
				Before	After	
Chip-1	0.5	60k	50k	23.00	18.98	17.5
				17.49	11.14	36.3
				15.74	11.14	29.1
				7.95	7.39	7.7
Chip-2	0.8	23k	20k	50.09	41.99	16.3
				47.28	39.6	16.2
				44.61	35.75	19.9
				43.72	36.29	17.0
Chip-3	0.8	54k	43k	52.44	44.77	14.8
				27.78	24.33	12.4

3.3. Ad hoc だが重要な問題たち

LSI の設計の中には各論的で特殊ではあるが非常に重要な問題が存在する。レイアウトについていえば、クロック配線[6]や電源配線[5]がその例である。

同期回路においては、チップ内に張り巡らされたクロック信号によってすべてのフリップ・フロップなど記憶回路の信号取り込みが制御されている。各記憶回路へのクロック信号の到達時間の差をクロックスキューとよぶが、これが存在すると回路は誤動作する可能性が出てくる。そのため、クロックスキューを所定値以下にすることは非常に重要である。特に、DSM 時代に突入し配線の RC がよく見えるようになってからは大きな問題となっている。

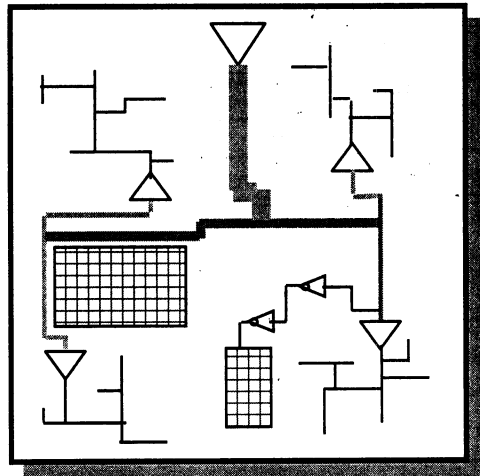


図 6 クロックツリーのコンセプト [6]

論文[6]で報告したクロックツリー生成システムではクロック木を二分木として構成する。ここで、ツリーの枝の先端につながる負荷容量はバランスするようにツリーを構成する。ここでも Correct by Construction の考えに基づき、すでに配置されたセルをもとに木を生成した。さらに、線幅最適化による遅延最小化とエレクトロマイグレーション問題の解決や、実際の配置に基づく大規模マクロの迂回機能などを実現した。

表 2 CTS によるクロックの遅延とスキュー

CKT	# of F/F	Chip Size (mm ²)	区分 (nS)	バッファ無し		2 段バッファ	
				最小線幅	最適線幅	最小線幅	最適線幅
A	6000	17.20	遅延	19.58	4.60	3.25	2.53
			skew	0.00	0.00	0.02	0.03
B	17661	14.77	遅延	23.24	6.05	3.64	2.37
			skew	0.00	0.00	0.01	0.01
C	2947	11.59	遅延	11.80	2.27	2.01	1.56
			skew	0.00	0.00	0.02	0.02
D	4907	14.77	遅延	14.11	5.87	2.30	1.94
			skew	0.01	0.01	0.01	0.01

CTS と呼ばれるプログラムを用い、クロックツリーを構成した事例を表2に示した。二分木のバランスを取ることと線幅の最適化をはかることによってクロックの遅延・スキューともに正確に制御できたことがわかる。このような数理最適化が可能な問題に CAD は非常に有効である。

LSI の電源電圧が下がり、電流量が大きくなると IR ドロップなどが顕著になり電源・グランド配線は今後ますます大きな問題となる。また、エレクトロマイグレーションの問題や配線リソースの競合も考えねばならず複雑な問題である。論文[5]に一つのアイデアを示したが、ダイナミックな変動などを含めて今後検討が期待される分野と考えている。

3.4. DSM(Deep Sub-Micron) 問題の今後

この10数年、LSI設計およびそのCAD/EDA技術は電気特性的な諸問題と格闘してきた。すなわち、遅延、IRドロップ、クロストーク、シグナルインテグリティ、などである。これらの問題のいくつかはソリューションが見つかったものもある。しかし、多くの問題は今でも解決のための努力が進められている。今後、半導体の微細化が進むとさらに難しい問題が提起されると考えられる。LSIの歩留まりや製造可能性に関連した問題は、DFM (Design for Manufacturing) と関連し大きな問題となる。

4. DFM; ニューフロンティア?

微細化に伴い、半導体の製造現場ではいろいろな困難に直面している。その問題とは;(1)リソグラフィ、(2)歩留まり、(3)複雑度の増大、などである。従来、設計と製造の現場は明確に分離されてきた。そのこと自体は責任分担の明確化という意味でよい事であった。しかし、微細化による上記問題の顕在化によりこの責任分担の維持は困難になりつつある。設計側で手を打てば製造側での負担を解決できる可能性は高い。EDA/CAD としても活躍の機会は多いと考えられ、まさにニューフロンティアである。

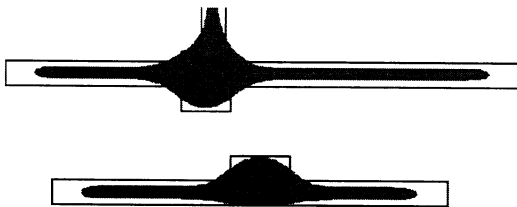


図7 近接効果でパターンが変形する

4.1. リソグラフィ

現時点で最先端の露光装置は ArF と呼ばれる波長 193nm の光を用いている。この光を用いて 90nm, 65nm, 45nm のパターンを描画しようというのが現在のリソグラフィの主流の考え方である。露光用光学系の対物レンズとウェハの間に液体を満たして屈折率をかせぐ液浸技術の導入はあるものの、光の波長の数分の一の寸法の像を描こうとしており非常に難しい。この問題を解決するためには、OPC (Optical Proximity Correction) プログラムが開発されている。図7に示すようにパターンが変形するため、レイアウトパターンを工夫することによって所望のイメージが得られるようにする。また、今後は配置・配線プログラムも近接効果などを考慮する必要が出てくる。微細化に伴い設計技術が行うべきことはますます多くなる。このような微細なパターンを

プリントするためのマスク製作に必要な技術も高度化している。一セットのマスクの価格が近々数億円になると言われ、新たな LSI 設計を開始する上での障害の一つになっている。この問題の解決も、今後の半導体産業の発展を支えていくためには重要である。

4.2. 歩留り

微細化に伴い LSI 製品の歩留り向上の重要性が高まっている。特に、微細化が進むとパーティクルなどランダムな事象で起こるものよりレティクルやデザインに起因する歩留り低下原因が増えるといわれている。図8はその様子を示してある。これらの問題はあらかじめ設計段階で EDA ツールを使って対策しておいたり、チップの歩留りの分析によって設計の改良すべき点を明らかにする事が可能となる。この分野についても今まさに熱くなろうとしている領域であり若手の活躍が期待される。

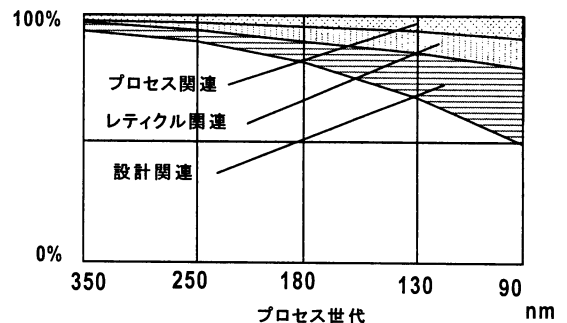


図8 歩留り低下の主な原因はシステマティック

5. まとめ

筆者は 1970 年代の中ごろから LSI 設計のための CAD の開発に関与する幸運な機会を得た。LSI レイアウト検証プログラムの開発や、レイアウト CAD、特に Deep Sub-Micron 時代の LSI 物理設計の諸問題の解決に微力ながら関与することができた。その経験を簡単に振りかえるとともに、そのような開発に何ゆえ着手したのかなどの技術的背景や経緯を簡単に述べてみた。以下、私見に基づく体験的 CAD 開発戦略についても述べておく。

設計の現場や製造の現場には解決すべき問題が山ほど有る。現場で問題を発掘することは何よりも有益である。レイアウト検証ソフトの開発はそのような現場の声がスタートであった。一方、計算幾何学などコンピュータサイエンスの発達時期とも重なり、研究者の成果からも刺激を受けることができ、研究と現場の良好なサイクルが存在し、幸せであった。

DSM および、低消費電力設計に関しては、どちらか

といえロードマップによって問題の存在を予測してCADの開発に着手した。組織的に研究開発を行うにはそのような戦略が必要である。

半導体産業はロードマップに従って微細化が進んできた。微細化こそがこの産業の活力の源泉であった。我々、CAD開発者はこのロードマップに従って将来の設計の様相を予想して解決すべき問題を認識することができる。微細化が主要な産業のドライビングフォースで無くなった場合、何を基軸にして次の開発計画を立てるかが問題になってくる。幸いにも、45nm、32nm世代についてもITRS等でいろいろ議論されている。これらを検討することにより次の世代でCAD/EDAが行うべきことのイメージが明らかになると思われる。

DFM問題の顕在化により、EDA/CAD、設計技術にとって研究開発の新しいフロンティア化しつつある。広い分野で、大きな寄与ができる可能性は高い。

文 献

- [1] 三橋, 千葉, 吉田, 飯尾, 中塚, 中田, “LSI のデザインルールチェックプログラム”, 情処設計自動化研究会, DA31-1, pp.1-10, 1977.
- [2] K.Yoshida, T.Mitsuhashi, Y.Nakada, T.Chiba, K.Ogita and S.Nakatsuka, “A Layout Checking System for Large Scale Integrated Circuits,” Proc. 14th DA Conf., pp.322-330, 1977.
- [3] T.Mitsuhashi, T.Chiba, M.Takashima, and K.Yoshida, “An Integrated Mask Artwork Analysis System,” Proc. 17th DA Conf., pp.277-284, 1980.
- [4] T.Mitsuhashi and K.Yoshida, “A Resistance Calculation Algorithm and Its Application to Circuit Extraction,” IEEE Trans. on Computer-Aided Design, Vol. CAD-6, No.3, pp.337-345, May, 1987.
- [5] T.Mitsuhashi and E.S.Kuh “Power and Ground Network Topology Optimization for Cell Based VLSIs,” Proc. 29th DA Conf., pp.524-529, June, 1992.
- [6] 高野, 南, 小島, 三橋, “ディレイ・スキュー最小化のための線幅最適化クロック配線手法”, 信学技報 CAS93-9, pp.57-63, 1993.
- [7] T.Aoki, M.Murakata, T. Mitsuhashi, and N.Goto, “Fanout-tree Restructuring Algorithm for Post-placement Timing Optimization,” Proc. of ASP-DAC '95, pp.417-422, 1995.
- [8] M.Murakata, M.Murofushi, M.Igarashi, T.Aoki, T.Ishioka, T.Mitsuhashi and N.Goto, “Concurrent Logic and Layout Design System for High Performance LSIs,” Proc. of IEEE 1995 Custom Integrated Circuits Conference, pp.465-468, 1995.
- [9] T.Uchino, F.Minami, T.Mitsuhashi and N.Goto, “Switching Activity Analysis Using Boolean Approximation Method,” Proc. of 1995 ICCAD, pp.20-25, 1995.
- [10] M.Yamada, S.Kurosawa, R.Nojima, N.Kojima, T.Mitsuhashi and N.Goto, “Synergistic Power/Area Optimization with Transistor Sizing and Wire Length Minimization,” IEICE Trans. Electron., Vol.E78-C, No.4, pp.441-446, April, 1995.
- [11] T.Mitsuhashi, T.Aoki, M.Murakata, and

K.Yoshida, “Physical Design CAD in Deep Sub-micron Era,” Proc. of '96 EuroDAC, pp. 350-355, Sept. 1996.

- [12] M.Murofushi, T.Ishioka, M.Murakata and T.Mitsuhashi, “Layout Driven Re-synthesis for Low Power Consumption LSIs,” Proc. of the 34th DA Conf., pp.666-669, 1997.