

動的再構成システムにおける FPGA 部分再構成技術の適用と評価

清田 享伸[†] 八並泰一郎[†] 木佐貫 健[†]

吉廣 秀章[†] 久我 守弘^{††} 末吉 敏則^{††}

^{†, ††} 熊本大学大学院 自然科学研究科

E-mail: [†]{kiyota,yatsunami,kisa,yoshihiro}@arch.cs.kumamoto-u.ac.jp,

^{††}{kuga,sueyoshi}@cs.kumamoto-u.ac.jp

あらまし FPGA の部分再構成技術は、再構成時間の短縮や動的な再構成を可能とする等、FPGA の柔軟性をより高める技術である。しかし、その仕様や制約の面から現状では部分再構成が可能な FPGA もあるが動的再構成システムへの適用は難しい。そこで我々は、動的再構成システムの開発を通して FPGA の部分再構成技術についての研究を行ってきた。本稿では、プロセッサ混載 FPGA において現時点で利用可能な部分再構成技術を用いて動的再構成システムの構築し、その性能について評価を行う。今回構築したシステムでは、Virtex-II Pro FPGA を用いて部分再構成を行った。デバイスを 2 分割し、その片方に載ったプロセッサからもう片方の部分を再構成する。部分再構成を行ったアプリケーションには、RGB 画像変換式である RGB-CMYK 変換、RGB-YIQ 変換、Gray Scale フィルタの 3 つを用いた。構築したシステムでは、再構成に必要な時間を含めてもソフトウェア処理と比べて約 4~6 倍の速度向上を見込めることがわかった。

キーワード FPGA, 部分再構成, 動的再構成, プロセッサ混載 FPGA

Adoption and Evaluation of FPGA Partial Reconfiguration for a Run-time Reconfigurable System

Yukinobu KIYOTA[†], Taiichiro YATSUNAMI[†], Takeru KISANUKI[†], Hideaki YOSHIHIRO[†],
Morihiro KUGA^{††}, and Toshinori SUEYOSHI^{††}

^{†, ††}Department of Mathematics and Computer Science, Graduate School of Science and Technology,
Kumamoto University

E-mail: [†]{kiyota,yatsunami,kisa,yoshihiro}@arch.cs.kumamoto-u.ac.jp,

^{††}{kuga,sueyoshi}@cs.kumamoto-u.ac.jp

Abstract FPGA partial reconfiguration is the technique which make FPGA more flexible. We have studied about partial reconfiguration and built the run-time reconfigurable system using the FPGA with an embedded processor and the technique we can use at present. This paper considers the feature of the system through its evaluation. We used Virtex-II Pro and divided it two parts. The system reconfigure the one part through the processor in another part. Even if it includes the time required for the reconfiguration, the performance of our system can be expected 4-6 times faster than the software processing of some graphics programs.

Key words FPGA, Partial Reconfiguration, Run-time Reconfiguration, FPGA with an embedded processor

1. はじめに

近年、FPGA (Field Programmable Gate Array) に代表されるように、回路の変換構造を持つ LSI の研究が盛んに行われている。またそれに伴い、その可変性を積極的に活用する再構成システム (Reconfigurable System) が注目されている。再

構成システムの特徴は、アプリケーションの要求に応じて必要なハードウェア機能を再構成できることであり、これによってハードウェアリソースを増加することなく様々な機能を得ることができる。

そこで、我々は FPGA を用いた動的再構成システムである EXPRESS-2 の開発を行っている [1]。我々の開発している動的

再構成システムの特徴は、FPGA 内部に組み込まれたプロセッサがアプリケーションに必要なハードウェアを再構成させる点であり、この機能によってシステム全体の動作を止めることなく FPGA を再構成し新たな機能へ変更することができる。

EXPRESS-2 の開発には、FPGA の部分再構成技術が必要である [2]。再構成時間の短縮や動的な再構成を可能とする等、部分再構成技術は FPGA の柔軟性をさらに高める技術である。しかし、その仕様や制約の面から、現状では部分再構成が可能な FPGA もあるが動的再構成システムへの適用は容易ではない。そこで、本研究ではプロセッサ混載 FPGA おいて現時点で利用可能な部分再構成技術を用いて動的再構成システムを構築し、その性能について評価を行う。今回構築したシステムは EXPRESS-2 を見据えたシステムであり、EXPRESS-2 のプロトタイプといえる。このプロトタイプでは、デバイスを 2 分割しその片方に載ったプロセッサを通してもう片方の部分を再構成できる。動的再構成システムとしての基本的な性能の評価として、アプリケーションのハードウェア化による高速化についてや、部分再構成を行うにあたっての構成データ量および再構成にかかる時間について評価を行う。

以下、2. では我々が提案している動的再構成システムである EXPRESS-2 について、およびシステム構築に用いた FPGA である Virtex-II Pro の部分再構成技術について説明する。次に、3. でこの FPGA を用いて実際に構築したシステムについて述べ、4. にてシステムの評価を行う。そして、5. でまとめと今後の課題について述べる。

2. EXPRESS-2 と部分再構成技術

本研究では、これまでに EXPRESS-1 という動的再構成システムを開発してきた [3] [4]。EXPRESS-1 では、ARM プロセッサを混載した全体再構成型の FPGA を用いてシステムを開発した。現在、部分再構成が可能な FPGA の登場に伴い、我々は EXPRESS-1 からの発展的なシステムである EXPRESS-2 と呼ぶ動的再構成システムの開発を行っている。

EXPRESS-2 には、部分再構成可能なプロセッサ混載 FPGA である米国 Xilinx 社製の Virtex-II Pro [5] を用いることを考えている。しかし、部分再構成技術を用いる際にはそのデバイス特有の制約を満たす必要がある。そこで、本章では EXPRESS-2 の特徴的な機能やシステムのフレームワークについて述べ、使用デバイスである Virtex-II Pro での部分再構成について述べる。

2.1 動的再構成システム EXPRESS-2

図 1 に、我々が提案している動的再構成システムである EXPRESS-2 のフレームワークについて示す。EXPRESS-2 には、部分再構成やセルフリコンフィギュレーション、ネットワークを用いた機能拡張といった特徴的な機能がある。以下に、その機能について述べる。

部分再構成：FPGA の部分再構成とは、FPGA のある特定の領域の回路のみを再構成させる機能である。その際に、再構成と関係のない部分の回路はその動作を止めることはない。EXPRESS-2 では、システムの制御を行う Fixed-module と部

分再構成を行う Reconfigurable-module がある。Fixed-module は再構成は行わずその動作も止めない。Fixed-module での制御により Reconfigurable-module 内を再構成し、新たな機能への変更を行う。

セルフリコンフィギュレーション：FPGA に混載されたプロセッサにより FPGA の一部を内部から再構成することで、1 チップ内での再構成の制御を可能にする機能である。本研究で使用する Virtex-II Pro には、混載プロセッサに PowerPC が組み込まれている。よって、この PowerPC から再構成を行うことになる。また、内部からの再構成については FPGA デバイスによって仕様が異なるが、Virtex-II Pro では ICAP (Internal Configuration Access Port) インタフェースを用いて再構成を行う。

ネットワークを用いた機能拡張：EXPRESS-2 では部分再構成を行うための構成データが必要となる。その構成データはチップ外のメモリにおくことになるが、そのメモリ容量により搭載できる構成データの数には制限される。これは、変更できる機能を制限することになり、システムの柔軟性を損なうことになる。そこで、FPGA の遠隔再構成技術を用いて、ネットワーク上のデータベースから構成データをダウンロードすることで新たな機能の追加を行う [6]。

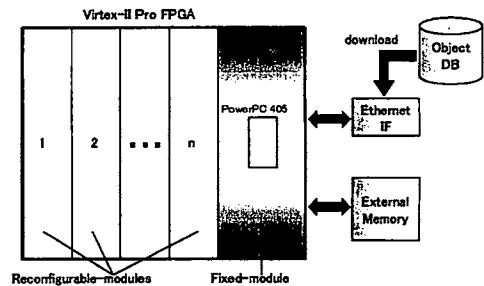


図 1 EXPRESS-2 のフレームワーク

2.2 Virtex-II Pro FPGA での部分再構成

図 2 に、今回使用している 米国 Xilinx 社製 Virtex-II Pro FPGA の概要図を示す。図 2 での CLB (Configurable Logic Block) が、FPGA の論理ブロック (LB: Logic Block) に相当するものである。Virtex-II Pro で特徴的な点は、組込み向けプロセッサである PowerPC 405 プロセッサ 1 つあるいは 2 つがハードコア IP (Intellectual Property) として混載されていること、および、内部からの再構成を行うための ICAP を備えていることである。また Virtex-II Pro での再構成は、縦 1 列に並んだコンフィギュレーションメモリ単位で行う。

このような Virtex-II Pro のアーキテクチャが、部分再構成を用いたデザインを設計する際の制約になる。以下、本節ではその制約について述べる。なお、本節で述べる設計制約は部分再構成を必要とするデザインを設計する際のみ気を付けなければならない制約である。

- モジュール同士が再構成時の境界上で通信しなければならない場合、専用のマクロを使用しなければならない。この

マクロは Bus Macro と呼ぶ。Virtex-II Pro の Bus Macro は、CLB 内のトリステートバッファとロングラインにより構成され、1つの Bus Macro で 4 ビットの通信が可能である。

- Reconfigurable-module の高さは、すべてデバイスの高さと同じでなければならない。さらに、横幅は 4 スライス (1 列の CLB) の倍数でなければならない。つまり、必ず長方形となっている。

- 個々の Reconfigurable-module は、直接使用できる I/O がその領域にあるもののみに限られている。

- クロック用のロジック (BUFGMUX, CLKIOB 等) は、Reconfigurable-module にあってはならない。

- すべての Reconfigurable-module は固定されており、変更することはできない。つまり、大きさを変えたり場所をずらしたりすることはできない。

これらの制約のために、部分再構成を利用したシステムの設計は複雑で難しい。さらに、ツールのサポートも十分といえるものではないため、ツールを利用するノウハウの蓄積が必要である。

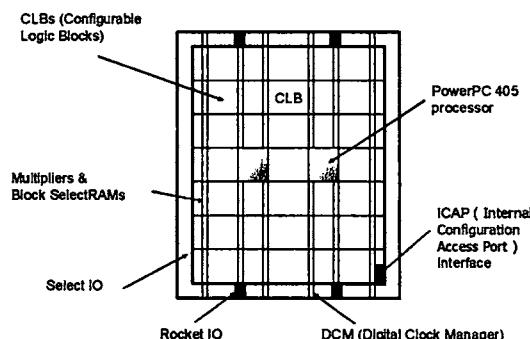


図2 Virtex-II Pro FPGA のアーキテクチャ

2.3 部分再構成用構成データの生成

部分再構成を行うには特殊な構成データを用いる。この部分再構成用構成データは、その生成法の特徴から全体再構成を行う際の構成データよりもデータ量が少なくなる。図3に、その生成法について示す。図3は、回路Bを回路Cに部分再構成した例である。このように再構成前後での差分のみが部分再構成用の構成データとなる。また、1つの構成データを用いて逆の再構成はできない。つまり、BからCへの構成データを用いて、CからBへの再構成はできない。

3. 構築した動的再構成システム

2.にて、EXPRESS-2や Virtex-II Pro の仕様について、およびそれを用いて部分再構成を行う際の制約等について述べた。本章では、2.で述べた制約等を考慮しつつ実際に構築した動的再構成システムや、部分再構成を行う際の構成データの流れについて述べる。このシステムは EXPRESS-2 のプロトタイプであり、動的再構成システムとしての基本的な機能を持つシステムといえる。よって、以下ではプロトタイプと呼ぶ。

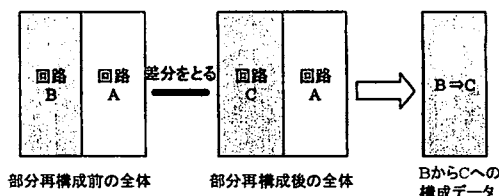


図3 部分再構成用構成データの生成法

3.1 プロトタイプの概要

図4にプロトタイプの概要図を示す。プロトタイプではFPGA部を2分割し、Fixed-moduleを1つ、Reconfigurable-moduleを1つとした。2分割の割合はReconfigurable-moduleが37%、Fixed-moduleが63%である。

Fixed-module は、混載プロセッサである PowerPC 405 プロセッサ、プロセッサからの再構成を行うための ICAP、Reconfigurable-module に載った回路とのデータのやりとりを行うためのモジュール間通信回路、そして、メモリとして BRAM と SDRAM を持つ。SDRAM は FPGA 外にあり、Fixed-module には SDRAM のコントローラがある。各回路は PLB (Processor Local Bus) に接続している。

Reconfigurable-module 内には、部分再構成により様々な回路が実装可能である。しかし、Bus Macro の数は固定されることになるので、Fixed-module 側との通信幅については注意が必要である。

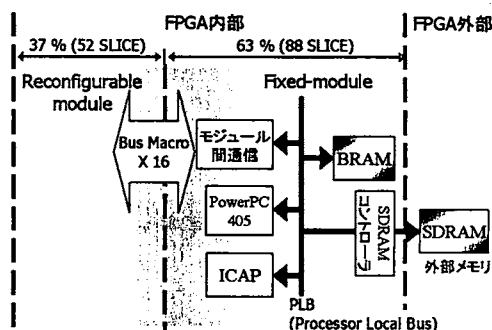


図4 プロトタイプの概要

3.2 モジュール間通信

Reconfigurable-module と Fixed-module 間は、Bus Macro にて接続される。プロトタイプでは、入出力合わせて合計で 16 個の Bus Macro を使用している。よって、最大で 64 ビットのモジュール間通信が可能である。また、Reconfigurable-module 側とのデータのやりとりを行うためにモジュール間通信用の回路を作成した。その概要を図5に示す。Bus Macro はこの通信回路と接続し、Reconfigurable-module の入出力はこの回路を介して行う。

本研究で用いた通信回路は、Reconfigurable-module への出力として合計 24 ビットと回路のスタート信号を、Reconfigurable-module からの入力として各回路での演算結果 32 ビットと終

了信号をそれぞれ持つ。このビット幅については、今回実装したアプリケーション回路の入出力数から決定している。この通信回路は PLB に接続されているため、PLB を通して PowerPC とデータの転送ができる。

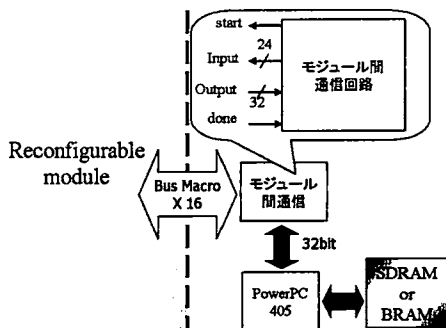


図5 モジュール間通信回路

3.3 部分再構成の流れ

前章で述べたように、ICAP を用いたプロセッサからの再構成で1チップでの再構成が可能となる。プロトタイプでも、その機能を有している。図6に再構成を行う際の構成データの流れを示す。本研究では、部分再構成を行うための構成データはそのサイズのため SDRAM に置いている。部分再構成を行う際には、PLB を通して PowerPC が SDRAM から構成データを32ビット単位で取得し、それを8ビット単位に分割して ICAP へ送る。これを構成データ量だけ繰り返すことで、再構成が完了する。

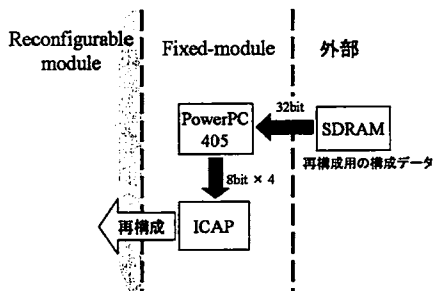


図6 部分再構成の流れ

4. 評価

4.1 評価項目

本章では、3.で述べたプロトタイプにおいて実際にアプリケーションの動作や部分再構成を確認し、その性能について評価を行う。主な評価項目は、以下の3項目とする。また、それらの結果から統合した評価を行う。

ハードウェア化による高速化のメリット：アプリケーションをFPGAへ実装することで、ソフトウェアでの処理よりも高速化することが可能となる。この評価では、FPGAに再構成し

た回路での処理時間とソフトウェアでの処理時間を比較し、その速度向上について評価する。

システムのデータ通信評価：Reconfigurable-module 内の回路の入出力はFixed-module 側で制御され、その通信はモジュール間通信回路を通して行われる。この評価では、モジュール間通信回路を含め構築したシステムでのデータ通信時間について評価を行う。

部分再構成での再構成時間：プロトタイプが動的再構成システムと呼べる理由は、Fixed-module 側が動作を止めずに部分再構成により Reconfigurable-module 側の変更ができるためである。よってこの評価では、実際に部分再構成を行った際の構成データ量や再構成時間について評価を行う。

4.2 開発環境と評価環境

表1に開発環境を示す。開発ボードは、Memec社製 Virtex-II Pro FF1152 開発ボードを用いた[7]。このボードには Xilinx 社の Virtex-II Pro XC2VP50 が載っており、混載プロセッサとして2つの PowerPC 405 プロセッサがある（但し、使用したプロセッサは1つのみである）。設計ツールには、同じく Xilinx 社の EDK 7.1i (Embedded Development Kit) と ISE 7.1i (Integrated Software Environment) を用いた。

次に、表2にプロトタイプでの各機能モジュールの動作周波数について示す。また、今回の評価には、アプリケーションとして RGB-CMYK 変換、RGB-YIQ 変換、Gray Scale フィルタの3回路を用いた。その理由としては、各回路で入出力数が似ており部分再構成をする際に Bus Macro との接続で変化させる必要がないことや、比較的軽い規模の回路で部分再構成を成功させやすいこと等がある。また、比較対象としてソフトウェアでの評価があるが、この評価は1つの PowerPC を用いて行っている。

各アプリケーションでの処理対象は、320×240のRGB画像である。各回路での処理単位は1ドット分であり、評価での処理時間は1ドットでの処理を320×240のサイズ(76,800ドット)分繰り返した際の処理時間となる。

表1 開発環境

開発ボード	Virtex-II Pro FF1152 開発ボード FPGA : Virtex-II Pro XC2VP50 混載プロセッサ : PowerPC 405
設計ツール	Xilinx EDK 7.1i, ISE 7.1i

表2 各機能モジュールの動作周波数

動作周波数	機能モジュール
50MHz	Reconfigurable-module, ICAP
100MHz	モジュール間通信回路, BRAM, SDRAM, PLB
300MHz	PowerPC 405

4.3 ハードウェア化の評価

表3に、各アプリケーション回路の回路規模と最大動作周波数について示す。表3からわかるように、各回路の規模は小さなものであり、最も大きなRGB-YIQ変換でも使用しているFPGAのサイズからするとReconfigurable-module内の10%に満たない程度である。よって、配置配線を行うにあっても余裕を持って行うことができ、部分再構成も成功している。しかし、大きな回路を載せる場合は、再構成領域との兼ね合いで部分再構成が成功しない恐れがある。

次に、図7にソフトウェアでの処理との比較を行う。図7に示した処理時間は単純に各回路内での処理のみの時間であり、モジュール間通信回路を通したデータ転送時間については含んでいない。なお、プロトタイプでは、Reconfigurable-module内の回路のクロックにFixed-module側から50MHzを供給しているため、構成した3回路の動作周波数も50MHzとする。図7の結果から、今回実装した3つアプリケーションではハードウェア化により約4～10倍の高速化が望めることがわかった。

表3 実装回路の規模

回路	回路規模 (Gate)	最大動作周波数 (MHz)
RGB-CMYK	2,941	206.8
RGB-YIQ	11,853	94.2
Gray Scale	5,479	93.4

※ ISE7.1 のレポートより

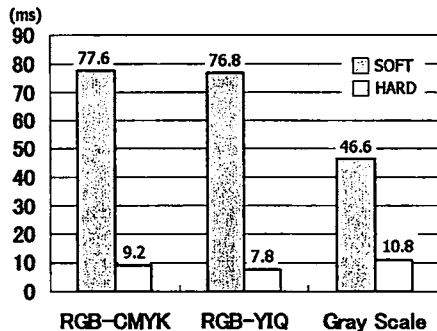


図7 ハードウェア化による速度向上
(データ転送時間含まず)

4.4 データ転送を含めた評価

本節ではモジュール間通信も含めデータ転送を行った際の評価を行う。入出力データをFixed-module側のSDRAMにてロード&ストアする際の処理時間を調べた。図8に、各処理時間を示す。図8でのソフト評価(SOFT)とハード評価(HARD)は、プロトタイプでの実測値である。

図8より、データ転送時間を含めるとソフト評価とハード評価での処理時間がほぼ互角となっていることがわかる。図5に示したように、プロトタイプではモジュール間通信回路～SDRAM間のデータ転送の際にPowerPCを介しており、PowerPCのソフト処理によりデータ転送を行っている。そのため、その

データ転送時のソフト処理がボトルネックとなっている。実際、PowerPCからReconfigurable-moduleへデータをストアしたのち、次にReconfigurable-moduleから結果をロードする際には、すでにハードウェアでの処理結果を得ることができている。そのため、図8のハード評価でわかるようにハードウェアでの処理時間はデータ転送時のソフト処理に隠れてしまっている。なお、ハード評価でのデータ通信時間がソフト評価よりも大きい理由は、ソフト評価はSDRAM～PowerPC間のデータ通信のみ行えばよいのに対し、ハード評価ではSDRAM～PowerPC間とPowerPC～モジュール間通信回路間との2回の通信を行わなければならないためである。これでは、ハードウェア化による高速化の利点が活かせない。

そこで、図8にはPowerPCを介さずにDMA(Direct Memory Access)によるデータ転送を想定した際の、処理時間を計算した(HARD理論値)。この処理時間の理論値は、プロトタイプを基にSDRAMコントローラでの32ビット転送のREAD/WRITEサイクルタイム、およびPLBとモジュール間通信回路のREAD/WRITE時にかかるクロックサイクルと動作周波数からデータ転送にかかる時間を計算し、前節で示した処理時間を足したものである。この結果より、ソフト評価と比べると3つのアプリケーションでは約6～10倍の速度向上が見込めることがわかった。

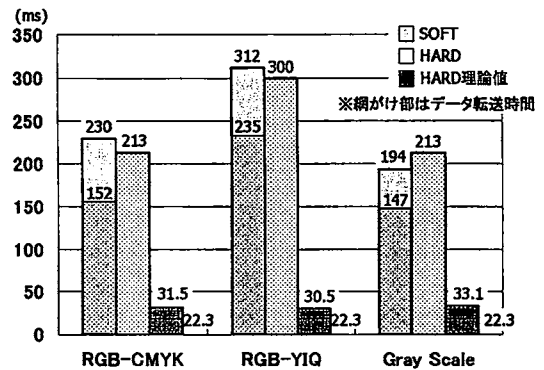


図8 データ転送時間を考慮した処理時間

4.5 部分再構成についての評価

部分再構成は、プロトタイプの大きな特徴である。本節では部分再構成についての評価を行う。表4に、部分再構成に必要な構成データ量と実際に再構成した際にかかった時間について示す。部分再構成のための構成データ量は全体再構成に必要な量の10分の1程度となった。構成データ量については、どのような回路を実装するかや部分再構成前後での違いによって異なるので定量化はできないが、全体再構成用と比べると小さくなることは明らかである。

また、再構成時間には数百msの時間がかかっている。表4より、プロトタイプで部分再構成を行う際の再構成ビットレートは14Mbit/sとなった。しかし、部分再構成の評価でもSDRAM～ICAP間のデータ転送でのPowerPCの処理がボト

ルネットワークとなっていることは明らかである。よって、前節と同じように SDRAM, PLB および ICAP での転送時間の理論値を計算した。計算した理論値の再構成ビットレートは 123Mbit/s となる。なお、全体再構成での再構成時間は、実測結果および理論値での再構成ビットレートをを用いて計算した結果である。

表 4 部分再構成についての評価

種類	構成データ量 (Byte)	再構成時間 (ms)	理論値 (ms)
CMYK → YIQ	371,060	210	24.1
YIQ → Gray	329,164	187	21.4
Gray → CMYK	246,460	140	16.0
全体再構成	2,377,755	1,359	154.6
再構成ビットレート		14Mbit/s	123Mbit/s

4.6 統合評価

本節では、これまでの評価を統合した評価として、部分再構成を行ってから回路が処理を終了するまでの時間について評価する。図 9 に、処理時間の評価を示す。図 9 の評価は、図 8 の結果と表 4 の再構成時間をあわせた評価である。ソフト評価 (SOFT) は、再構成とは関係ないため図 8 と同じである。ハード評価 (HARD) は、所定の回路の再構成時間とその回路での処理時間を足した時間であり、プロトタイプを用いた際の実測値となる。また、HARD 理論値はデータ転送時のボトルネックとなる PowerPC でのソフト処理を除き、再構成時間およびハードウェア処理時間の和となる。

図 9 の結果からわかるように、再構成時間も考慮するとプロトタイプでのハード評価ではソフトウェアでの処理時間に劣ってしまうことがわかる。しかし、その理由はデータ転送の際の方法にあり、その問題を解決した評価が HARD 理論値である。HARD 理論値より、ソフト評価と比較すると 3 つのアプリケーションで約 4~6 倍の速度向上が可能であることがわかった。

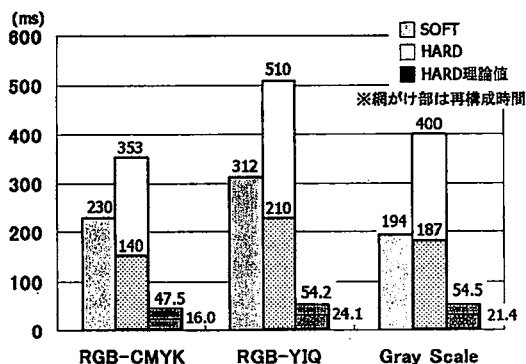


図 9 部分再構成から処理までの評価

5. まとめと今後の課題

本稿では、現在使用可能な部分再構成技術を用いて動的再構成システムの構築を行い、その評価を行った。今回使用した FPGA は Xilinx 社製 Virtex-II Pro であり、構築したプロトタイプはこのデバイスで利用可能な部分再構成技術や動的再構成を用いている。評価では、実際にアプリケーションを部分再構成しその処理時間等をソフトウェアでの処理と比較した。再構成時間も加えた処理時間の比較では、構築したシステムはソフトウェアでの処理時間に劣ってしまった。しかし、その原因であるデータ転送時のボトルネックを解消した理論値では、ソフトウェアでの処理の約 4~6 倍の高速化が望めることがわかった。本研究での成果が、今後の動的再構成システムの開発の 1 つの指針になればよいと考えている。

今後の課題としては、本稿では計算により理論値として求めていたハードウェアでの処理時間を実測することがある。構築したシステムに DMA 転送機能を付け PowerPC を介さないデータ転送を行い、その処理時間を計測する必要がある。また、今回実装した 3 つの回路は共に規模が小さいものであり、さらに規模が大きくなった際の部分再構成の可能性について調査する必要がある。今回実装した回路の並列化やより規模の大きな回路の実装を行い、部分再構成の可能性とさらなるハードウェア化による高速化について調査する予定である。

文 献

- [1] 坂本伊左雄, 須崎貴憲, 柴村英智, 飯田全広, 久我守弘, 末吉敏則: “プロセッサ混載 FPGA における部分再構成制御機構の開発,” 信学技報, vol.105, no.287, pp.43-48, 2005.
- [2] Xilinx Inc., “Two Flows for Partial Reconfiguration: Module Based or Difference Based,” <http://www.xilinx.com/xapp/xapp290.pdf>
- [3] H. Shibamura, N. Hashiguchi, D. Uchida, M. Kuga, and T. Sueyoshi, “A Reconfigurable Computing System using ARM Embedded Processor,” Forum on Information Technology (FIT2003), Information Technology Letters, Vol.2, No.LC-002, pp.49.51, 2003.
- [4] 柴村英智, 飯田全広, 久我守弘, 末吉敏則: “EXPRESS-1: プロセッサ混載混載 FPGA を用いた動的セルブリコンフィギュラブルシステム,” 電子情報通信学会論文誌 D, vol.J89-D, no.6, pp.1120-1129, 2006.
- [5] Xilinx Inc.: “Virtex-II Pro and Virtex-II Pro X FPGA User Guide,” <http://www.xilinx.co.jp/bvdocs/userguides/ug012.pdf>, 2005
- [6] 牛嶋和行, 永田和生, 原田英雄, 久我守弘, 末吉敏則: “FPGA 搭載機器のための自己更新機構の開発,” 信学技報, Vol.106-247, pp.61-66, 2006.
- [7] Memec Japan Inc., “Virtex-II Pro FF1152,” <http://www.memec.co.jp/html/xilinx/eboard/docs/v2pro/VirtexIIPro FF1152 2.pdf>