

遷移時間ばらつきを考慮した統計的タイミング解析に関する一考察

高橋 真吾[†]

築山 修治[†]

[†] 中央大学大学院理工学研究科 〒112-8551 東京都文京春日 1-13-27

E-mail: [†] sint@tsuki.elect.chuo-u.ac.jp, tsuki@elect.chuo-u.ac.jp

あらまし 素子の性能ばらつきを考慮した統計的タイミング解析手法をより高性能化するには、信号伝搬経路に沿って、遅延ばらつきと同時に信号遷移時間(slew)のばらつきを伝搬させる機能が必要となる。本報告では、このような機能の構築を目的に、slew ばらつきの表現法および計算法を2つ提案し、モンテカルロ法との比較により、それらを評価する。また、提案手法の一つは、2入力同時遷移も処理できるので、これを液晶ディスプレイ用駆動回路の遅延・バッファ回路に適用した結果も報告する。

キーワード 遷移時間, ばらつき, 同時遷移, 統計的タイミング解析, モンテカルロ法

A Consideration on Statistical Timing Analysis Taking Slew Variability into Account

Shingo TAKAHASHI[†],

and

Shuji TSUKIYAMA[†]

[†] Graduate School of Science and Engineering, Chuo University,

1-13-27 Kasuga, Bunkyo-ku, Tokyo 112-8551, Japan

E-mail: [†] sint@tsuki.elect.chuo-u.ac.jp, tsuki@elect.chuo-u.ac.jp

Abstract In order to improve the performance of the current statistical timing analysis, a mechanism to propagate slew distributions together with delay distributions along signal paths is necessary. For this purpose, the paper proposes two methods to represent and calculate a slew distribution, and evaluates them through the comparison to Monte Carlo simulation. Moreover, since one of these methods can treat multiple input switching, it is applied to a delay-buffer circuit of a LCD driver circuit, and its result is shown.

Keyword slew, variability, multiple input switching, statistical timing analysis, Monte Carlo Simulation

1. はじめに

種々のばらつき要因の影響を考慮してタイミング解析を行う統計的静的遅延解析(S-STA)手法は、バス毎に処理を行うpath-basedな手法と、位相幾何学的順序で点を処理しながら解析するblock-basedな手法に分類できる[1,2]。この内、大規模回路にも適用可能なblock-basedな手法では、回路の接続関係をアサイクリックグラフ $G=(N,A)$ で表し、信号の伝達経路に対応する各枝 e に、そこで生じる遅延 $d(e)$ を重みとして与え、各点 v への遅延 $D(v)$ を計算するという操作が実行される[1,2]。この枝遅延 $d(e)$ は確率変量で、その分布、例えば確率密度関数(PDF)が与えられるものとするが、これまでのblock-basedなS-STAでは、 $d(e)$ の分布は解析を通して一定で、途中で変化しないものとしている。

しかし、枝 $e=(v,w)$ が論理ゲートの入出力端子間あるいは配線のいずれを表す場合であっても、それに付随した遅延 $d(e)$ は、入力の遷移時間(slew)、すなわち点 v における信号のslewに依存するから、 $d(e)$ の分布もslewの分布に依存する。また、 v における信号のslewは信号の v への伝達経路に依存するから、 $d(e)$ の分布が信号の伝達経路に依存することになる。従って、S-STAをより高精度にするには、信号のslewも確率変量として扱い[3]、各点への遅延 $D(v)$ を計算する際、同時にその点における信号のslew $S(v)$ も計算し、

$D(v)$ と $S(v)$ を用いて、枝 $e=(v,w)$ の遅延 $d(e)$ の分布を動的に変える必要がある。

本文では、このような次世代S-STAの構築に必要な機能について考察し、slew $S(v)$ の分布表現手法を提案する。この手法を用いることにより、入力信号の同時遷移(Multiple Input Switching)[4,5]を比較的容易に処理することができる。また、この手法を、液晶ディスプレイ用駆動回路の遅延バッファ回路に適用した結果についても述べる。

2. S-STAの基本演算

枝 $e=(v,w)$ の遅延 $d(e)$ を決定する確率変量のうち、 e に付随したものを $P(e)$ と表わす。これらは e が論理ゲートに対応するならば、トランジスタの伝達コンダクタンス、ゲート幅、ゲート長、および閾値電圧などであり、配線に対応するものであれば、寄生抵抗や寄生容量である。また、点 w に付随する負荷容量を $C(w)$ で表し、これも確率変量とする。さらに、点 v への遅延を $D(v)$ 、 v へ到達する信号のslewを $S(v)$ と書く。従来のblock-basedなS-STAでは、解析中に $S(v)$ を求め、それによって $d(e)$ の分布を変えることは無かったため、 $d(e)$ は $P(e)$ の関数、あるいは $C(v)$ と $P(e)$ の関数と考えていた。

$$d(e) = d_0[C(w), P(e)] \quad (1)$$

以下では、これを $S(v)$ 、 $C(w)$ 、 $P(e)$ の関数と考え、次のように表す。

$$d(e) = d_i[S(v), C(w), P(e)] \quad (2)$$

今、点 w に入る枝 $e=(v,w)$ が 1 本しかない場合を考えると、 $D(w)$ は次式で与えられる。

$$D(w) = D(v) + d(e) \quad (3)$$

また、 w での slew $S(w)$ は、 $S(v)$ 、 $C(w)$ 、 $P(e)$ で定められるため、これらの関数として、次のように表す。

$$S(w) = s_{Add}[S(v), C(w), P(e)] \quad (4)$$

このとき、遅延が和の演算によって求められるため、以下では、 $D(w)$ 、 $S(w)$ を求めるこのような操作を Add 演算と呼ぶ。 $S(v)$ 、 $C(w)$ 、 $P(e)$ の分布が分かっているならば、 $d(e)$ および $S(w)$ は予め作成しておいた表を参照して求めることができる[6]。

次に、点 w に入る枝が $e_A=(v_A,w)$ と $e_B=(v_B,w)$ の 2 本ある場合を考える。今、点 v_A に到達する信号の遅延および slew をそれぞれ $D(v_A)$ および $S(v_A)$ 、 v_B に到達する信号のそれらをそれぞれ $D(v_B)$ および $S(v_B)$ と書き、 D_A 、 D_B をそれぞれ次のように定める。

$$D_A = D(v_A) + d(e_A) \quad (5)$$

$$D_B = D(v_B) + d(e_B) \quad (6)$$

そうすると、 $D(w)$ は対応する論理ゲートおよび信号の種類に従って、次式のいずれかで計算できる。

$$D(w) = \text{Max}[D_A, D_B] \quad (7)$$

$$D(w) = \text{Min}[D_A, D_B] \quad (8)$$

例えば、2 入力 NOR の出力が 0 から 1 に変化する場合には、両方の入力が 0 になってから出力が 1 になるので、 $D(w)$ は D_A 、 D_B の内の大きい方、すなわち (7) 式で計算されるが、1 から 0 に変化する場合には、どちらか一方が 1 に成れば出力は変化するので、(8) 式で計算されることになる。

一方、 $S(w)$ は、 S_A 、 S_B をそれぞれ次のように定めると、

$$S_A = s_{Add}[S(v_A), C(w), P(e_A)] \quad (9)$$

$$S_B = s_{Add}[S(v_B), C(w), P(e_B)] \quad (10)$$

$D(w) = D_A$ の場合には、 e_A を通ってきた信号が w から出て行くから、 $S(w) = S_A$ とし、 $D(w) = D_B$ の場合には $S(w) = S_B$ とする必要がある。このとき、 $D(w)$ がばらつきを持つ場合には、 w から出て行く信号は、 D_A あるいは D_B のどちらか一方に決めることができないため、slew の分布も S_A と S_B のどちらか一方に決めることは好ましくない。例えば、 D_A および D_B の分布の平均の差がどちらかの標準偏差と同程度以下の場合、 $S(w)$ の分布は D_A および D_B の両方の信号の影響を受け、複数の分布を取るという報告もある[3,5]。そこで、この関係を表すため、(7)、(8) 式に対応して、 $S(w)$ を次式で表す。

$$S(w) = s_{Max}[S_A, S_B] \quad (11)$$

$$S(w) = s_{Min}[S_A, S_B] \quad (12)$$

以下では、(7) および (11) 式を用いて、 $D(w)$ および $S(w)$ を求める操作を Max 演算、(8) および (12) 式を用いて求める操作を Min 演算と呼ぶ。

遅延と slew を確率変数として扱う新しい S-STA では、 $S(w)$ の分布の表現法と $s_{Max}[\cdot]$ および $s_{Min}[\cdot]$ の計算法を定める必要がある。

以下では、 $D(v)$ 、 $S(v)$ 、および $d(e)$ の分布を全て正規分布と仮定する。そうすると、式(7) および (8) は、Clark の手法を用いて計算可能となる[1,2,7]。

3. Slew の Max, Min 演算

上で述べたように、 $S(w)$ の分布は、 S_A あるいは S_B の分布のいずれか一方で表すことができないため、これら 2 つの分布の PDF の重み付き和で表すことにする。これは、Max 演算で得られる $D(w)$ の分布が、 $D_A \geq D_B$ のときの D_A の分布と、 $D_A < D_B$ のときの D_B の分布の 2 つからできていることを考えると、 $S(w)$ の分布を適切に表現すると考えられる。その概念図を図 1 に示す。

* $s_{Max}[S_A, S_B]$ の PDF:

$$f_{Min}(x) = \Pr[D_A \geq D_B] \cdot \frac{1}{\sigma_A} \cdot \phi\left(\frac{x - \mu_A}{\sigma_A}\right) + \Pr[D_A < D_B] \cdot \frac{1}{\sigma_B} \cdot \phi\left(\frac{x - \mu_B}{\sigma_B}\right) \quad (13)$$

* $s_{Min}[S_A, S_B]$ の PDF:

$$f_{Min}(x) = \Pr[D_A \leq D_B] \cdot \frac{1}{\sigma_A} \cdot \phi\left(\frac{x - \mu_A}{\sigma_A}\right) + \Pr[D_A > D_B] \cdot \frac{1}{\sigma_B} \cdot \phi\left(\frac{x - \mu_B}{\sigma_B}\right) \quad (14)$$

ここで、 x は $S(w)$ を表す変数で、 $\phi(x)$ は次式で表される正規分布 $N(0,1)$ の PDF である。

$$\phi(x) = \frac{1}{\sqrt{2\pi}} \cdot \exp\left[-\frac{x^2}{2}\right] \quad (15)$$

また、 μ_A および μ_B はそれぞれ S_A および S_B の平均であり、 σ_A および σ_B はそれぞれ S_A および S_B の標準偏差である。さらに、 $\Pr[D_A \geq D_B]$ は $D_A \geq D_B$ となる確率を表し、 D_A および D_B が正規分布であれば、次式で計算できる[7]。

$$\Pr[D_A \geq D_B] = \Phi\left(\frac{E[D_A] - E[D_B]}{\sqrt{V[D_A] + V[D_B] - 2 \cdot C[D_A, D_B]}}\right) \quad (16)$$

ここで、 $E[\cdot]$ および $V[\cdot]$ はそれぞれ平均および分散を表し、 $C[D_A, D_B]$ は D_A と D_B の共分散を表す。また、 $\Phi(x)$ は $N(0,1)$ の累積分布関数(CDF)であり、次式で書ける。

$$\Phi(x) = \int_{-\infty}^x \phi(y) dy \quad (17)$$

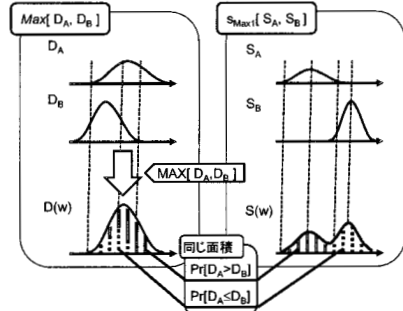


図 1: 遅延の Max 演算から得られる slew 分布

このように表された slew 分布が、どの程度正確かを、モンテカルロ法と SPICE を用いて得られる分布と比較する。回路は 2 入力 CMOS NOR ゲートを考え、Max 演算の場合について調べる。モンテカルロ法の概要は下記の通りである。

<モンテカルロ法>

1. 負荷容量 $C(w)$ は一定で変化しないものとする。
2. 入力 A および B の遅延 $D(v_A)$ および $D(v_B)$ の平均 μ_{DA} および μ_{DB} は、それぞれ 100~250 nsec の範囲の一樣分布の中から、どちらも他の変数とは独立に選ぶ。
3. 同様に、 $D(v_A)$ および $D(v_B)$ の標準偏差 σ_{DA} および σ_{DB} の平均に対する割合 σ_{DA}/μ_{DA} および σ_{DB}/μ_{DB} は、それぞれ 0.04~0.17 の範囲の一樣分布の中から、どちらも他の変数とは独立に選ぶ。
4. また、入力 A および B の slew $S(v_A)$ および $S(v_B)$ は、それぞれ 10~150 nsec の範囲の一樣分布の中から、他の変数とは独立に選び、どちらも一定値とする。
5. このような方法で選んだ (μ_{DA} , σ_{DA} , μ_{DB} , σ_{DB} , $S(v_A)$,

$S(v_B)$ の値が、 $\mu_{DA}-3\sigma_{DA} > S(v_A)/2$ あるいは $\mu_{DB}-3\sigma_{DB} > S(v_B)/2$ となる場合には、以下の操作において、起こりえない遅延とslewの値の組が生成される可能性がある。そこで、そのようなものが選ばれた場合には取り除くことにより、 $\mu_{DA}-3\sigma_{DA} < S(v_A)/2$ かつ $\mu_{DB}-3\sigma_{DB} < S(v_B)/2$ を満たす組 (μ_{DA} , σ_{DA} , μ_{DB} , σ_{DB} , $S(v_A)$, $S(v_B)$) を 100 組選ぶ。

6. 上のようにして選んだ各組に対して、 $D(v_A)$ および $D(v_B)$ を、それぞれ $N(\mu_{DA}, \sigma_{DA}^2)$ および $N(\mu_{DB}, \sigma_{DB}^2)$ なる正規分布の中から、どちらも他と独立に選ぶ。
7. 同時に、pMOS および nMOS の閾値電圧を、それぞれ $N(\mu_p, (0.22*\mu_p)^2)$ および $N(\mu_n, (0.22*\mu_n)^2)$ なる正規分布の中から、どちらも他と独立に選ぶ。
8. また、移動度も同じ MOS の閾値電圧と相関 1 のばらつきをするものとし、選ばれた閾値電圧の値を用いて移動度を決定する。
9. このような方法で、 $(D(v_A), D(v_B), P(e))$ を 5,000 組生成する。ここで、 $P(e)$ は pMOS および nMOS の閾値電圧および移動度を表す。
10. こうして得られた $(D(v_A), S(v_A), D(v_B), S(v_B), C(w), P(e))$ の各値に対して、SPICEを用いて (D_A, S_A) および (D_B, S_B) を求める。その際、 (D_A, S_A) を求める場合には入力 B 側の pMOS はオン、 (D_B, S_B) を求める場合には入力 A 側の pMOS はオンしているものとする。
11. こうして得られる $((D_A, S_A), (D_B, S_B))$ の各組に対して、 $D_A \geq D_B$ であれば、 $D_{MC}(w) = D_A$, $S_{MC}(w) = S_A$ とし、さもなくば $D_{MC}(w) = D_B$, $S_{MC}(w) = S_B$ として、5,000 組の $(D_{MC}(w), S_{MC}(w))$ を生成する。

このような方法で得られる $D_{MC}(w)$ および $S_{MC}(w)$ の分布と比較するため、S-STAを用いて得られる $D(w)$ の分布、および提案手法で得られる $S(w)$ の分布を求める。今回は、(2)式および(4)式で得られる遅延 $d_i(S(v), C(w), P(e))$ および slew $s_{Add}(S(v), C(w), P(e))$ の計算用の表ができていないため、次のような手法で $D(w)$ および $S(w)$ の分布を求めた。

- (i) 上記の5で生成された 1 つの組 (μ_{DA} , σ_{DA} , μ_{DB} , σ_{DB}) に対して、6~8と同じ手法で 1,000 組の $(D(v_A), D(v_B), P(e))$ を生成する。
- (ii) こうして得られた各組に対して、10と同様 SPICEを用いて、1,000 組の (D_A, S_A) および (D_B, S_B) を求める。
- (iii) これら 1,000 組の (D_A, S_A) および (D_B, S_B) から、 $E[D_A]$, $V[D_A]$, $E[S_A]$, $V[S_A]$, $E[D_B]$, $V[D_B]$, $E[S_B]$, $V[S_B]$ を求め、Clark の手法および(12)式を用いて $D_i(w)$ および $S_i(w)$ の分布を求める。その際、 D_A , S_A , D_B , S_B はどれも互いに独立とした。

図 2 に、 $\mu_{DA} = 126$ nsec, $\mu_{DB} = 120$ nsec, $\sigma_{DA}/\mu_{DA} = 0.17$, $\sigma_{DB}/\mu_{DB} = 0.06$, $S(v_A) = 18$ nsec, および $S(v_B) = 85$ nsec の時に得られた $S_{MC}(w)$ および $S_i(w)$ の PDF を示す。折れ線がモンテカルロ法で得られた分布であり、滑らかな曲線が提案手法によるものである。なお、この時の確率 $\Pr[D_A \geq D_B]$ は 0.59 であった。

この図から分かるように、2 つは十分に似た分布になっていることが分かる。そこで、これを定量的に測るため、2 つの分布の離反度を Jensen-Shannon divergence[8](JS 値)を用いて調べた。JS 値は(18)式で定義され、 $K(p, q)$ は p, q が離散的な変量の場合、(19)式で計算される。今回は、遅延および遷移時間の分布を 0.1nsec の刻み幅で離散化した。

$$J(p, q) = \frac{1}{2} \left[K\left(p, \frac{(p+q)}{2}\right) + K\left(q, \frac{(p+q)}{2}\right) \right] \quad (18)$$

$$K(p, q) = \sum_{x \in X} \left(p(x) \cdot \log \frac{p(x)}{q(x)} \right) \quad (19)$$

分布の離反度に依存して、JS 値がどのような値を取り、どのような変化をするかを示すため、幾つかの正規分布の $N(0,1)$ に対する JS 値を図 3 に示す。

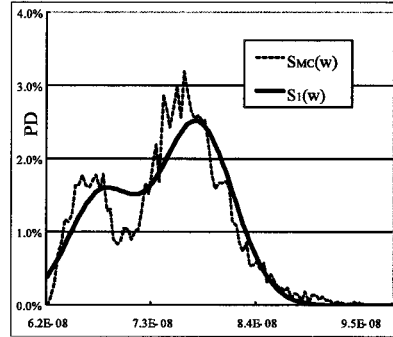


図 2: 出力 slew $S_i(w)$ と $S_{MC}(w)$ の分布

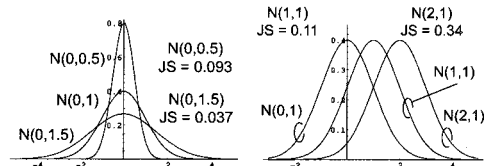


図 3: JS 値の例

上で述べたモンテカルロ法の5で生成した 100 組の (μ_{DA} , σ_{DA} , μ_{DB} , σ_{DB}) に対して、 $D_{MC}(w)$ と $D_i(w)$ の分布の JS 値を調べたところ、どれも 0.21 以下であり、100 個の平均は 0.042 であった。これに対して、 $S_{MC}(w)$ と $S_i(w)$ の分布の JS 値は高々 0.042 であり、平均は 0.022 であった。これより、(12) および(13)式で表される出力 slew の分布の表現法は、遅延よりも小さな誤差で分布を表現できることが分かる。以下ではこの slew 分布の表現法を提案手法 1 と呼ぶ。

4. 同時遷移の取り扱い

提案手法 1 の slew 表現法を用いれば、遅延 $D(v)$ と slew $S(v)$ を同時に伝搬させていく新しい S-STA を構築することができるが、 $D(v)$ と $S(v)$ の 2 つの情報があると、入力同時遷移が処理可能となる。以下では、これについて述べる。

今、図 2 の $S_{MC}(w)$ の分布を求める際に用いた 2 つの信号を同時に入力した場合の出力 slew $S_{MIS}(w)$ の分布は、図 4 に示すように、 $S_{MC}(w)$ の分布とは大きく異なっている。従って、同時遷移を考えると、出力 slew の分布は提案手法 1 のように、(13)式で表現できないことが分かる。

そこで、この問題を解決するため、 $D(v)$ と $S(v)$ の 2 つの情報をを用いて、入力が同時遷移する確率を計算する。

今、信号の変化が 0% から 100% まで移行していくとき、遅延 $D(v)$ は 50% の時刻を示し、slew $S(w)$ は 10% から 90% までの時間を表す。従って、 $D(v_A)-S(v_A)/2$ および $D(v_A)+S(v_A)/2$ はそれぞれ入力端子 A に到達する信号が 10% および 90% になる時刻 t_{A1} および t_{A9} を表す。同様に、入力端子 B に関するこれらの時刻をそれぞれ $t_{B1} = D(v_B) - S(v_B)/2$ および $t_{B9} = D(v_B) + S(v_B)/2$ とすると、 $t_{B1} \leq t_{A1}$ なる確率 P_{BA1} および $t_{B9} \leq t_{A9}$ なる確率 P_{BA9} を次式で計算すること

ができる。

$$P_{BA1} = \Pr[D(v_B) - S(v_B)/2 \leq D(v_A) - S(v_A)/2] \quad (20)$$

$$P_{BA9} = \Pr[D(v_B) + S(v_B)/2 \leq D(v_A) + S(v_A)/2] \quad (21)$$

上にも述べたように、これらの確率は、 $D(v_A)$ 、 $S(v_A)$ 、 $D(v_B)$ 、および $S(v_B)$ がいずれも正規分布で与えられているとすると、(16)式を用いて容易に計算できる。

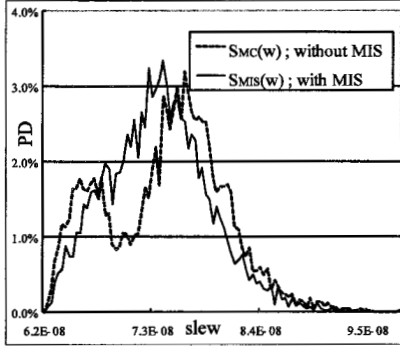


図 4: 同時遷移の有無による slew の分布の違い

ここで、 $t_{A1} \geq t_{B1}$ となる事象と $t_{A9} \geq t_{B9}$ となる事象が独立に生起すると仮定すると、以下の 4 つの場合の生起確率をそれぞれ $P_{BA1} * P_{BA9}$ 、 $(1 - P_{BA1}) * P_{BA9}$ 、 $P_{BA1} * (1 - P_{BA9})$ 、および $(1 - P_{BA1}) * (1 - P_{BA9})$ で計算できる。なお、これら 2 つの事象は必ずしも独立では無いであろうが、ここではこれら 4 つの式で近似することとする

- I. $t_{B1} \leq t_{A1}$ かつ $t_{B9} \leq t_{A9}$ となり、A の入力信号が遅い場合。
 - II. $t_{A1} < t_{B1}$ かつ $t_{B9} \leq t_{A9}$ となり、同時遷移が起り、A の信号の slew が長い場合。
 - III. $t_{B1} \leq t_{A1}$ かつ $t_{A9} \leq t_{B9}$ となり、同時遷移が起り、B の信号の slew が長い場合。
 - IV. $t_{A1} < t_{B1}$ かつ $t_{A9} < t_{B9}$ となり、B の入力信号が遅い場合。
- これら 4 つの場合を図 5 に示す。

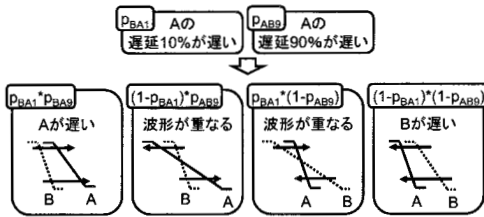


図 5: 同時遷移確率計算の概念図

今、 D_A 、 D_B 、 S_A 、および S_B をそれぞれ(5)、(6)、(9)、および(10)式で与えられる遅延および slew とすると、I および IV の場合には、これらを用いて $D(w)$ および $S(w)$ を定めることができるが、II および III の場合には、それができない。そこで、同時遷移する 2 つの入力波形を 1 つの波形に近似する手法を提案する。これにより、同時遷移の場合用に、遅延や slew を計算する表を用意する必要がなくなる。

2 入力 CMOS NOR ゲートに対する Max 演算の場合を考えると、出力を High にするために、直列接続された 2 つの pMOS に流れる電流は、よりオフ状態に近い pMOS で定められる。従って、この場合、出力を定める入力波形は、図 6(a) の太い点線で示されたものになると考えられる。そこで、これ

を同図(b) の太い波線で近似すると、この波形の slew は次式で計算できる。

II の場合:

$$S_{MaxII} = (D(v_A) + S(v_A)/2) - (D(v_B) - S(v_B)/2) \quad (22)$$

III の場合:

$$S_{MaxIII} = (D(v_B) + S(v_B)/2) - (D(v_A) - S(v_A)/2) \quad (23)$$



(a) 出力を定める波形 (b) 表参照用近似波形
図 6: Max 演算の場合の波形近似

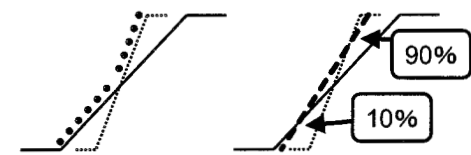
一方、Min 演算の場合には、出力を Low にするための電流は、並列接続された 2 つの nMOS に流れる電流の和となるが、ここではよりオン状態に近い nMOS に流れる電流で近似する。遅延の小さい(すなわち先に到着する)信号の方が小さい slew を持つ場合、この信号が入力される nMOS が、よりオン状態に近い nMOS と考えられるので、出力を定める入力波形の slew は、小さい方の slew とする。それに対して、遅延の小さい信号の方が大きい slew を持つ場合、この信号が入力される nMOS は徐々にオンし始めていると考えられるので、図 7(a) の太い点線で示された波形が出力を定めると考え、同図(b) の太い波線の slew で、出力を定める波形の slew を近似する。すなわち、次式で定められる slew を持つ入力が出力を定めるものとする。

II の場合:

$$S_{MinII} = \begin{cases} S(v_B) & : \text{if } D(v_B) < D(v_A) \\ (D(v_B) + S(v_B)/2) - (D(v_A) - S(v_A)/2) & : \text{Otherwise} \end{cases} \quad (24)$$

III の場合:

$$S_{MinIII} = \begin{cases} S(v_A) & : \text{if } D(v_A) < D(v_B) \\ (D(v_A) + S(v_A)/2) - (D(v_B) - S(v_B)/2) & : \text{Otherwise} \end{cases} \quad (25)$$



(a) 出力を定める波形 (b) 表参照用近似波形
図 7: Min 演算の場合の波形近似

そこで、これらを用いて、次の slew を計算する。

$$S_{MaxIIout} = S_{Add}[S_{MaxII}, C(w), P(e)] \quad (26)$$

$$S_{MaxIIIout} = S_{Add}[S_{MaxIII}, C(w), P(e)] \quad (27)$$

$$S_{MinIIout} = S_{Add}[S_{MinII}, C(w), P(e)] \quad (28)$$

$$S_{MinIIIout} = S_{Add}[S_{MinIII}, C(w), P(e)] \quad (29)$$

さらに、これらを用いて、出力 slew を、

$$S(w) = S_{Max2}[S_A, S_B, S_{MaxIIout}, S_{MaxIIIout}] \quad (30)$$

$$S(w) = S_{Min2}[S_A, S_B, S_{MinIIout}, S_{MinIIIout}] \quad (31)$$

と表し、 $S_{Max2}[\cdot]$ および $S_{Min2}[\cdot]$ の分布を次のように表すことにする。この手法を以下では提案手法 2 と呼ぶ。

* $S_{Max2}[S_A, S_B, S_{MaxIout}, S_{MaxIIout}]$ の PDF:

$$f_{Max2}(X) = P_{BA1} \cdot P_{BA9} \cdot \frac{1}{\sigma_A} \cdot \phi\left(\frac{X - \mu_A}{\sigma_A}\right) + (1 - P_{BA1}) \cdot P_{BA9} \cdot \frac{1}{\sigma_{MaxI}} \cdot \phi\left(\frac{X - \mu_{MaxI}}{\sigma_{MaxI}}\right) + P_{BA1} \cdot (1 - P_{BA9}) \cdot \frac{1}{\sigma_{MaxII}} \cdot \phi\left(\frac{X - \mu_{MaxII}}{\sigma_{MaxII}}\right) + (1 - P_{BA1}) \cdot (1 - P_{BA9}) \cdot \frac{1}{\sigma_B} \cdot \phi\left(\frac{X - \mu_B}{\sigma_B}\right) \quad (32)$$

* $S_{Min2}[S_A, S_B, S_{MinIout}, S_{MinIIout}]$ の PDF:

$$f_{Min2}(X) = P_{BA1} \cdot P_{BA9} \cdot \frac{1}{\sigma_B} \cdot \phi\left(\frac{X - \mu_B}{\sigma_B}\right) + (1 - P_{BA1}) \cdot P_{BA9} \cdot \frac{1}{\sigma_{MinI}} \cdot \phi\left(\frac{X - \mu_{MinI}}{\sigma_{MinI}}\right) + P_{BA1} \cdot (1 - P_{BA9}) \cdot \frac{1}{\sigma_{MinII}} \cdot \phi\left(\frac{X - \mu_{MinII}}{\sigma_{MinII}}\right) + (1 - P_{BA1}) \cdot (1 - P_{BA9}) \cdot \frac{1}{\sigma_A} \cdot \phi\left(\frac{X - \mu_A}{\sigma_A}\right) \quad (33)$$

ここで、 $\mu_A, \mu_B, \sigma_A, \sigma_B$ は前節で定義したものと同一であり、 $\mu_{MaxI}, \mu_{MaxII}, \sigma_{MaxI}, \sigma_{MaxII}$ はそれぞれ $S_{MaxIout}$ および $S_{MaxIIout}$ の平均および標準偏差、 $\mu_{MinI}, \mu_{MinII}, \sigma_{MinI}, \sigma_{MinII}$ はそれぞれ $S_{MinIout}$ および $S_{MinIIout}$ の平均および標準偏差である。

枝遅延 d(e) についても、同時遷移する II や III の場合用の計算手法が考えられるが、ここでは、(7)式で得られる遅延分布を用いるものとし、同時遷移用のものを作成しないことにする。後述するように、(7)式の分布の誤差は、同時遷移した場合でも、slew の誤差に比べて小さい。

$S_{Max2}[\cdot]$ の分布がどの程度の精度を持つかを調べるため、前節で述べたモンテカルロ法の10を次のように変更した。

- 10'. $(D(v_A), S(v_A), D(v_B), S(v_B), C(w), P(e))$ で定められる 2 つの入力を同時に入れ、SPICE を用いて、5,000 組の出力の遅延と slew の組 $(D_{MIS}(w), S_{MIS}(w))$ を生成する。

また、(32)式で得られる slew $S_2(w)$ の分布も求め、モンテカルロ法で生成した 100 組の入力の組み合わせに対して、JS 値を比較した。

その結果を図 8 に示す。この図では、 $S_2(w)$ と $S_{MIS}(w)$ の分布の比較 (d) だけでなく、 $D_I(w)$ と $D_{MIS}(w)$ 比較 (a)、 $S_I(w)$ と $S_{MC}(w)$ 比較 (b)、 $S_I(w)$ と $S_{MIS}(w)$ 比較 (c) も示している。横軸は、同時遷移が起こる確率であり、その値は、モンテカルロ法の5で得られた $(\mu_{DA}, \sigma_{DA}, \mu_{DB}, \sigma_{DB}, S(v_A), S(v_B))$ から、 $(1 - P_{BA1}) \cdot P_{BA9} + P_{BA1} \cdot (1 - P_{BA9})$ を用いて計算した。

(a) より、(7)式から得られる遅延 $D_I(w)$ の分布は同時遷移が起きる確率が大きくなるにつれて、精度が悪くなるのが分かる。それに比べ、(b) より、同時遷移を考えない slew $S_I(w)$ の分布は、遅延以上の精度を持つことが分かる。なお、(a) において、同時分布の起こる確率が低いところでも精度の悪い点が生じているが、これはモンテカルロの回数を増やすことにより、無くなるのではないかと予想している。

(c) より、同時遷移入力を与えると、 $S_I(w)$ では分布を正しく見積もることができず、精度が悪くなるのが分かる。また、(d) より、 $S_2(w)$ の計算法を用いることにより、その誤差を抑えることができることも分かる。しかし、まだ遅延の持つ誤差より

大きいため、改善する必要がある。

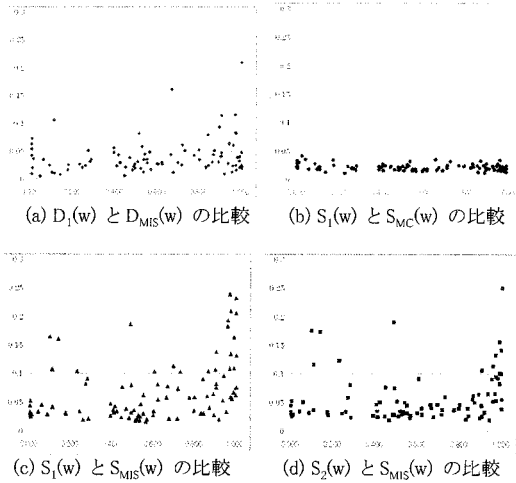


図 8: JS 値を用いた精度評価 (横軸は同時遷移確率)

図 9 に $S_2(w)$ と $S_{MIS}(w)$ の分布の例を示す。これは、 $\mu_{DA} = 126$ nsec, $\mu_{DB} = 120$ nsec, $\sigma_{DA}/\mu_{DA} = 0.17$, $\sigma_{DB}/\mu_{DB} = 0.06$, $S(v_A) = 18$ nsec, および $S(v_B) = 85$ nsec の時に得られたもので、同時遷移確率が 0.89 のときのものである。

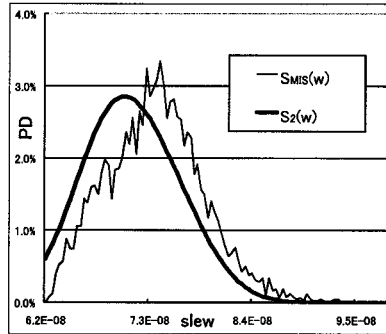


図 9: $S_2(w)$ と $S_{MIS}(w)$ の分布

5. 遅延バッファ回路への適用

提案手法を、図 10 に示す液晶ディスプレイ用駆動回路の遅延・バッファ回路に適用してみた[9,10]。この回路は、in 端子に入力したパルスの幅を調節し、out および outB に、遅延がほぼ等しい互いに反転したパルスで、out の立下り slew (outB の立上り slew) が立上り slew より急峻なパルスを生成することを目的としたものである。

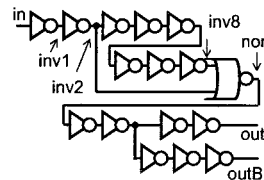


図 10: LCD 用駆動回路の遅延・バッファ回路

この回路の in 端子に, slew が 25ps の立上り(rise)および立下り(fall)入力を, 各 MOS の閾値電圧と移動度に, 3 節のモンテカルロ法の7, 8で述べたものと同じ手法で選んだ 1 万個の値を与え, 図に示した inv1, inv2, inv8, nor, out, および outB の6つの点において, slew の分布を調べた。また, 提案手法において, $d_1[S(v), C(w), P(e)]$ および $s_{Add}[S(v), C(w), P(e)]$ の分布を, $E[C(w)]$ の負荷容量を持った回路に $E[S(v)]$ の遷移時間を持った入力を入れ, 1,000 回 SPICE を実行して計算し, slew 分布を求めた。なお, 配線の寄生抵抗・寄生容量は無いものとし, 配線遅延は無視した。

表 1 に, 各点におけるこれらの分布の JS 値を示す。

表 1: JS 値による各点における slew 分布比較

slew		inv1	inv2	inv8	nor	out	outB
fall	Method 1&2	0.024	0.115	0.298	0.112	0.024	0.058
	Method 1	0.010	0.231	0.259	0.407	0.426	0.020
	Method 2	〃	〃	〃	0.432	0.423	0.020

立下り入力の場合 (fall), inv8 の入力が inv2 より必ず遅れるため, slew 分布は 1 つの正規分布で表されることになる。また, 同時遷移も生じないため, 提案手法 1 (Method 1) と提案手法 2 (Method 2) は同じ結果となる。しかし, inv8 までのインバータチェーンでは, out の立下り slew を急峻にするため, in に立上り入力が加えられた場合 (rise), inv8 での slew が小さくなるように設計されているため, inv8 への遅延も小さくなる。その結果, rise の場合には, NOR ゲートの入力で同時遷移が生じることがある。実際, 実験に用いた回路では, モンテカルロ法の結果によると, 1 万回の試行中 7,172 回同時遷移が起こっており, 同時遷移確率はおよそ 0.72 であった。

これに対して, (20)および(21)式による確率は, それぞれ次のようになり,

$$\Pr[D(inv2)-S(inv2)/2 < D(inv8)-S(inv8)/2] = 1.0$$

$$\Pr[D(inv8)+S(inv8)/2 < D(inv2)+S(inv2)/2] = 0.33$$

同時遷移確率は 0.33 と見積もられる。この誤差は, slew および遅延の見積もり誤差や, それらの相関を無視したことによる影響と考えられる。

fall の場合も rise の場合も, inv1 から inv8 に進むに従って JS 値が大きくなり, 提案手法で見積もった分布の誤差が増えている。これは, 誤差が蓄積して行く可能性を示唆するが, fall の nor や out では JS 値が減少しており, 必ずしも蓄積するとは言えないようである。

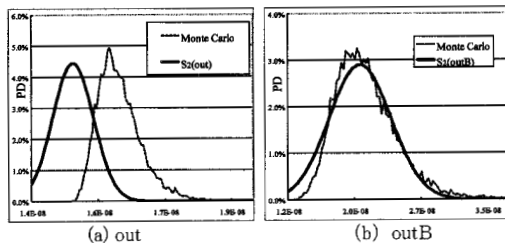


図 11: 出力端子での slew 分布

図 11 の(a)および(b)に, rise の場合の out および outB における slew 分布を示す。点線がモンテカルロ法の, 実線が提案手法 2 の結果である。out での分布は, slew の平均を小さく見積もっている。これは遅れて入力される inv8 の信号の影響で NOR 出力の slew 分布に生じた誤差がそのまま伝搬していると考えられるが, outB ではその影響が見られない。これら原

因の解析は今後の課題である。

6. むすび

本文では, 統計的 STA を高性能化することを目的に, slew ばらつきの表現手法を 2 つ提案し, その精度を検証した。一つは, 同時遷移を考慮しない場合に有効なもので, 遅延よりも小さな誤差で slew 分布が見積もれることが分かった。これを用いて, 新しい S-STA の手法を構築できる可能性がある。しかし, 相関の取り扱いの考察が必要となる。

なお, 今回の報告では, 枝遅延 $d(e)$ を計算する際, slew $S(\cdot)$ の平均 $E[S(\cdot)]$ しか用いていないが, slew は複数の PDF からなると考えているので, ここでの平均は, 一つの PDF の平均に対応する。従って, S-STA に組み込んだ場合, slew の分布を考えることに相当する。

もう一つの手法は, 同時遷移の効果も見積もれるもので, 遅延と slew を同時に扱うことの利点を有効に利用したものである。しかしながら, 遅延に比べてその精度にはまだ改善の余地がある。

さらに, 液晶ディスプレイ用駆動回路の遅延・バッファ回路にこれを適用した結果についても報告した。この結果の解析を現在行っている。

今後の課題としては, 誤差の解析, 提案手法 1 を S-STA に組み込むこと, その際遅延と slew の相関をどのように伝搬させるかを考えること, 同時遷移する確率が大きい場合の精度の改善などがある。

参考文献

- [1] S.Tsukiyama, "Toward stochastic design for digital circuits - Statistical static timing analysis -," Proc. ASPDAC, pp.762-767, 2004.
- [2] A.Srivastava, D.Sylvester, and D.Blaauw, Statistical Analysis and Optimization for VLSI: Timing and Power, Springer, 2005.
- [3] T.Kouno, and H.Onodera "Consideration of transition-time variability in statistical timing analysis," IEEE Conf. International SOC Conference, pp.207-210, 2006.
- [4] A.Agarwal, F.Dartu, and D.Blaauw, "Statistical gate delay model considering multiple input switching," Proc. DA Conf., pp.658-663, 2004
- [5] 福岡孝之, 土谷亮, 小野寺秀俊, "同時スイッチングの影響を考慮した統計的遅延解析," 情報処理学会 DA シンポジウム論文集, pp. 13-18, Jul.2007.
- [6] 高藤浩資, 小林宏行, 小野信任, 増田弘生, 中島英奇, 奥村隆昌, 橋本昌宜, 佐藤高史, "統計的 STA でのスルー依存性を考慮した遅延ばらつき計算手法の提案," 第 20 回 回路とシステム(軽井沢)ワークショップ, pp.709-714, Apr.2007.
- [7] C.E.Clark, "The greatest of a finite set of random variables," Operation Research, vol.9, pp.85-91, 1961.
- [8] Jianhua Lin, "Divergence measures based on the Shannon Entropy," IEEE Trans. on Information Theory, vol. 37, no. 1, pp.145-151, 1991.
- [9] T.Ijichi, M.Hashimoto, S.Takahashi, S.Tsukiyama, I.Shirakawa, "Transistor sizing of LCD driver circuit for technology migration," Proc. ITC-CSCC, vol.1, pp. 125-128, Jul.2006.
- [10] 高橋真吾, 築山修治, 橋本昌宜, 白川功, "液晶ディスプレイ用サンプリング回路の最適性について," 信学技報, VLD2007-144, vol.106, no.549, pp.25-30, 2007.