

EB 直描を使ったマスクレスビアプログラマブルデバイス VPEX の提案と回路性能評価

川原崎 正英[†] 中村 明博[†]

西本 智弘^{††} 下林 義明^{††} 藤野 毅^{† ††}

[†]立命館大学大学院 理工学研究科 〒525-8577 滋賀県草津市野路東 1-1-1

^{††}立命館大学 理工学部 〒525-8577 滋賀県野路東 1-1-1

E-mail: [†] ^{††}{re003038,re007026,ri006041,ri004042,fujino}@se.ritsumei.ac.jp

あらまし われわれは、電子ビームによって、2 層のビアレイアウトを描画することにより、マスク制作費用を必要とせず
にデジタル回路の論理を変更できるプログラマブルデバイス VPEX(Via Programmable logic using Exclusive or array)の研究を行
っている。VPEX で使用する基本論理素子(LE: Logic Element)は、複合ゲート型 Exclusive OR(EXOR)と Inverter(INV)から構成さ
れており、第 1 ビア層の変更ですべての 2 入力論理を含む 12 種類の論理を出力する事ができる。また複数 LE を用いてレジス
タ(DFF)を構成することができるため、DFF を基本論理ブロックとして用意する必要がないという特徴をもっている。本論文で
は、VPEX の基本アーキテクチャ、特に LE の構成を説明するとともに、小規模回路でのスタンダードセルとの性能比較を行う。
また、従来提案されているビアプログラマブルデバイスと VPEX との性能比較結果についても述べる。

キーワード ビアプログラマブルロジック、電子ビーム描画、Exclusive-OR、ストラクチャード ASIC

Proposal and Circuit Performance Evaluation of Mask-less Via Programmable Device VPEX for EB Direct Writing

Masahide Kawarasaki[†] Akihiro Nakamura[†]

Tomoaki Nishimoto^{††} Yosiaki Shitabayshi^{††} Takeshi Fujino^{† ††}

[†] Graduate school of Science and Engineering, Ritsumeikan University

^{††} Faculty of Science and Engineering, Ritsumeikan University

1-1-1 Nojihigashi, Kusatsu-shi, Shiga, 525-8577 Japan

E-mail: [†] ^{††}{re003038,re007026,ri006041,ri004042,fujino}@se.ritsumei.ac.jp

Abstract We propose the user-programmable device called VPEX (Via Programmable logic device using EXclusive-or array) which
can change the logic of a digital circuit by changing two via-layer. Our novel device does not use photo-mask to change digital-circuit logic,
because we use Electron Beam (EB) direct writing which is mask-less lithography. Therefore, we can cut mask cost, completely. The logic
element (LE) of VPEX is composed of complex gate type EXclusive-OR (EXOR) and Inverter(INV). The single LE can outputs 12 logic
functions which include all2-input logic functions by changing via-1 layer. Moreover, D-FlipFlop (DFF) consists of 5 LEs. Therefore there is
no dead space unlike FPGA. In the paper, we compare performance of VPEX logic functions with that of standard-cells (Std) in 0.18μm
CMOS technology. In addition, small-scale circuits of VPEX and Std are evaluated by area, delay-time and power-consumption. Finally, we
discuss about comparison performance of VPEX with that of other works of via-programmable devices.

Keyword Via-programmable logic, EB direct writing, Exclusive-OR, structured ASIC

1. はじめに

集積回路の微細化・高集積化技術の進歩により、フォトマスクコストや設計費用などの初期開発費用が増加しているため、生涯生産個数の少ない少量多品種 ASIC の製造が経済的に難しくなっている。このため、ASIC の生産品種数は減少しており、これに変わって FPGA のようなプログラマブルデバイスが製品に使用されるようになってきた。しかしながら、FPGA はスタンダードセルベース ASIC と比べて消費電力と性能の点で劣っているため[1]、少量生産 ASIC のすべての品種に置き換わることはできない。

このような現状を踏まえて、近年ストラクチャード ASIC と呼ばれる ASIC と FPGA の中間に位置する製造方式が、低コスト LSI 製造方式として提案されてきている[2][3]。このようなストラクチャード ASIC では、トランジスタ作製などの工程のマスクは共用化し、数層のメタルおよびビア工程用マスクを作成することで論理をカスタマイズすることができる。作成するマスク枚数が少ないことからフォトマスク作成費用を削減することができ、少量生産 ASIC のコスト低減に効果がある。

カスタマイズするマスク枚数が少ないほど、初期マスクコストを削減できる。このため配線層マスクも共用化しビアマスクのみを変更する「ビア」プログラマブルデバイスが提案されている。現在までに、いくつかのビアプログラマブルデバイスが提案されており、基本論理素子としてルックアップテーブル(LUT: Look Up Table)を使用するデバイス[4]や、ゲートアレイをベースとしたデバイス[5][6]が発表されている。また、eASIC 社では、基本論理素子は FPGA と同じ電気的に書き換え可能な LUT を使用し、第 6 ビア層により配線接続を書換えてカスタマイズするデバイスを商品化している[7]。

本研究で開発したビアプログラマブルデバイス VPEX(Via Programmable logic using EXclusive or array)では、基本論理素子(LE)として、EXclusive-OR(EXOR)ゲートと Inverter(INV)をセットにした回路を使用する。以下、本論文では、VPEX の基本アーキテクチャ、特に LE の構成を説明するとともに、小規模回路でのスタンダードセルとの性能比較を行う。また、従来提案されているビアプログラマブルデバイスと VPEX との性能比較結果についても述べる。

2. EB 直接描画技術

電子ビームウェハ直接描画技術(EB 直描)では、紫外線ではなく電子ビームをつかってレジストを露光する。フォトマスクが不要となるため少量生産 ASIC には最適のリソグラフィ手段となる。ただし EB 直描はス

ループット(単位時間あたりに処理できるウェハ数)が遅いため、近年の大規模 LSI では試作程度にしか使われていない。EB 直描のスループットを飛躍的に向上させるためには、 $5\mu\text{m}$ 角以下のレイアウトを一括で露光できるキャラクタプロジェクション露光方法を採用する必要がある。ただしキャラクタで描画できるキャラクタの種類は 100 種類となっている[8]。現在では本キャラクタプロジェクション露光機能を持つ EB 直描装置を使用した、少量生産 ASIC の生産がイーシャトル社により開始されている[9]。

キャラクタプロジェクション露光を用いたとしても、EB 直描のウェハの処理速度は光リソグラフィーと比較すると 1/5 以下ほどであり、マスクパターン全層を描画するのは難しい。配線工程を構成するメタル層とビア層を比較すると、ビア層の方はパターンが単純でかつ描画する面積も小さい。EB 直描装置は描画面積が小さいほど近接効果の影響が小さく[10]、かつ描画時のビーム電流密度を大きくできるため、寸法精度良く高速にウェハを処理することができる。また、ビアパターンでは描画図形の「つなぎ」が発生しないため描画装置のパターン位置精度悪化によるパターン劣化の影響も軽減できる。

以上のことから、EB 直描を用いたプログラマブルデバイスは(1)ビア層によるカスタマイズを採用し、(2)ビア層パターンは領域 $5\mu\text{m}$ 角以下で 100 種類程度の定型パターンで構成されていることが望ましいことがわかる。

3. VPEX アーキテクチャ

VPEX では、EB 直描を用いたごく少量生産 ASIC の生産、たとえば個人認証用のユニークデバイス[11][12]の製造に対応できるようにするため、図 1 に示すように、第 1 ビア層で基本論理素子の論理変更を、第 3 ビア層の変更で配線接続の変更を行う。

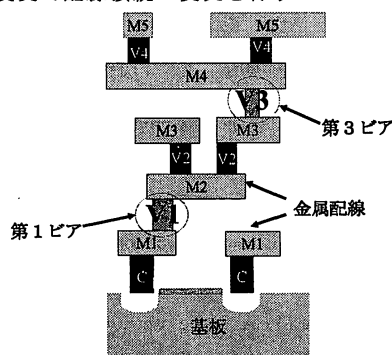


図1 VPEX のウェハ断面構造

3.1. VPEX 基本論理素子(LE)

VPEX アーキテクチャにおける基本論理素子(LE : Logic Element)は Exclusive OR(EXOR)と Inverter(INV)で構成される。図 2 に LE の回路図ならびにレイアウト図を示す。レイアウトにはローム株式会社の 0.18 μ CMOS プロセスを用いた。LE で採用した複合ゲート型 EXOR ゲートは、AOI ゲートと NOR ゲートで構成されており、EXOR ゲートとして用いられている際には、図 2(a)の破線が接続されている。

EXOR ゲート以外の論理を演算するためには、AOI ゲートと NOR ゲートおよび Inverter(INV)間の配線を、第 1 ビア層を用いて変更する。この接続変更には図 2(b)で示した 40 個のビアパターンレイアウトを変更する。レイアウト図の破線枠で囲まれた部分が、EB 直描の 1 つのキャラクタで描画できる 5 μ m の領域である。すなわち、1 つの LE の論理は、わずか 2 回のキャラクタ露光だけで変更できる。VPEX の LE の論理決定に必要な総キャラクタ数は 58 種類であり、この数は EB 直描装置の最大キャラクタ数より少ないため、VPEX における第 1 ビア層はほぼ全面キャラクタプロジェクションで描画できる。試算では 300mm ウエハであっても、1 時間数枚の描画が可能である。

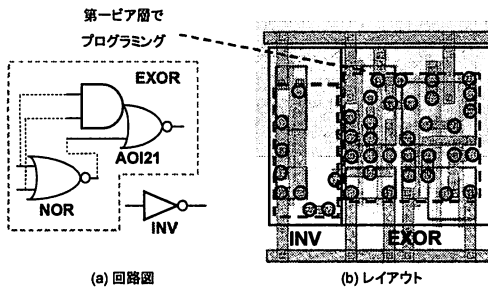


図 2 VPEX 基本論理素子(LE)

次に第 1 ビア層の切り替えで、LE から出力できる論理について述べる。本 LE からは、1 入力 1 出力素子での NOT および BUF のほか、図 3 に示すように、2 入力 1 出力素子はすべての論理(NAND, NOR, AND, OR, bubble AND, bubble OR, EXOR, EXNOR), 3 入力 1 出力素子では、AOI21 ゲート、および 2 入力マルチプレクサ MUXI を実現可能である。さらに、表 1 に示す様に 1 つの LE で複数の論理演算を行うことも可能である。このようなマッピング方法を「Multiple logic」と呼び、例えば、表 1 の 1 列目では XOR と INV が同時に出力可能であることを示す。この「Multiple logic」は従来提案されてきたビアプログラマブルデバイスにはない VPEX の第 1 の特徴であり、マッピングの仕方によっては、チップ面積削減に大きく貢献できることが期待できる。

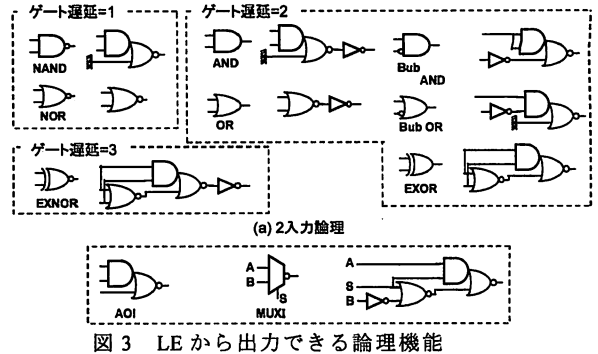


図 3 LE から出力できる論理機能

表 1 1LE から出力可能な複数の論理演算

	1	2	3	4	5	6	7	8	9	10	11	12
EXOR	○											
BUF		○										
NOT(NOR)			○							○		
NOT	○	○	○			○	○	○	○		○	
NAND			○		○							
NOR				○	○							○
Bub AND						○						
Bub OR							○					
AND								○				
OR									○			
AOI										○	○	○
MUXI												

3.2. VPEX における D フリップフロップの構成

3.1 章では組み合わせ回路に使われる論理素子について述べたが、カウンタやステート・マシンのような順序回路を構成するためには、D フリップフロップも必要である。FPGA や従来提案されてきたビアプログラマブルデバイスでは、論理素子以外に、別途 D フリップフロップが配置されている。しかしながら、一般的に、組み合わせ回路と D フリップフロップの比率は回路によって大きく異なっており、論理素子と D フリップフロップの比率を固定すると、マッピング時にどちらかの素子が無駄となる。

VPEX においては、図 2 に示す基本論理素子を 5 個用いることにより、図 4 に示すリセット機能付きスキラン D フリップフロップ(SDFFR)を構成することができる。破線で囲まれた部分は 1 つの LE を示す。この DFF はレイアウトを固定(ライブラリ化)させているため、回路性能を一定に保つことが出来る。

この SDFFR は通常スタンダードセルで使用されているトランスミッションゲートを用いた回路構成と異なっている。そこで、回路特性を synopsys 社の HSPICE シミュレータを用いて評価した。評価結果を表 2 に示す。セットアップ・ホールドタイムは、ほぼスタンダードセルと等しい値となり、遅延時間は 1.6 倍ほど悪くなっている。遅延時間は少し大きいですが、セットアップ・ホールドタイムがスタンダードセルと同等の性能

を示しているため、実用回路においても十分使用可能であると判断できる。

上記の様にリセット機能付きスキャンDフリップフロップを、基本論理素子から構成できることが VPEX の第2の大きな特徴であり、回路特性による無駄な面積の消費を抑えることが出来る。

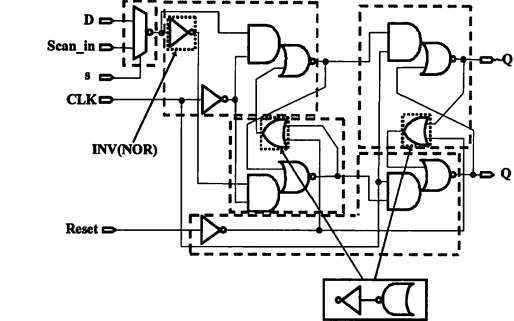


図 4 リセット付きスキャン D フリップフロップ

表 2 SDFFR の性能

	Std	VPEX	比率(VPEX/Std)
Setup	0.28ns	0.3ns	1.07
Hold	-0.13ns	-0.14ns	1.08
D-Q delay	0.61ns	0.98ns	1.61

3.3. VPEX の配線アーキテクチャ

VPEX では、論理機能は第 1 ピアパターンによりプログラムされ、各論理ゲートの入出力信号は、第 3 メタル配線(M3)を端子として使用する。図 6 に M3, 第 4 メタル配線(M4)の配線構造を示す。

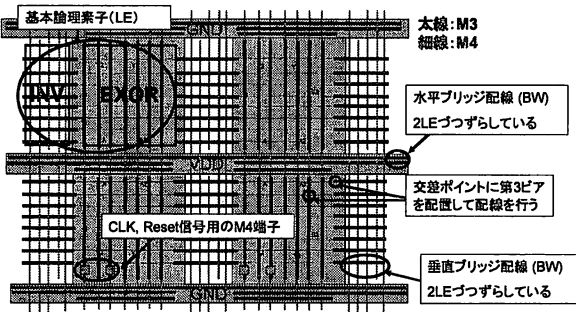


図 6 ローカル配線アーキテクチャ

LE のレイアウトは図 2 で示したように、2つのエリア(EXOR と INV)で構成される。EXOR と INV のエリア上に、M3,M4 配線はメッシュ状に配置されている。その交点に第 3 ピアパターンを配置することによって、論理ゲート間の配線を行う。また、INV エリア領域の M3 配線と EXOR エリア領域の M3 配線は、直交しており、INV エリアの M3 配線と EXOR エリアの M4 配

線を第 3 ピアで交互に接続していくことで、直線的に配線を延長していくことができる。

LE 領域の配線以外に、主として長距離の配線を担当する配線リソースとして、LE 間にはブリッジ配線(BW)と呼ばれる垂直、または水平な長距離配線用の配線を配置している。BW は 4LE 分の長さを持つ。

このほかスキャンDフリップフロップ用のクロック配線(CLK)とリセット配線(Reset)および電源配線は第 5 メタル配線(M5)を使用している。

4. VPEX の性能評価

4.1. 論理ゲート別性能評価

VPEX で実現した 2 入力論理ゲートを、標準スタンダードセルで実装した論理ゲート、および、従来研究の行われてきたピアプログラマブルデバイスアーキテクチャを参考にした他の 2 入力論理ゲートに対して性能比較を行った。性能比較は、面積・遅延時間・消費電力を指標とした。

想定したピアプログラマブルデバイスは、LUT ベース型[4]、SOP 型である。ゲートアレイ型[5] [6]デバイスは、2 入力 LUT として使用するにはあまりに大きいので、評価の対象からはずした。LUT 型および SOP 型の 2 入力論理ゲートの回路図を図 7 に示す。各素子にある「丸印」はピアを打つ箇所であり、その部分のピアの有無で出力論理の変更を行う。

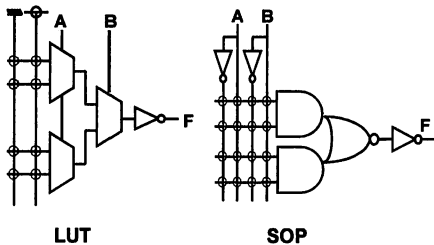


図 7 2 入力ピアプログラマブルデバイス例

ここで、トランジスタ数とゲート段数を用いた性能比較の結果を表 4 に示す。トランジスタ数は面積、ゲート遅延は動作速度の見積もりとして扱うことができる。LUT、SOP と比較して、VPEX はトランジスタ数が少なく、ゲート遅延段数も少ない。

表 4 ピアプログラマブルデバイスの性能見積もり

	VPEX	LUT	SOP
トランジスタ数	12	18	14
ゲート遅延	1-3	3	2-3

本表において、VPEX のゲート遅延値に幅があるの

は、図 3 に示したように、出力する論理によってゲート段数が異なるためである。

まず、最初にレイアウト面積の比較を行った。VPEX 型、LUT 型および SOP 型を同じレイアウトルールで設計し、面積を導出した。配線リソースの影響を取り除くため、論理素子部の面積だけを比較している。スタンダードセルに関しては、すべての 2 入力論理ゲート (NAND, NOR, AND, OR, bubble AND, bubble OR, EXOR, EXNOR) の面積を算出してその平均値をとった。図 8 に面積比較結果を示す。VPEX はスタンダードセルの約 2 倍の面積であるが、LUT 型は VPEX と比較して 2 倍以上、SOP 型は VPEX とほぼ同等の面積となった。

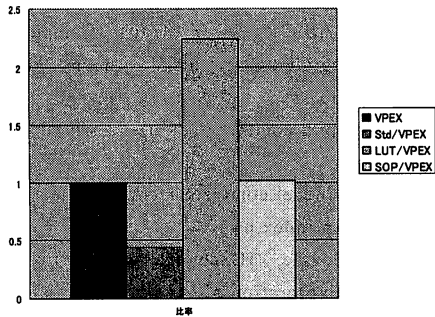


図 8 各種 2 入力論理素子の面積評価結果

次に Synopsys 社の HSPICE を用いて、遅延時間と消費電力のシミュレーション測定を行った。シミュレーションは、ローム社 0.18 μ m CMOS の SPICE パラメータを用いており、測定方法を以下に示す。

動作速度に関しては、次段のファンアウト数を 3 とした素子を直列に 20 段並べた回路を用意し、5 段目と 15 段目の素子の間の立ち上がり、立下り時間の差を測定する。この結果を素子間の段数 10 で割った値を素子 1 段分の遅延時間とした。消費電力に関しては、2 入力の全遷移パターンに対して消費電力を測定し、パターン数で割ったものを平均消費電力とした。

遅延時間の比較結果を図 9 に示す。スタンダードセルと比較すると、VPEX の遅延時間は NOR, OR でほぼ同等、XOR, XNOR でほぼ 1.2 倍、NAND, AND では約 1.8 倍となっており。これは図 3 に示す回路構成からほぼ妥当な結果といえる。LUT 型、SOP 型と比較すると XOR, XNOR ではほぼ同等、その他の NAND, NOR, AND, OR では約 90% から約 55% と、VPEX の遅延時間ももっとも小さい。特に VPEX の場合にはゲート遅延が 1 段となる NAND と NOR は LUT 型、SOP 型と比較すると非常に高速であり、VPEX が 2 入力のプログラマブル基本論理素子として最も高速であるといえる。

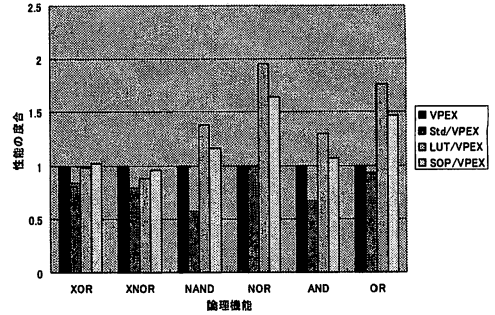


図 9 各種 2 入力論理素子の動作速度評価

消費電力の比較結果を表 5 および図 10 に示す。VPEX の消費電力は、LUT 型や SOP 型と比較して、非常に少ない。これは表を見ればわかる様に、LUT 型、SOP 型では、どのような演算論理であっても回路構成素子がすべて動作して一定の消費電力を消費するためである。ただし SOP 型の AND, OR ゲートでは入力インバータが使用されないため消費電力が少なくなっている。これに対し、VPEX は演算に必要な論理ゲートのみが動作するため、特に VPEX の構成素子として存在する NOR 素子では消費電力が非常に少ない。

以上の結果から、本研究で開発した VPEX は面積・遅延時間・消費電力を比較した場合、LUT や SOP を用いる他のビープログラマブルデバイスより、性能が高い。この結果は表 4 のラフな見積もり結果とほぼ一致する。

表 5 各種 2 入力論理素子の消費電力評価表

消費電力(μ W)	VPEX	Std	LUT	SOP
XOR	9.96	10.77	25.8	13.7
XNOR	13.58	12.06	25.8	15.13
NAND	5.45	2.12	19.5	16.7
NOR	3.03	2.03	20.3	13.7
AND	8.21	4.26	21.4	6.03
OR	5.19	3.36	20.5	6.73

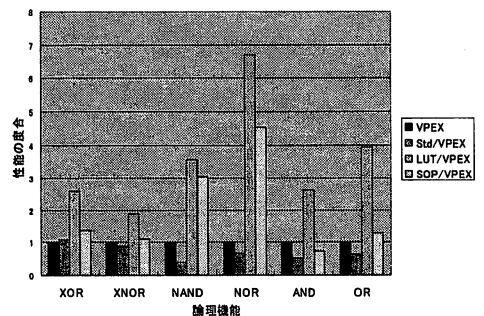


図 10 各種 2 入力論理素子の消費電力評価グラフ

4.2. 小規模回路での性能評価

小規模回路をスタンダードセル(Std)と VPEX で構成した際の性能比較を実地した。今回はサンプル回路として、「10 進カウンタ」と、「4bit 乗算器」を用い、性能評価を行った。結果を表 6 に示す。

VPEX で構成した回路は、面積で約 4.5 倍、動作速度で約 1.5 倍、消費電力で約 2.2 倍の性能となった。動作速度・消費電力の結果においては、図 9,10 に示した単体ゲートの性能より若干悪化している。これは VPEX の持つ配線構造[11]が、寄生容量・抵抗を持ちやすい構造となっているためだと考えられる。

表 6 には、FPGA で回路を実現した場合の概算値も掲載した[1]。現在少量生産 LSI で主流である FPGA と性能を比べると、VPEX はかなり高い性能を示している。この結果から、VPEX は少量生産 LSI の分野で非常に有利なデバイスであることが分かる。

表 6 小規模回路による性能評価

サンプル回路	性能指標	Std	VPEX	FPGA
4bit乗算器	面積	1.00	4.11	(40)
	動作速度 (typ/slow)	1.00 / 1.00	1.57 / 1.60	(4)
	消費電力 (typ/slow)	1.00 / 1.00	2.07 / 1.96	(12)
10進カウンタ (100MHz)	面積	1.00	4.53	(40)
	動作速度 (typ/slow)	1.00 / 1.00	1.30 / 1.28	(4)
	消費電力 (typ/slow)	1.00 / 1.00	2.37 / 2.35	(12)

5. まとめと今後の課題

本論文では、Exclusive-OR と Inverter を 1 つの基本論理素子(LE: Logic Element)とするピアプログラマブルロジックデバイス VPEX を提案した。このデバイスは、2 つのピア層を電子ビームウェハ直接描画法(EB 直描)で変更することで、任意の論理を持ったチップをごく少量でも低コストに製造することが可能である。

VPEX の LE は単体で 2 入力のすべての論理を含む 12 種類の論理を出力することができる。また、(1)1 つの LE から 2 系統の論理回路を出力できる、(2)LE を 5 個用いることでフリップフロップを構成できる、(3)LUT や SOP を使った他の 2 入力論理素子と比較して面積・遅延時間・消費電力のすべての点でもっとも優れている、という 3 つの大きな特徴を持っている。

小規模な回路を構成した結果からは、スタンダードセルと比較して、面積で約 4.5 倍、動作速度で約 1.5 倍、消費電力で約 2.2 倍の性能であった。FPGA は面積で約 40 倍、動作速度で約 4 倍、消費電力で約 12 倍と報告されており、FPGA と比較した場合でのピアプログラマブルデバイスの優位性を示すことができた。

今後は小規模回路実デバイス試作を行い、動作を検証するとともに、配線層に関連するグローバルアーキ

テクチャの検討・自動配置配線ツールの開発を進め、大規模なサンプル回路設計を行って性能評価を行っていく予定である。

謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、メンター株式会社・シノプシス株式会社・ケーデンス株式会社・及びローム株式会社の協力で行われた。また、文部省科学研究費補助金による支援を受けた。関係機関に感謝致します。

文 献

- [1]I.Kuon and J.Rose,"Measuring the Gap Between FPGAs and ASICs", IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol.26 No.2 Feb, p.203, 2007.
- [2]<http://www.altera.com/products/devices/hardcopystx/hst-index.jsp>
- [3]http://www.eu.necel.com/products/asic/0_technologies/struct_asic/issp/index.html
- [4]C.Patel, A.Cozzie, H.Schmit and L.Pileggi, "An Architecture Exploration of Via Patterned Gate Arrays", ISPD, p.184, 2004
- [5]Y.Ran and M.Marek-Sadowska, "On Designing Via-Configurable Cell Blocks for Regular Fabrics", DAC, p.198, 2004
- [6]Y.Ran and M.Marek-Sadowska, "Designing a Via-Configurable Regular Fabric", CICC, p.423, 2004
- [7]<http://www.easic.co.jp/>
- [8]<http://www.advantest.co.jp/products/F3000/en-index.shtml>
- [9]http://www.e-shuttle.co.jp/index_j.html
- [10] 中村明博, 藤野毅, "EB 直描によるスタンダードセル一括露光での寸法精度の検討", 第 53 回応用物理学会関係連合講演会, 3 月(2006)
- [11] 益田祐, 梅本佳和, 浅田広一郎, 藤野毅, "秘密鍵を LSI に埋め込んだユニークデバイスを用いた PKI システムの提案とシングルサインオンシステムへの応用", 暗号と情報セキュリティシンポジウム, SCIS2007, p.254, 1 月(2007)
- [12] 下村弘, 奥山一樹, 中村明博, 藤野毅, "ピアプログラマブルロジック VPEX を用いた固定秘密鍵埋め込み型 RSA 暗号回路の設計", 電子情報通信学会技術研究報告, ICD2006-227, 3 月(2007)
- [13]Y.Ran and M.Marek-Sadowska, "Via-Configurable Routing Architecture and Fast Design Mappability Estimation for Regular Fabric", ICCAD, p.25, 2005