

クラスタベースFPGAにおけるスモールワールド ネットワーク化配線構造の評価

西岡 勇蔵[†] 飯田 全広^{††} 末吉 敏則^{††}

^{† †}熊本大学大学院 自然科学研究科 〒860-8555 熊本市黒髪 2-39-1

E-mail: [†]nishioka@arch.cs.kumamoto-u.ac.jp, ^{††}{iida,sueyoshi}@cs.kumamoto-u.ac.jp

あらまし ディープサブミクロンプロセスの時代に入り、集積回路内の遅延はスイッチング遅延より配線遅延が支配的になってきている。そのため、大量の配線リソースを持つFPGAは、製造プロセスの微細化によって受ける恩恵よりも、配線遅延の増大という問題によって性能向上が阻害されている。この問題を解決するため、我々はスモールワールドネットワークと呼ばれるグラフ理論をFPGA配線構造に適用した新しい配線構造を提案している。提案配線構造は配線遅延の削減を目的としており、従来の規則的な配線構造にショートカットの役割を果たす配線をランダムに少量追加する。これまでに我々は単一LUTの論理ブロックを持つFPGAにおいて提案配線構造による遅延の削減を確認した。本稿では、クラスタベースのFPGAを対象として、提案配線構造の評価を行う。その結果、従来の配線構造で遅延の改善が可能な回路に対して、提案配線構造ではクリティカルパス遅延を削減し、クラスタベースFPGAにおいても提案配線構造の効果が確認できた。

キーワード FPGA, 配線遅延, 配線構造, スモールワールドネットワーク

Evaluation of the Small-World Network Routing Structure for Cluster Based FPGAs

Yuzo NISHIOKA[†], Masahiro IIDA^{††}, and Toshinori SUEYOSHI^{††}

^{† †} Department of Mathematics and Computer Science, Graduate School of Science and Technology,
Kumamoto University, 2-39-1 Kurokami, Kumamoto-shi, 860-8555 Japan

E-mail: [†]nishioka@arch.cs.kumamoto-u.ac.jp, ^{††}{iida,sueyoshi}@cs.kumamoto-u.ac.jp

Abstract In deep sub-micron process, the wire delay exceeds the switching delay. The wire delay is dominant in the total delay. FPGA receives a benefit by using new process technologies. However, the problem of the wiring delay is influential more than it. FPGA device has a lot of wire make matter worse. For these reasons, performance advances is obstructed in FPGA. In order to solve it, we propose a new routing structure which apply the Small-World Network to FPGA routing structure. It reduces the wire delay by adding a few random wires to regular routing structure. Our routing structure achieved the reduction of the delay in the architecture without cluster based FPGAs before now. In this paper, we evaluate our routing structure for cluster based FPGA. As a result, our routing structure also reduced the critical path delay for some circuits which can expect an improvement in cluster based FPGAs.

Key words FPGA, Wire delay, Routing Structure, Small-World Network

1. はじめに

FPGA (Field Programmable Gate Array) は実装するアプリケーションに応じて回路構成を変更可能なLSI (Large Scale Integration) である。製品出荷後に様々な回路に変更可能であるため、特定用途向けの集積回路であるASIC (Application

Specific Integrated Circuit) と比較すると開発費が低く、設計期間を短縮できるという利点がある。よって、頻繁に仕様が変更される通信機器等において普及している。しかし、FPGAには様々な課題がある。その1つに、配線遅延による問題が挙げられる。FPGAでは、柔軟性を実現するためデバイスの大部分が配線リソースで占められている。このため、FPGA上の遅延

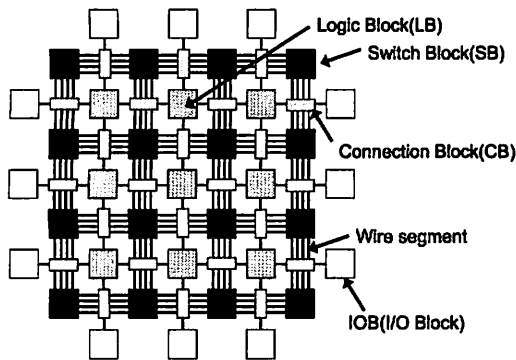


図1 Island-Style型FPGAの概略図

延において配線遅延が支配的になる[1]。また上記で述べたように、FPGAは集積密度を上げるために最先端のプロセスで製造されている。ディープサブミクロンプロセスでは、配線が細くなり配線間隔が狭くなる。これにより、配線抵抗と配線容量が共に増加し配線遅延が増加する。以上の点から、製造プロセスの微細化が進むにつれ、FPGAの配線遅延問題はより深刻化している[1][2]。この問題を解決するため、我々はFPGA配線構造のsmall worldネットワーク化を行っている[3]。small worldネットワークとは、近傍に存在するノード間に関しては密な接続関係にありながら、遠く離れたノードとは少ないステップで到達可能な性質を持つネットワーク構造である。FPGA配線構造のsmall worldネットワーク化は、small worldネットワークの性質をFPGA配線構造に適用する事により、配線遅延を削減するというものである。これまでに我々は単一のLUT (Look Up Table) から成る論理ブロックを持つFPGA (以下、単一論理ブロックFPGA) において提案配線構造による遅延の削減を行った[4]。しかし、現代の商用FPGAでは複数のLUTとFlip Flopから成る論理ブロックを持つFPGA (以下、クラスタベースFPGA) を採用している。クラスタベースFPGAでは論理ブロック外部の接続を論理ブロック内部に取り込むことで外部配線の使用量を減少させる。そのため、クラスタベースFPGAでは提案配線構造に影響があると考えられる。本稿では、クラスタベースFPGAを評価モデルとして、small worldネットワークを適用した配線構造 (以下、SWN化配線構造) のクリティカルパス遅延評価を行い、クラスタベースFPGAにおいて提案配線構造の効果を評価する。以下、第2章では、適用対象のFPGAのアーキテクチャについて解説する。第3章では、FPGA配線構造に適用するsmall worldネットワークについて紹介し、small worldネットワークの適用方法を述べる。第4章では、評価モデルと評価方法について説明し、第5章では、評価結果について考察する。最後に第6章では、本稿のまとめと今後の展開について述べる。

2. クラスタベースFPGA

本章では、SWN化配線構造の対象となるクラスタベース

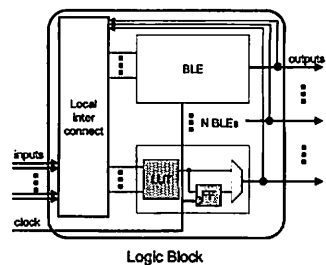


図2 Logic Blockの内部構成

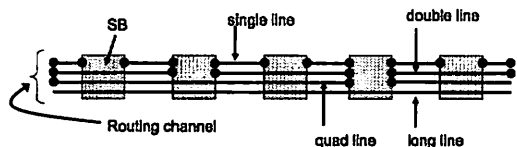


図3 Xilinx社XC4000Xシリーズにおける配線構造

FPGAのアーキテクチャと論理ブロック、配線構造について紹介する。

2.1 Island-Style型FPGA

Island-Style型FPGAは、Xilinx社のXC4000シリーズやVirtexシリーズが採用しているアーキテクチャである[5]。図1にIsland-Style型FPGAの概略図を示す。Island-Style型FPGAはLB (Logic Block) が2次元アレイ状に配置され、LBの間を配線が格子状に張り巡らされている。また、配線上にはSB (Switch Block) とCB (Connection Block) が配置されている。さらに、周囲には外部との信号の入出力に用いるIOB (I/O Block) が用意されている。LBは配置配線により組合せ回路や順序回路を実現できる基本ユニットである。SBは水平方向と垂直方向に張り巡らされた配線の交差部分に配置されている。SB内のスイッチの種類として、パストランジスタとトライステートバッファの2種類が存在する。CBは配線とLBを接続するスイッチであり、マルチプレクサとパストランジスタで構成されている。SBとCBは内部のスイッチのON/OFFによって配線に流れる信号を制御する。

2.2 クラスタベース論理ブロック

図2にクラスタベースFPGAの論理ブロック構造を示す。LBは複数のBLE (Basic Logic Element) によって構成される。BLEは組合せ回路を実装可能なLUTと値を保持するFlip Flop、そしてマルチプレクサから成り、任意の組合せ回路や順序回路を実現できる。LB内のBLEはLB外部の配線より高速な内部配線で接続されており、単一論理ブロックFPGAで構成する場合に比べ、外部配線の使用量を減少させる効果がある。

2.3 配線構造

Island-Style型FPGAの配線構造は、配線長が異なる数種類の配線リソースで構成されている。図3にXilinx社のXC4000Xシリーズの配線構造の概略図を示す。XC4000Xシリーズには、4種類の配線リソースが用意されている。singleラインは隣接するSBを直接接続する配線リソースである。doubleライン、

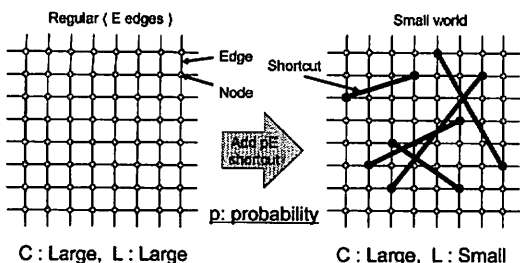


図4 スモールワールドネットワークの2次元モデル

quad ラインはそれぞれ2つ先, 4つ先のSBと直接接続する。long ラインはデバイスの端から端を接続するデバイス長の配線リソースである。配線リソースの種類やリソース量はデバイスのシリーズまたは、バージョンによって異なる。本稿では、デバイスの両端に渡る配線の列をトラックと呼び、トラックの束を配線チャンネルと呼ぶ。

3. FPGA 配線構造の

スモールワールドネットワーク化

本章では、まずスモールワールドネットワークについて説明し、次にスモールワールドネットワークを配線構造に適用する方法について述べる。

3.1 スモールワールドネットワーク

スモールワールドとは、社会心理学の分野で生まれた概念である。旅先やパーティーなどで初対面の人と話していると、偶然にも共通の知人を発見して驚く、という経験を誰もがしたことがあるだろう。これがスモールワールド現象であり、この現象について長い間社会心理学の分野で研究されていた[6]。そして、1998年にD.J. Wattsがスモールワールドをグラフにおける特徴量として定式化して以来、計算機科学の分野で注目されるようになった。[7]。Wattsが定式化したグラフにおける特徴量は以下の2つである。

- L (characteristic path length): グラフ内の任意の2ノードの組み合わせにおける最短パスの長さを、全ての組合せについて平均化した値。

- C (clustering coefficient): あるノードと隣接している2つのノード同士が互いに隣接している確率。あるノードを v とし、その v と接続する k 個のノード同士が接続し得る最大のエッジ数は kC_2 となる。ここで実際に接続しているエッジ数が E_k とすると、ノード v と隣接している2つのノードが互いに隣接している確率 C_v は E_k/kC_2 となる。この全ての C_v の値を平均化した値が C である。人間関係に例えると、共通の知人を持つ2人が直接知り合いである確率を表す。

ノードをSB、エッジを配線と置き換え、この2つの特徴量をFPGA配線構造で表すと、 L はある2点のSBを接続する場合に通過するSB数の平均を表し、 C は1ステップで到達可能なSB数の割合の平均を表す。即ち L の値が小さい程、通過するSB数が少ないため遅延が小さくなり、 C の値が大きい程、到達可能なSB数が増加するため柔軟性が大きくなる。これが

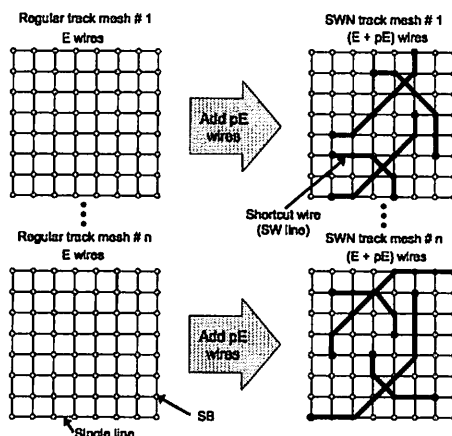


図5 SWラインの追加方法

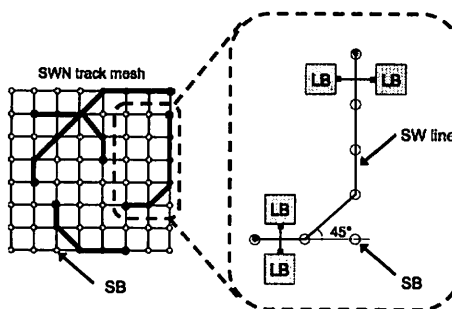


図6 SWラインの接続例

ら、 L の値が小さく C の値が大きいグラフ構造はFPGA配線構造に適しているといえる。スモールワールドは近傍のノード間は密な接続関係でありながら、遠く離れたノードとは少ないステップ数で到達可能な性質を持つ。特徴量を用いて表現するとスモールワールドは L の値が小さく、 C の値が大きいネットワーク構造となる。

M.E.J Newmanらは特徴量を用いて d 次元におけるスモールワールドネットワークのモデルを定義した[8]。図4はスモールワールドネットワークの2次元モデルである。Regularグラフは規則的に接続されているため特徴量 L 、 C は共に大きい。Regularグラフに対して、ランダムに選ばれたノード間を接続するエッジの追加を行う。Regularグラフの総エッジ数を E 本、追加する割合を p とすると、追加するエッジの本数は pE 本となる。 C の値はRegularグラフと同様に大きく、 L の値のみ小さくなり、2次元モデルのスモールワールドネットワークを実現できる。

3.2 配線構造のスモールワールドネットワーク化

ここでSWN化配線構造の適用方法について述べる。スモールワールドネットワークを適用する配線構造として、2章で紹介したIsland-Style型FPGAの配線構造を対象とする。図5にショートカットの役割を果たす配線（以下、SWライン）の追加方法を示す。適用前の配線構造（以下、レギュラー配線構造）の配線チャンネルにsingleトラックが n 本存在すると仮定

表 1 評価モデル

Device Model	XC4000X				Virtex
Cluster size	1	4	8	16	4
Device size	48×48	24×24	17×17	12×12	24×24
# of Tracks	32	56	64	88	44

表 2 配線リソースの内訳

Wire segment	XC4000X	Wire segment	Virtex
single	0.25	single	0.18
double	0.125	hex	0.73
quad	0.375	long	0.09
long	0.25		

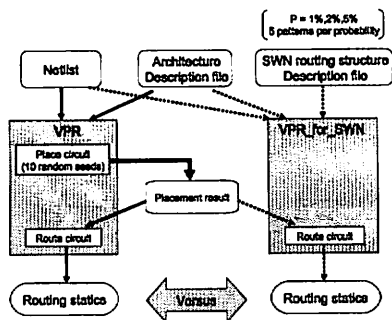


図 7 評価フロー

する。このときレギュラー配線構造の各 single トラックは図 5 に示すように single ラインからなる 2 次元のトラック（以下、トラックメッシュ）に分解できる。トラックメッシュに注目すると、トラックメッシュ内の SB と single ラインをそれぞれ図 4 のノードとエッジとみなす事ができる。M.E.J Newman の定義に基づき、各トラックメッシュに対して SW ラインをランダムに追加し、スモールワールドネットワーク化を行う。追加する SW ラインの本数は、トラックメッシュが E 本の配線を持つ場合 pE 本の SW ラインを追加するため、全体で npE 本となる。図 6 にレギュラー配線構造と SW ラインの接続例を示す。SW ラインの接続は LB と single ラインにのみ接続する。また、SW ラインは X Architecture [9] という斜め配線技術を使用すると仮定し、斜め 45° または 135° の配線部分を持つラインとする。この斜め配線技術を取り入れる事により、レギュラー配線構造上で 2 点の SB を接続する場合に比べ、スイッチ段数だけでなく物理的な配線長も短縮し配線遅延の削減が可能である。SW ラインを追加することで配線構造のスモールワールドネットワーク化を行うが、ランダムに追加するため複数の SW ラインが交差するケースが発生する。これは SW ラインに要する配線層の増加を意味する。以上の点から、SW ラインの配線層が 2 層で収まるような制約下でランダムに追加を行う。

4. 評価方法

本章では、対象となるクラスターベース FPGA の詳細と評価方法について述べる。

これまで我々は、単一論理ブロックの XC4000X シリーズに

表 3 MCNC ベンチマーク回路

Name	# of LBs	# of IOBs
alu4	1,522	22
apex2	1,878	41
apex4	1,262	28
diffeq	1,497	103
ex5p	1,064	71
misex3	1,397	28
s298	1,931	10
tseng	1,047	174

表 4 配線リソースの詳細

XC4000X			Virtex		
Length of wire segment	# of tracks		Length of wire segment	# of tracks	
Single line	Regular	SWN	Single line	Regular	SWN
Double line	4	4	Hex line	45	45
Quad line	12	12	Long line	15	0
Long line	8	0	SW line	0	-
SW line	0	-	Total	69	54
Total	32	24			

おいて、SWN 化配線構造によるクリティカルパス遅延の削減を行った [4]。本稿では、まず XC4000X シリーズを評価モデルとして数種類のクラスターサイズを用意し、SWN 化配線構造の評価を行う。クラスター処理を行うことで論理ブロック外部の接続が内部に取り込まれ、外部配線の使用量は減少する。数種類のクラスターサイズで評価することで、外部配線の使用量減少による提案配線構造の遅延削減を評価する。続いて商用 FPGA として使用されている Virtex モデルを対象モデルとして用い、SWN 化配線構造が現在の FPGA デバイスに対して効果があるか評価する。

4.1 評価モデル

表 1 に評価に用いるデバイスモデル、表 2 に各デバイスの配線リソースの内訳を示す。XC4000X シリーズではクラスターサイズ 1, 4, 8, 16 の 4 種類の評価モデルを用意した。デバイスサイズは LB 使用率の変化による結果への影響を少なくするため、各クラスターサイズによって変更している。トラック数は各ベンチマーク回路に対して実装可能な最小限のトラック数を求め、その中の最大トラック数に対して 1.3~1.5 倍のトラック数を設定している [10]。トラック数も同様にクラスターサイズ毎に設定する。これは各クラスターサイズで使用するトラック使用率を一定のものにするためである。Virtex モデルは XC4000X シリーズと同等の LB 使用率にするため、デバイスサイズは 24 と設定した。トラック数も XC4000X シリーズと同様の方法で設定している。

4.2 評価フロー

評価フローを図 7 に示す。遅延評価を行うにあたりトロント大学で開発された代表的な配置配線ツールである VPR (Versatile Place and Route) ver.4.30 [11] を使用する。VPR における配置処理は、乱数によって初期配置を決定し処理を行う。そのため、乱数シードが異なると配置結果が異なり、配線後の結果

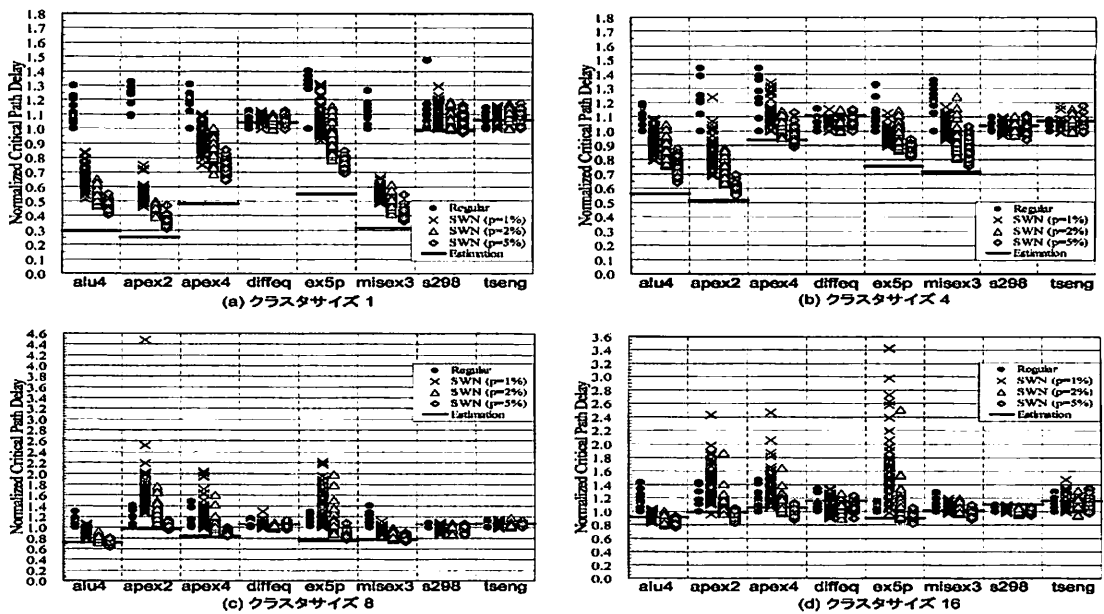


図 8 XC4000X シリーズのクリティカルパス遅延

にも影響してくる。また、SWN 化配線構造も同様に、乱数によって SW ラインの追加する位置を決定している。信頼性の高い結果を得るため、配置では 10 種類の配置結果、SWN 化配線構造では各割合に対して 5 パターンの SWN 化配線構造を用意する。まず、VPR を用いて 10 種類の配置ファイルを出力する。各配置結果に対し、レギュラー配線構造で配線を行い配線結果を出力する。SWN 化配線構造では、レギュラー配線構造と同じ配置結果を使用し、SWN 化配線構造に対応した VPR (以下、VPR_for_SWN) で配線を行う [4]。その結果、1 つの回路に対してレギュラー配線構造では 10 通り、SWN 化配線構造では 150 通りの出力結果が得られる。これらの結果からクリティカルパス遅延を比較して評価を行う。製造プロセスは PTM (Predictive Technology Model) 65nm を用いる [12]。LUT の入力数は 4 と設定した。評価には、表 3 に示す 8 種類の MCNC ベンチマークを使用する [13]。表 4 は XC4000X シリーズのクラスタサイズが 1 の場合と Virtex モデルの配線トラックの詳細である。ここで各 SWN 化配線構造では、ランダムに配線を追加するためトラック単位では存在しない。ディープサブミクロンプロセスでは、単位長辺りの配線遅延が増加し、long ラインの使用率が減少する [3]。したがって、SWN 化配線構造では long ラインを取り除く。ここで long ラインは垂直、水平方向に配線されているため配線層は最低でも 2 層必要になる。SWN 化配線構造では 3.2 章で述べたように SW ラインを配線する層は 2 層としている。これより、レギュラー配線構造と SWN 化配線構造の総配線層数は等しくなり、配線層数に関しても適切であるといえる。

5. 評価結果と考察

この章では、XC4000X シリーズの各クラスタサイズと Virtex モデルについて評価を行う。図 8、及び図 9 にレギュラー配線構造と SWN 化配線構造におけるクリティカルパス遅延のグラフを示す。X 軸は各ベンチマーク回路名を表す。Y 軸はクリティカルパス遅延を表し、レギュラー配線構造における最小クリティカルパス遅延を基準として、正規化した結果を表す。グラフ内の Regular はレギュラー配線構造、SWN は SWN 化配線構造の結果を表す。1 つの回路に対して Regular は 10 個、SWN は各割合に対してそれぞれ 50 個プロットされている。これは、乱数によって生じる結果のばらつきが、SWN 化配線構造の効果によって変化があるか評価するためである。グラフ中に水平に引かれているラインは配置処理の終了時に算出されるレギュラー配線構造における予測クリティカルパス遅延の平均である。予測クリティカルパス遅延とは、配線リソースの競合を無視して配線を行った場合におけるクリティカルパス遅延である。したがって、結果が平均予測クリティカルパス遅延に収束する程、遅延が改善されているといえる。

5.1 XC4000X シリーズ

XC4000X シリーズの各クラスタサイズにおけるクリティカルパス遅延を図 8(a), (b), (c), (d) に示す。まず図 8(a) のグラフに注目すると alu4, apex2, apex4, misex3, ex5p の 5 つの回路において、SWN ではクリティカルパス遅延の改善が見られ、他の回路では Regular とほぼ変わらない結果となる。各結果の平均予測クリティカルパスに注目すると、Regular と平均予測クリティカルパス遅延とのギャップが大きい回路のクリティカルパス遅延が改善されている。これは、レギュラー配線

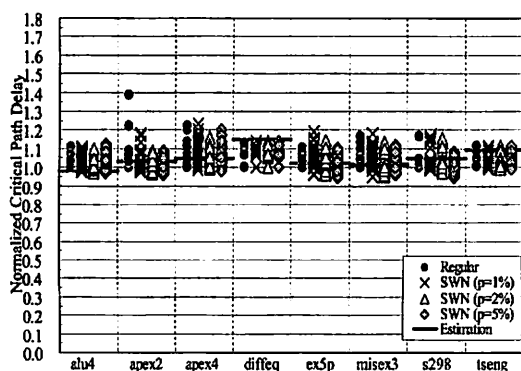


図 9 Virtex モデルのクリティカルパス遅延

構造の場合、実際に配線を行うと配線リソースの競合を避けるため、遅延が小さいパスには長距離の接続に用いる quad ラインの変わりに、短距離の接続に用いる single ラインや double ラインが割り当てられる。single ラインや double ラインは長距離の接続には適しておらず遅延が大きくなる。したがって、最終的にそのパスがクリティカルパスになってしまう。しかし、SWN 化配線構造では、single トラックに SW ラインが存在するため、ショートカットの役割を果たしクリティカルパスになりにくい。このことから、SWN 化配線構造では遅延が削減されている。一方、ギャップが小さい回路では Regular の段階で十分な配線リソースが存在し、競合が起きず配線が行われているため、SWN 化配線構造ではこれ以上の改善が見込めない。

図 8(b), (c), (d) を比較すると、クラスタサイズが大きくなると Regular と予測クリティカルパス遅延のギャップは小さくなる。これからクラスタリング処理によって配線リソースの競合が少なくなっていることが確認できる。また図 8(c), (d) に注目すると、apex2, apex4, ex5p では SWN の方が遅延が増加する。これらの回路は他の回路と比べ long ラインの使用率が高い。またデバイスサイズが小さくなるため、さらに long ライン使用率が増加する。そのため long ラインを削除した SWN 化配線構造では代わりに single ラインを割り当てるため遅延が増加している。特にクラスタサイズが 4 の apex2 とクラスタサイズが 16 の ex5p では大幅に遅延が増加している。この遅延結果を調べると SW ラインの使用率は高いが、クリティカルパスでは SW ラインが使用されていないため遅延が大幅に増加している。しかし割合 p が増加すると使用される SW ラインの絶対数が増加するため、クリティカルパス遅延は削減される。割合 $p = 5\%$ では Regular より遅延が改善されている。また、全クラスタサイズを通して SWN 化配線構造による遅延削減が確認できる。

5.2 Virtex モデル

次に Virtex モデルでの遅延評価を行う。Virtex モデルでのクリティカルパス遅延の結果を図 9 に示す。XC4000X に比べ予測クリティカルパス遅延とのギャップが小さくなっている。これは、XC4000X と異なり遅延が小さい hex ラインが大量に

用意され、遅延の大きい single ラインが少ないためである。しかし、apex2 のように Regular とのギャップが大きい回路では SWN では改善が見られる。また割合 p が増加すると、さらに遅延の改善率が増加することが確認できる。

6. まとめと今後の課題

本稿では、クラスターベース FPGA を評価モデルとして提案配線構造のクリティカルパス遅延について評価した。その結果、SW ラインの追加本数が少ない場合ではクラスタサイズが大きくなると従来の配線構造よりクリティカルパス遅延が増加した。しかし、SW ラインの追加本数が増加すると、遅延が増加した回路も遅延の削減が見られた。また現在の商用 FPGA に近い Virtex モデルでは XC4000X シリーズに比べ、効果は少ないが追加本数が増えると遅延削減効果が確認できた。以上の点から提案配線構造はクラスターベース FPGA においても遅延削減が可能な FPGA アーキテクチャであるといえる。

しかし、SWN 化配線構造にはまだ課題が残っている。今回は割合 p によって提案配線構造の評価を行った。今後は 2 層の配線層に限界まで SW ラインを追加し、追加本数と遅延の削減効果について調査する必要がある。また、提案配線構造はランダムに SW ラインを追加するため、使用されにくい SW ラインも追加される。このような配線の追加を避けるため、効果的な SW ライン長の調査も必要である。最後に定期的に SW ラインを追加した配線構造と提案配線構造を比較し、ランダム性の効果に関する調査も今後の課題である。

文 献

- [1] M. Sheng and J. Rose, "Mixing buffers and pass transistors in FPGA routing architectures," Proc. International Symposium on Field Programmable Gate Array, pp.75-84, Feb. 2001.
- [2] R. Ho, K.W. Mai, and M.A. Horowitz, "The future of wires," Proc. IEEE, pp.490-504, Apr. 2001.
- [3] Tsukihashi H, Iida M, and Sueyoshi T, "APPLYING THE SMALL-WORLD NETWORK TO ROUTING STRUCTURE OF FPGAS," Proc. of 15th International Conference on Field Programmable Logic and Applications, pp.65-70, Aug. 2005.
- [4] 西岡勇蔵, 月足彌, 飯田全広, 末吉敏剛, "スモールワールドネットワーク化配線構造の詳細遅延評価," 電子情報通信学会技術研究報告 RECONF2007-8, Vol.107 No.41, pp.43-48, May. 2007.
- [5] Xilinx, Virtex-II Platform FPGA Handbook, 2000.
- [6] 松尾豊:"スモールワールドとチャンス発見," 人工知能学会誌 Vol.18, No.3, 2003.
- [7] D.J. Watts, Small worlds: the dynamics of networks between order and randomness, Princeton, 1999.
- [8] M.E.J. Newman, and D.J. Watts, "Scaling and percolation in the small-world network model," Physical Review E, vol.60, pp.7343-7348, Dec. 1999.
- [9] "X initiative," <http://www.xinitiative.org/>.
- [10] V. Betz, J. Rose, and A. Marquardt, Architecture and CAD for Deep-Submicron FPGAs, Kluwer Academic Publishers, 1999.
- [11] V. Betz, VPR and T-VPack User's Manual (Version 4.30) , 2000.
- [12] "Predictive Technology Model (PTM)," <http://www.eas.asu.edu/ptm/>.
- [13] "IWLS'93 Benchmark Set: Version 4.0," <http://www.cbl.ncsu.edu:16080/benchmarks/LGSynth93/>.