

[招待講演] LSI のノイズ問題：アプローチとチャレンジ

永田 真†

† 神戸大学大学院工学研究科情報知能学専攻
〒657-8501 兵庫県神戸市灘区六甲台町 1-1
E-mail: †nagata@cs.kobe-u.ac.jp

あらまし デジタルシステムの高速・低消費電力化に向けて、低電圧動作、細粒度な電源ドメイン管理、動的な電圧・周波数制御の導入が進むが、その実装にはダイナミック電源ノイズの考慮が欠かせない。高精度・低電圧なアナログ IP の開発においては、基板ノイズにさらされる SoC 環境下で性能を発揮する設計が求められる。LSI 搭載システムの EMC 性能を高めるためには、チップとボードで連携した低ノイズ化設計が必須になる。本稿では「LSI におけるノイズ問題」に焦点をあて、LSI 設計に役立つノイズの知識獲得と、インテグリティを指向する設計技術に向けた取り組みについて紹介する。

キーワード 電源雑音、基板雑音、シグナルインテグリティ、オンチップモニタ

[Invited Talk] Noise Problems in LSI Design: Challenges and Approaches

Makoto NAGATA†

† Department of Computer Science and Systems Engineering,
Graduate School of Engineering, Kobe University
1-1 Rokkodai, Nada, Kobe 657-8501, Japan
E-mail: †nagata@cs.kobe-u.ac.jp

Abstract Digital designs intending high-speed and low-power consumption necessarily deal with dynamic power supply noise, for successful implementation of low-voltage operation, fine-grained power domain management, as well as dynamic voltage-frequency scaling. Analog designs for precision and low-voltage operation need to be tolerant against substrate crosstalk in SoC. Chip and board co-design of LSI systems is strongly required for lower noise and higher EMC performance. Challenges and approaches against noise problems in LSI design include in-depth understanding of noise behaviors and design flows for integrity.

Key words Power supply noise, Substrate noise, Signal Integrity, On-Chip Monitoring

1. はじめに

システム LSI の高集積化・高機能化に伴い、LSI チップ内部の動的な電源雑音と、その回路動作や周囲環境への影響の理解が重要になってきている。図 1 に電源ノイズが引き起こす LSI 設計上の課題を示す。デジタル回路の高速・高密度動作に起因して発生する電源・グラウンド雑音は、デジタル回路自身の動作を不安定にし、あるいはシリコン基板を経由して同一チップ上のアナログ回路やメモリ回路に漏れ込んで回路の動作性能を劣化させる。さらに、LSI チップの電源電流の変動は、LSI チップを実装したシステムにおいて不要な電磁放射 (EMI: Electromagnetic interference) を引き起こし、この電磁波がシステム上の他の LSI に到達して電源や信号の電位変動を通して動作不良あるいは破壊につながる (EMS: Electromagnetic

susceptibility)。電源雑音の問題は、LSI チップと搭載システムの結合系の事象であり、系全体の解析では、チップ、パッケージ、プリント基板、など異なるサイズ領域での等価回路をそれぞれに生成し、これらを統合してシミュレーションする手法がとられる。しかしながら、電源雑音の発生から回路動作への影響まで、系全体で事象全体を解析する手法は確立されておらず、このためチップ設計の過程で電源雑音を予測し、効果的に対策する手段としてはまだ完成されていない。実際には、電源雑音の問題に対して、回路レベルでの雑音発生低減化や雑音感度低減化、チップ・レイアウトでの回り込み抑制パターン、ボードレベルでの電磁雑音吸収など、さまざまな試行錯誤が欠かせない。これらの電源雑音対策の効果を定量的に予測する手段を確立することが、設計技術として求められている。このためには、電源雑音の発生、伝播、回路への漏れこみなど、各

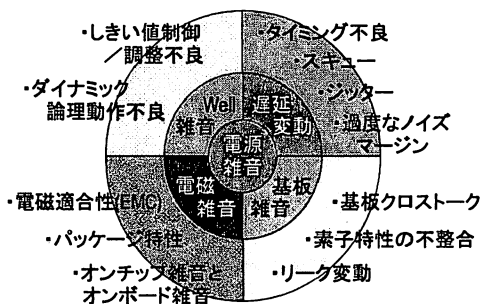


図 1 電源雑音と LSI 設計における課題。

事象を発生地点で詳細に実測評価し、設計工程で用いられるシミュレーション手法あるいはモデリング手法の精度を高める努力が欠かせない。このような目的で、チップ内の電源・グラウンド・基板雑音を検出するモニタ技術 [1-7] や、回路動作への雑音の影響を測定するモニタ技術 [8-11] など、さまざまなオンチップ・モニタの提案や実測データの報告がある。デジタル LSI のオンチップ雑音測定を、電磁環境両立性 (EMC) の評価に応用する取り組みも進められている [12]。一方、チップレベルで電源雑音の発生と基板雑音を解析するシミュレーション技術も報告されている [14-17]。本稿では、図 1 の課題意識のもとで開発されてきた、これらの技術について紹介する。

2. オンチップモニタ技術

2.1 マルチチャネルモニタ回路構成法

図 2 に多チャネル化可能なオンチップモニタ回路のアーキテクチャを示す。多数のプロビングフロントエンド (PFE) 回路を持ち、それぞれ測定対象となるチップ内の配線電位を入力としている。PFE は排他的に一つだけ同時に用いることでモニタチャネル間の干渉を回避する。また、PFE は、入力信号を時間軸上でアナログ・サンプリングし、(1) サンプル電圧を電圧バッファによりチップ外へそのまま出力する構成 (図 2(a))、(2) サンプル電圧を電流に変換してチップ外に出力する構成 (図 2(b)) [6,8]、(3) サンプル値を電圧軸上でも離散化しデジタルビットとしてチップ外に出力する構成 (図 2(c)) [2,10]、などが考えられる。ここでチップ内の多点観測をする場合、多チャネル化したモニタは散在するため、出力信号の配線長が長くなり、また多数のチャネルが接続するため寄生容量が大きくなりやすい。このような条件の下では、(2) の電流モード出力か、あるいは (3) のバイナリ・デジタル出力の PFE 構成が有利である。ここでは、(2)、(3) の構成において、それぞれ電圧-電流変換を連続時間で行う広帯域な非サンプリング型オンチップモニタ [6] と、コンパレータにより被測定信号をダイレクトにレファレンス電圧と逐次比較しながらデジタル化するオンチップモニタ [10] について紹介する。いずれも図 2 における前段のサンプリング回路を排除した構成とし、小面積化している。

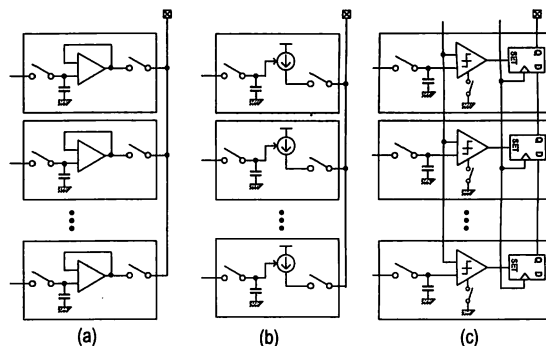


図 2 多チャネル化したオンチップモニタ回路のアーキテクチャ、(a) 電圧バッファ、(b) 電流モード出力、(c) オンチップデジタル出力。

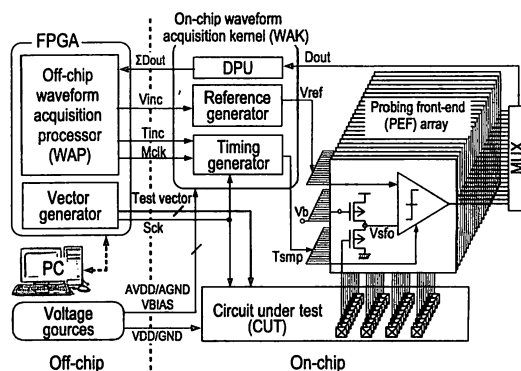


図 3 オンチップマルチチャネル信号モニタの構成。

2.2 オンチップ・マルチチャネル信号モニタ

オンチップ・マルチチャネル信号モニタは、アナログやデジタルなど動作属性や電源電圧の異なる回路を混載したミックスシグナル LSI において、電源・グラウンド・基板雑音や、基板クロストークによる回路への雑音の漏れこみなど、電圧範囲や周波数成分の異なる評価対象を共通のモニタシステムで観測することを目的としている。図 3 にオンチップ・マルチチャネル信号モニタの構成を示す。測定対象信号をプロビングする検出フロントエンド (PFE) と、サンプリング原理に基づいて検出信号をデジタル化する波形取得機構 (WAK) からなる。チップ内には多数個の PFE を搭載し、単一の WAK を共有する。PFE は被測定信号をソースフォロウで検出し、その出力電圧 (V_{sf0}) をレファレンス電圧 (V_{ref}) とコンパレータで逐次比較することでデジタル化する。WAK は、PFE にあたえるレファレンス電圧や比較タイミング信号を発生する機構を備えるとともに、コンパレータ出力から PFE 出力電圧を決定するためのデータ処理系の一部を含んでいる。本モニタは評価対象となる LSI に搭載されるが、オフチップの FPGA に構成したコントローラおよびシステム全体を制御する PC と協調的に動作することで、モニタ制御や波形取得を効率化している [10]。とくに、PFE のみをオンチップ搭載して外部測定器によりデジタル化する従来手法 [2] と比較すれば、波形取得にかかる時間は 1/100

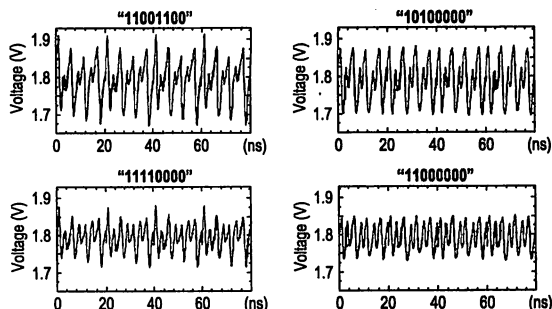


図 4 シフトレジスタにおける電源雑音波形。動作周波数 200 MHz、シフトレジスタ内に保持するデータパターンをパラメタとしている。

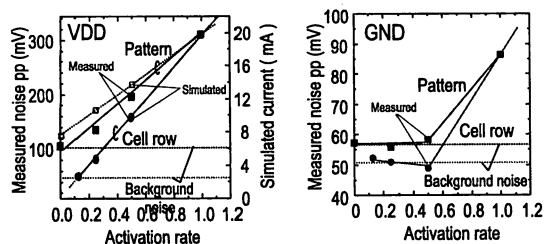


図 5 シフトレジスタの回路活性化率と電源/グラウンド雑音の振幅 (Peak-to-peak 値)。

以下に低減し、およそ 5 分で 1024 ポイントの波形をデジタルデータとして捕捉できる。このような高速波形取得性能により、実効性のあるチップ内多点・長時間かつ高分解能な波形評価を実現している。オンチップ・マルチチャネル信号モニタにより観測したデジタル回路の電源雑音波形を図 4 に示す。ここでは最も簡素な同期回路の一つとして、シフトレジスタを例題にしている。電源雑音の主成分は動作周波数 200 MHz に対応する 5ns 周期のドロップであるが、その振幅はシフトレジスタの保持するデータビットパターンに依存している。ビット遷移の大きいほど回路の活性化率も大きくなり、この結果、雑音振幅も増大する。回路の活性化率を、(1) 同時動作するシフトレジスタ数、あるいは (2) シフトレジスタ内に保持するデータパターン、により変化したときの雑音振幅 (Peak-to-peak 値) を電源配線 (Vdd)、グラウンド配線 (Gnd) に対して実測した結果を図 5 にまとめる。電源雑音の発生が回路の活性化率におおむね比例すること、また電源とグラウンドで雑音振幅に違いがあること (主として配線構造の違いやシリコン基板の存在による)、などの知見が得られる。

2.3 埋め込み型雑音検出回路

埋め込み型雑音検出手法では、デジタル LSI 内部に小型の雑音検出回路を多数埋め込むことにより、デジタル回路の動作時における電源・グラウンド雑音の波形や分布を測定する。図 6 に埋め込み型雑音検出回路を示す [9]。電源電位は N 型のソースフォロウで検出し、その出力電圧を P 型のソース接地段で電流変換する。一方、グラウンド電位は P 型のソースフォロ

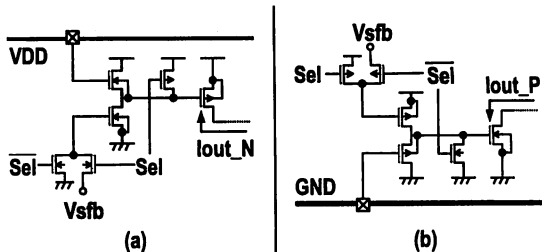


図 6 埋め込み型雑音検出回路。(a) 電源用、(b) グラウンド用。

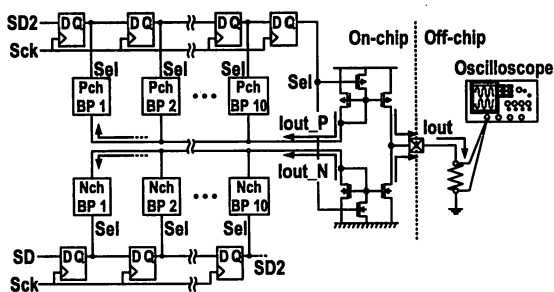


図 7 埋め込み型雑音検出回路のアレイ化構造。

ワで検出し、その出力電圧を N 型のソース接地段で電流変換する。電源/グラウンドのそれぞれに対称な構造の検出回路構成で、いずれもトランジスタ 6 個、すなわち検出機能を実現する 3 つのトランジスタおよび検出回路選択スイッチとして 3 つのトランジスタを含んでいる。従来構成 [6] からサンプルホールド機構を取り除くことで小型化するとともに広帯域の連続時間雑音波形観測を実現している。図 7 には埋め込み雑音検出回路のアレイ構造を示す。各検出回路のカットオフ機能により、アレイ化によるチャンネル間の干渉を取り除いている。また、埋め込み型雑音検出回路はスタンダードセルと同様に回路内部に配置し、回路内部で直近の電源グリッド配線にブローピングする。検出電圧はその場で電流に変換され、電流読み出し回路を通してオフチップに出力され、評価ボード上で抵抗終端するとともにオシロスコープで波形を捕捉する。電流でオフチップまで出力するため、経路上の寄生カップリング容量の影響を低減できる。90 nm CMOS 技術において設計した検出回路では、電源電圧 1V のもとで、AC 帯域 1.2 GHz、入力ダイナミックレンジ 300mV 程度を実現できる。

近年、プロセッサにおいて動的な電圧/周波数制御 (Dynamic voltage and frequency scaling; DVFS) 技術の適用が進んでいる。電源雑音が動作状況の変化に強く影響されることは明らかであり、DVFS 制御における電源インテグリティの確保は重要な設計技術課題である。32 ビット・プロセッサと埋め込み型雑音検出回路アレイを搭載したテストチップを、90nm CMOS 技術により試作・評価した [9]。図 8 に、70 MHz から 350 MHz の周波数ホッピングを行った場合の電源/グラウンド雑音の実測波形を示す。周波数ホッピング前を Initial フェーズ、周波数ホッピングの瞬間を Intermediate フェーズ、周波数ホッピングから一定時間経過後を Final フェーズ、と定義する。

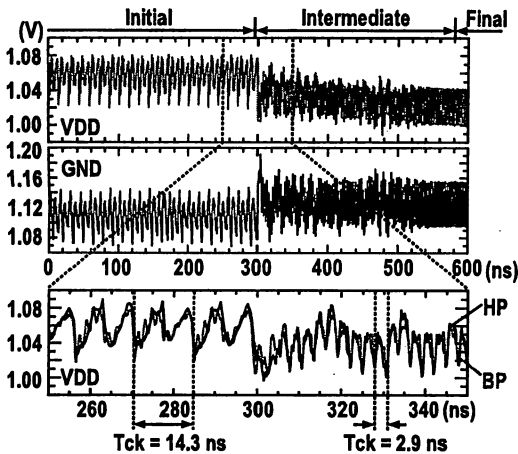


図8 動作周波数を70MHzから350MHzへホッピングした瞬間の電源／グラウンド雑音波形。

クロック周波数の変化により Intermediate フェーズで大きくかつ長周期に及ぶ電圧変動が発生していることが分かる。周波数ホッピングは雑音ピークの増大を招き、結果としてプロセスの動作エラーを引き起こす可能性がある。埋め込み型検出回路によるダイナミック電源雑音の評価により、電源雑音を考慮したデジタル設計への知見が得られる。なお、図8の拡大波形におけるBPとHPは、それぞれ埋め込み検出回路と高分解能モニターにより取得した雑音波形であり、雑音波形観測の再現性が十分高いことを示している。

3. チップレベル雑音解析

3.1 F行列を用いた基板結合モデリング

LSIチップの雑音伝搬解析において、図9のようにチップを水平方向の多層構造とみなしてF行列演算を適用する手法が提案されている[13,14]。基板雑音を対象とした場合、LSIチップを雑音発生源であるデジタル回路のグラウンド配線ネットワークに相当する水平層、グラウンド配線とシリコン基板のタップ（基板コンタクト）群をまとめた垂直層、そしてシリコン基板を表現する水平層と垂直層の3次元積層構造として扱うことができる。このように単純化することで、水平および垂直方向の各層のF行列を形式的に導出でき（行列成分の導出イメージを図9に示している）、また各層のF行列を順番に掛け合わせることでチップレベルのF行列を得ることができる。LSIチップの雑音伝搬解析は、ガードバンドやガードリングによるVictim-Aggressor間の絶縁効果の予測に役立つ[15]。

他方、LSIチップの雑音発生解析においては、デジタル回路を主たる雑音源とみなし、その電源電流がチップの電源系寄生インピーダンスに作用してダイナミックな電圧変動が生ずるとして雑音発生過程をモデル化できる[16]。F行列演算によるチップレベル雑音伝搬モデルと、電源雑音発生モデルを統合することでLSIチップ全体の雑音解析を実現できる。

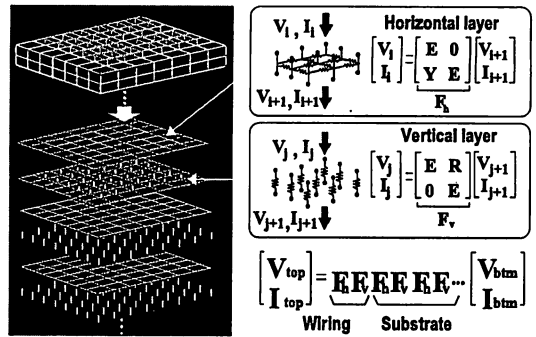


図9 LSIチップのレイヤ構造表現とF行列演算。

3.2 チップレベル雑音解析の事例

CMOSプロセスにおけるデジタル回路の雑音発生と、チップレベルの雑音伝搬を評価するための標準的なテストチップ構成を図10に示す[17]。CMOSデジタル回路のスイッチング動作における寄生容量の充放電を表現する遷移制御雑音源回路(TCNS)を雑音発生源とし、チップ内各所(Px)の基板電位変動をオンチップモニターにより測定する。図10には0.18 μm CMOS技術によるテストチップのレイアウト例およびチップの拡大写真もあわせて示している。なお本テストチップは、雑音源発生回路を通常のツインタブ構造とする場合と、回路全体をdeep Nwellで囲むトリプルウェル分離とする場合について、チップレベルで雑音量を比較できる構成としている。一般に、CMOSデジタル回路のグラウンド配線とシリコン基板は基板コンタクトにより低抵抗に接続されているため、グラウンド配線の電位変動がシリコン基板に漏れこみ、基板中を伝搬してチップ上の各所に基板雑音として現れる。F行列演算法によるチップレベル基板結合モデルを導出するため、図10のチップに対して図11のように2次元メッシュを適用した。5mm角のテストチップを200 x 200(25 μm角)の等方メッシュで分割し、基板コンタクトと接続のあるグラウンド配線、すなわち雑音発生源回路のグラウンド配線や周辺I/Oリング配線、を取り込んでいる。また、雑音発生源回路の雑音発生モデルや、チップのグラウンド端子とシステムの接地点をつなぐ配線構造のインピーダンス、オンチップモニターの観測点、などをそれぞれ対応するメッシュ交点に接続している。

オンチップモニターによる実測波形とチップレベル等価回路のシミュレーション波形を図12に比較する。雑音波形における両者の対応は良く、また雑音振幅が雑音発生源のグラウンド配線近傍で最も大きく、距離とともに減衰する傾向が捉えられている。図13には、雑音源からの距離に対する雑音振幅の依存性について、ツインタブ構造とトリプルウェル構造について比較する。トリプルウェル構造においては、シリコン基板と回路全体をウェル容量分離することで低周波の電位変動を効果的に基板から遮蔽するが、デジタル回路のスイッチング動作のように高周波の変動成分を伴う場合には効果が低減する。このため、このテストチップではピーク振幅で比較する限り十分な分離効果は得られていない、雑音源からの距離を置くことの方が

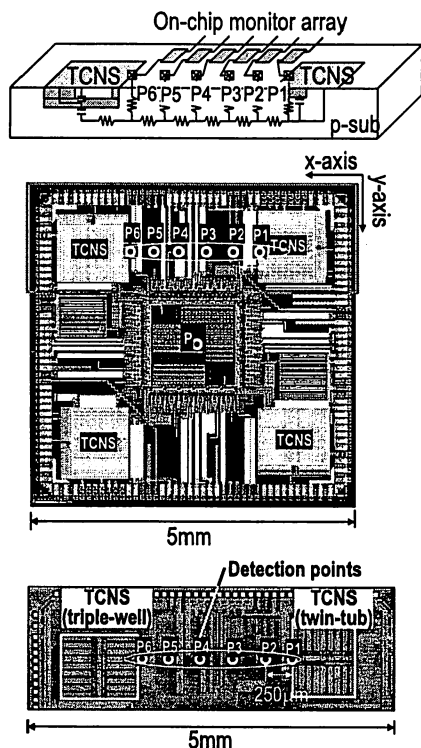


図 10 チップレベル雑音解析の標準的なテスト構造とテストチップのレイアウト例。

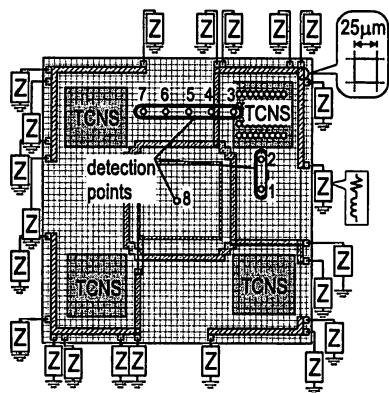


図 11 チップレベル雑音解析モデルの抽出。

トリプルウェル構造の導入よりも効果的であることがわかる。

チップレベル雑音解析技術により、LSI 設計の早い段階で雑音対策レイアウトの効果を定量評価することが有効である。このようなテストチップをターゲットプロセスで試作することで、雑音源回路に対する分離構造（トリプルウェル構造やガードリングなど）の絶縁効果、あるいは雑音源回路から基板雑音観測点までの距離に対する伝搬減衰効果、を具体的に評価できる。あわせて、チップレベル雑音解析手法と実測結果の整合性を確認することで、チップレベル雑音解析フローを当該プロセスにおけるミックスシグナル-システム LSI 設計に役立てること

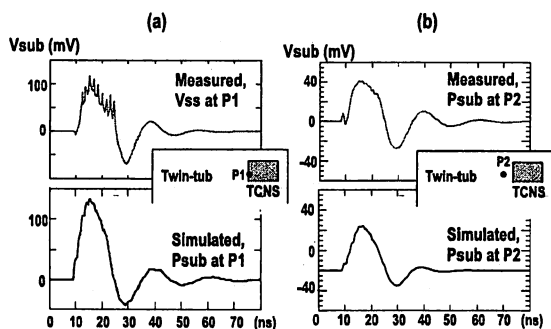


図 12 雑音波形の実測と解析の比較（ツインタブ構造）。(a) 雑音発生源のグラウンド配線近傍、(b) 雑音発生源回路から少し離れた場所の基板電位。

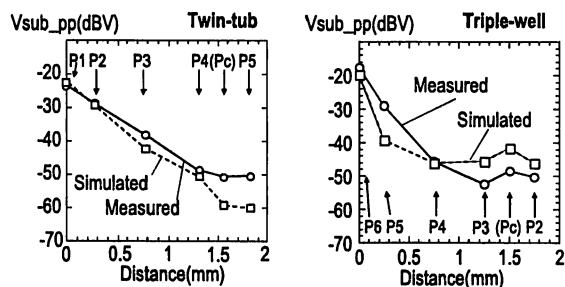


図 13 雑音振幅の距離依存性、ツインタブ構造とトリプルウェル分離構造の効果（実測および解析）。

ができる。

4. まとめ

LSI の雑音問題へのアプローチとして、オンチップモニタを用いた電源・グラウンド・基板雑音の実験的理解、およびチップレベル雑音解析による雑音発生と伝播減衰の予測手法について述べた。本稿の段階ではこれらの技術はまだ要素に過ぎず、複雑化の進むシステム LSI 開発において、その設計フローと統合して活用する道筋をつける研究が今後必要と考えている。

謝 辞

本稿をまとめるにあたり、日頃より電源インテグリティについて有益な議論を頂いている、小坂大輔氏（エイアールテック）、深澤光弥氏（神戸大学）に感謝致します。

文 献

- [1] K. M. Fukuda, T. Anbo, T. Tsukada, T. Matsuura, and M. Hotta, "Voltage-Comparator-Based Measurement of Equivalently Sampled Substrate Noise Waveforms in Mixed-Signal Integrated Circuits," *IEEE J. Solid-State Circuits*, Vol. 31, No. 5, pp. 726-731, May. 1996.
- [2] M. Nagata, J. Nagai, M. Morie, A. Iwata, "Measurements and Analyses of Substrate Noise Waveform in Mixed-Signal IC Environment," *IEEE Trans. CAD of Integrated Circuits*

- and *Systems*, Vol. 19, No. 6, pp. 671-678, June 2000.
- [3] M. Takamiya, M. Mizuno, K. Nakamura, "An On-Chip 100 GHz Sampling Rate 8-Channel Sampling Oscilloscope with Embedded Sampling Clock Generator," in *IEEE ISSCC Dig. Tech. Papers*, pp. 182-183, Feb., 2002.
 - [4] Y. Zheng, K. Shepard, "On-Chip Oscilloscopes for Noninvasive Time-Domain Measurement of Waveforms in Digital Integrated Circuits," *IEEE Trans. VLSI Systems*, Vol. 11, No. 3, pp. 336-344, June 2003.
 - [5] A. Muhtaroglu, G. Taylor, T. Rahal-Arabi, "On-Die Droop Detector for Analog Sensing of Power Supply Noise," *IEEE J. Solid-State Circuits*, Vol. 39, No.4, pp. 651-660, Apr. 2004.
 - [6] M. Nagata, T. Okumoto, K. Taki, "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 813-819, Apr., 2005.
 - [7] Y. Kanno, Y. Kondoh, T. Irita, K. Hirose, R. Mori, Y. Yasu, S. Komatsu, H. Mizuno, "In-Situ Measurement of Supply-Noise Maps With Millivolt Accuracy and Nanosecond-Order Time Resolution," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, Apr., 2007.
 - [8] K. Noguchi, M. Nagata, "An On-Chip Multi-Channel Rail-to-Rail Signal Monitoring Technique for Sub-100-nm Digital Signal Integrity," *IEICE Transactions on Electronics*, Vol.E89-C, No.6, pp. 761-768, June 2006.
 - [9] M. Fukazawa, T. Matsuno, T. Uemura, R. Akiyama, T. Kagemoto, H. Makino, H. Takata, M. Nagata, "Fine-Grained In-Circuit Continuous-Time Probing Technique of Dynamic Supply Variations in SoCs," in *2007 IEEE ISSCC Dig. Tech. Papers*, pp. 288-289, Feb. 2007.
 - [10] K. Noguchi, M. Nagata, "An On-Chip Multi-Channel Waveform Monitor for Diagnosis of Systems-on-Chip Integration," *IEEE Transactions on VLSI Systems*, Vol. 15, No. 10, pp. 1101-1110, Oct. 2007.
 - [11] K. Noguchi, T. Hashida, M. Nagata, "On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration," *IEICE Transactions on Electronics*, Vol.E90-C, No.6, pp. 1189-1196, June 2007.
 - [12] K. Ichikawa, Y. Takahashi, M. Nagata, "Experimental Verification of Power Supply Noise Modeling for EMI Analysis through On-Board and On-Chip Noise Measurements," *IEICE Transactions on Electronics*, Vol.E90-C, No.6, pp. 1282-1290, June 2007.
 - [13] Y. Murasaka, M. Nagata, T. Ohmoto, T. Morie, A. Iwata, "Chip-Level Substrate Noise Analysis with Network Reduction by Fundamental Matrix Computation," in *Proc. IEEE Int. Symp. on Quality Electronic Design 2001*, pp. 482-487, Mar. 2001.
 - [14] M. Nagata, Y. Murasaka, Y. Nishimori, T. Morie, A. Iwata, "Substrate Noise Analysis with Compact Digital Noise Injection and Substrate Models," in *Proc. Asia and South Pacific Design Automation Conf. 2002*, pp. 71-76, Jan. 2002.
 - [15] D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, "Evaluation of Isolation Structures against High-Frequency Substrate Coupling in Analog/Mixed-Signal Integrated Circuits," *IEICE Transactions on Fundamentals*, Vol.E90-A, No.2, pp. 380-387, Feb. 2007.
 - [16] M. Nagata, T. Morie, A. Iwata, "Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits," *Proc. IEEE 2002 Custom Integrated Circuits Conference*, pp. 501-504, May 2002.
 - [17] D. Kosaka, M. Nagata, Y. Murasaka, A. Iwata, "Chip-Level Substrate Coupling Analysis with Reference Structures for Verification," *IEICE Transactions on Fundamentals*, Vol.E90-A, No.12, pp. 2651-2660, Dec. 2007.