

カラー図形ワークステーションの開発

斉藤 光男 相川 健 森 秋夫
(東 芝 総 合 研 究 所)

§ 1. まえがき

計算機による日本語処理の発展は先ず、大型機のオフライン端末として開始され、次いで入力の問題が少ないオフコンで実用化された。

その後日本語ワードプロセッサが出現するに及び、本格的OAが叫ばれた。

しかし本格的なOAが実用化されるためには、日本語処理・データ処理ばかりでなく、図形・画像等も自由に取り扱える必要がある。また良好なマンマシンインターフェースを保つためには極めて高度の処理が要求される。

このようなマンマシンインターフェースをつかさどるものとして我々は、文章・図形、画像等を高速に表示できる図形ワークステーションを試作したので報告する。

§ 2. システム構成

2. 1. 機能的位置づけ

ワークステーションとは、ユーザとコンピュータとのインターフェースをつかさどる部分であるが、OA用のワークステーションを考えた場合、人間の側から見たマンマシンインターフェースの1つの形態として、現在のオフィスのコミュニケーションの形態である文書を基本とするものが考えられる。ここでいう文書とは文章のみならず、図形・画像等を含むものを言う。

文書の形式を基本としたインターフェースとして我々のグループではシステムの研究開発を行っているが、本ワークステーションはシステムを介して人間と計算機が会話を行うためのハードウェアとして位置づけられる。

我々は本ワークステーションの開発にあたり、関連すると思われる技術分野、CAD (コンピュータエイドデザイン) システム、ワードプロセッサ、図形処理システム等の調査を行ったが、本ワークステーションはこれらのシステムの一部、あるいは全体を包含、融合し、文書作成編集に使いがっのよいバランスの良いものとした。そのため高速な文書

表示機能、文書1ページ表示機能、ビューウィンドー機能等をサポートしている。

図2. 1. に本ワークステーションの機能的な位置づけを示す。

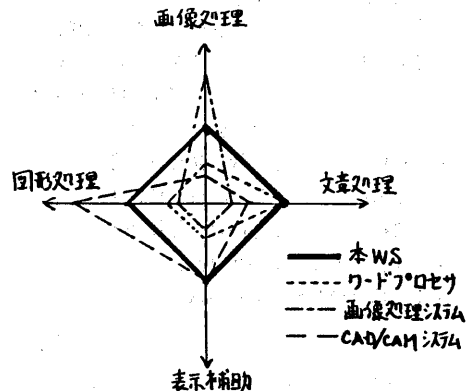


図2. 1. 機能的な位置づけ

2. 2. 要求仕様

本格的なOAのワークステーションとして満たすべき機能として、以下のものがあげられる。

- ・通常のコマンドによる表示の書き替えは、すべてにわたって0.3秒以内であること。(この値は、人間の反応時間に基いている。)
- ・カラーであること。
- ・A4が少なくとも1ページ表示できること。
- ・文字サイズ・文字ピッチが可変であること。
- ・複数ページを重ねて見ることができること。(マルチビューウィンドウ)
- ・通常の文書に現れる表現が、そのままの形で見えること。

2. 3. 内部仕様

要求仕様に基づいて作られた図形ワークステーションの内部構成を図2. 3. に示す。

各部分のスペックは以下に示す通りである。

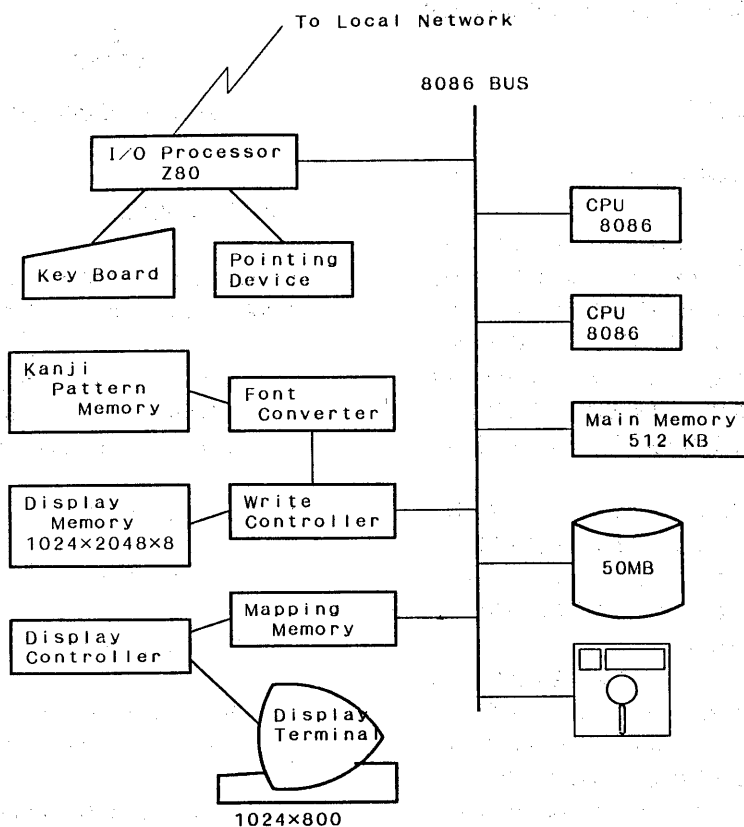
- ・ディスプレイ : 14" カラー CRT
1024×800 dot
- ・画像メモリ : 1024×2048×8
- ・画像制御部 : 12 bit 幅
マイクロプログラム制御
- ・漢字メモリ : 24×24, 16×16,
各JIS第1水準, 第2水準+外字
- ・CPU : iAPX86×2
- ・DISK : 50MB 8inch×1
- ・FDD : 1MB 8inch×1
- ・メインメモリ : 512KB
- ・I/Oプロセッサ: Z80A×1

§3. ハードウェア構成

3. 1 CPU (8086)

特徴的なマルチCPUの動作について概略動作を説明する。

ここで、CPU1とCPU2は5 [MHz] バージョン16ビットマイクロコンピュータ8086であり、8086から出力されるアドレス、データ、コントロール等のローカルバスはバスドライバを通してシステムバスに接続されている。2つのCPUのうちどちらかのローカルバスをシステムバスに出力するかは、バス制御回路によって決められる。バス制御回路には、それぞれのCPUから出力されるALE (Address Latch Enable) 信号がシステムバス使用要求信号として入力され、システムバス使用中でなければ使用要求を出力したCPUに対してシステムバスを確保させる。また、システムバスの解放はバス制御回路に対してメモリあるいはI



0機器のアクセス終了信号を入力することによって行われる。もし、片方のCPUがシステムバスを使用中でもう片方がシステムバス使用要求を出力した場合には、片方のCPUがシステムバスの使用終了になるまで、使用要求を出力した方のCPUがバス制御回路により待たされる。なお、図3. 1. のように β [秒]だけ位相の異なるクロック1, 2をそれぞれのCPUに与えることにより、双方から出力されるシステムバス使用要求信号、つまりALE信号が、クロックの立下りエッジから α [秒]遅れるので、同時にバス使用要求を出力することはない。この方式をとることにより簡単なバス制御回路でシステムバスの競合を防いでいる。

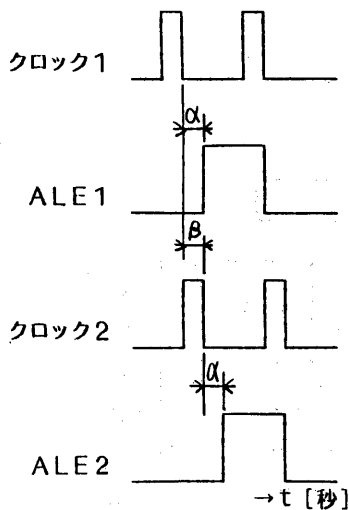


図 3. 1. タイミング

3. 2. 画像制御部

3. 2. 1. 概要

画像制御部は、漢字、イメージ、図形等を次セクションで記述する画像メモリに書くためのコントローラである。

このコントローラは、Am 2901を3個使用し μ プログラム制御で、高速に画像の書き替えを行うことができる、いわば画像ディスプレイ制御の中心的なハードウェアである。

このコントローラは、8086とDMAで接続されており、8086の制御に従った動作を行う。その詳細は、次章のソフトウェアの項で述べる。

3. 2. 2. アーキテクチャ

画像制御部の基本的なアーキテクチャは、図3. 2. 2に示す。基本的にはシーケンスコントロール部、演算制御部、画像バス制御部に分かれている。

このアーキテクチャの特徴は、基本的に画像バスと演算のバスを分離したことで、これにより演算部は、書き込むべきアドレスの計算にのみ専念でき、専用ハードなしでも非常に高速な画像、図形、漢字の書き込みを行うことができる。

また、 μ プログラムは、画像処理用に最適化を図り、画像メモリの操作と通常の演算を一つの命令で同時に実行できるようにしている。

このようなアーキテクチャを取ることで、漢字、画像を表示する場合、画像メモリのサイクルタイムの速度で書き込みが可能となっている。

3. 2. 3. マイクロシーケンサ

マイクロプログラムのコントローラとして、AM 2910を採用している。

マイクロプログラムは、1ワード24bitで2KWがRAM、2KWがPROMになっている。RAM部分は、8086からマイクロプログラムをローディングして実行させることができる。

2910のD0~D11に2901の演算結果を入れることができるようにしたので、演算結果の回数だけループする。又は、演算結果の番地にジャンプする等が行えるため、プログラムの減少、速度の向上に非常に役立っている。

3. 2. 4. 演算制御部

演算制御部は、AM2901を3個使用し、12bitの計算機として動作を行う。マイクロシーケンサからの指令をデコードして2901を制御するデコーダとして、PAL (Programmable Array Logic) を使用している。

演算部には、ワーク用のメモリとして高速のRAMを1KW持っているので、複雑な制御を高速に行うことができるようにしている。

この演算部は原則として、画像メモリに書くべきアドレスを計算しており、画像データは直接2901中を流れないようにしている。

3. 2. 5. 画像バス

画像バスは、画像メモリに書くべきデータを切換えるためのバスで、画像の発生源としては、

1. 画像メモリ（を読み出したもの）

2. 文字発生部

3. 演算部

4. 画像メモリの各々のプレーン

等があり、これらを演算部の指定により自由に変

更できる。これらは、文字を書く場合、画像を書く場合、カーソル、線図形等で、異なった場所からデータが発生するので、それに対応して切換えて使用している。

3. 2. 6. マイクロプログラム

マイクロプログラムは、1ワード24bitとした。この値は、ハードの量と全体のパフォーマンスを妥協して決められている。また、1命令の実行時間は170nsである。命令のタイプは、コントロールオペコード（2910のコントロール）により大きく3つにわかれ、各タイプはさらに細かく分かれている。

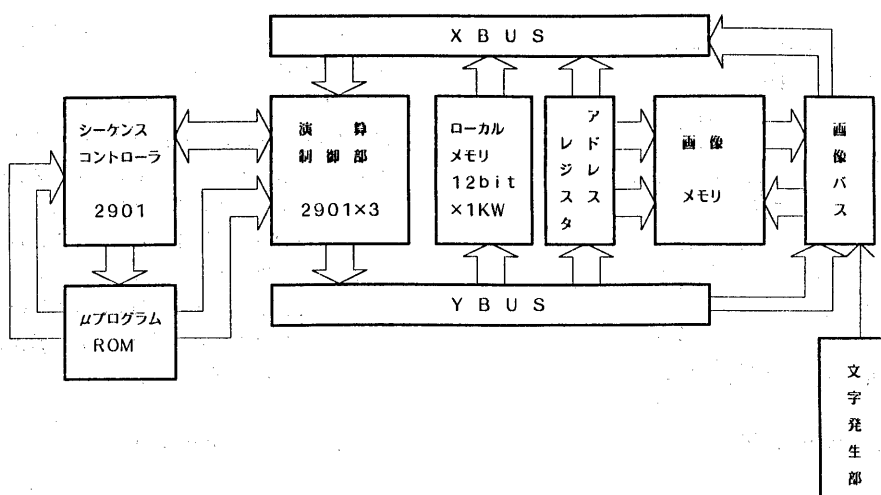


図 3. 2. 2. 画像制御部

3. 3. 画面メモリ

3. 3. 1. 概要

本画面メモリは、画像制御部が作り出したドットデータを記憶し、CRTディスプレイにビデオ信号を供給するビットマップメモリである。

画面メモリに要求される性能としては、画素制御部から見てインターフェースが簡単であること、高速に書き換えができることがあげられる。

本画面メモリは、メモリプレーンを2バンクに分割し、アドレス演算ハードウェアを持つことにより任意のドット位置から縦方向、横方向にアクセスを可能とすることによりインターフェースの簡単化を図り、内部にドットデータ演算器を持つことにより高速書き換えを実現している。

本画面メモリは、画像制御部とのインターフェース(モディファイポート)の他に、CRTディスプレイとのインターフェース(ディスプレイポート)を持ち、画像制御部からは、CRTインターフェースを全く意識せずに済むようになっている。

画面メモリポートは、ボード1枚で1024×2048ドット(4ビット/ドット)の容量を持っている。

3. 3. 2. 画面メモリの仕様

本画面メモリのスペックは次のとおりである。

- | | |
|------------|--|
| 1. 記憶容量 | 1024×2048
(4ビット/ドット) |
| 2. サイクルタイム | 915ns |
| 3. アクセス単位 | 任意のドット位置から縦横2ドット
同一データを書く場合には32ドットまで可 |
| 4. 演算機能 | 32種類 |
| 5. ビデオ周波数 | MAX35MHZ |
| 6. 記憶素子 | 64KDRAM |

3. 3. 3. 画面メモリの機能

(1) タイミング

本画面メモリは2つのポートを持っている。一方はシリアルビデオ信号を取出すための読出専用ポートであり、もう一方は画像制御部と接続され画面メモリの内容を変更するポートである。前者をディスプレイポート、後者をモディファイポートと呼ぶことにする。ディスプレイポート、モディファイポートのアクセスはメモリタイミングの1サイクルを2つに分割することにより行われる。

2つのポートは全くトランスパレントの関係にある。

(2) アクセス単位

本画面メモリのモディファイポートよりのアクセス単位は、ベアドットを基本とするものと、グループドットを基本とするものの2種類がある。これは、外からモードを指定することにより選択することができる。

ベアドットモードにおいては、メモリを2バンクに分割し、各バンクに与えるアドレスに演算をほどこすことにより、任意のドット位置から縦横2ドットのアクセスが可能である。(この2ドットの単位をベアドットと呼ぶ)

今までのアーキテクチャの画面メモリでは $\{D(2m, i), D(2m+1, i)\}$ (m, i は整数)のみをベアドットとして一度にアクセスすることしかできなかった。一方本画面メモリでは、 $\{D(2m, i), D(2m+1, i)\}$, $\{D(2m-1, i), D(2m, i)\}$, $\{D(k, 2n), D(k, 2m+1)\}$, $\{D(k, 2m-1), D(k, 2m)\}$ のいずれもベアドットとして扱うことができる。図3. 3. 1. はこれを図示したもので、今までのアーキテクチャの画面メモリでは実線で囲まれた部分のみしかベアドットとして扱えなかったが本画面メモリでは、点線で囲まれた部分もベアドットとして扱うことができる。

本画面メモリでは、 $D(32k+i, j)$ ($i=0\cdots31, j, k$ は整数)をグループとして扱うことができ、(グループドット)同一グループ内で図3. 3. 2. に示すようにグループ内全ドット、あるいは一部に同一ドットデータを書き込むことができる。このモードは画面の全部、あるいは長方形を塗りつぶす際有効であり、最大ベアドットモ

ードの16倍のスピードで画面メモリの書き込みをおこなうことができる。

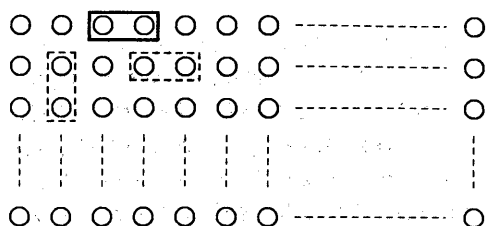


図3. 3. 1. 画面メモリ アクセス単位

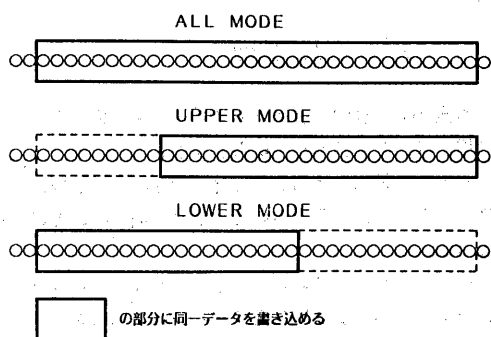


図3. 3. 2. グループドットモード
におけるデータ書き込み

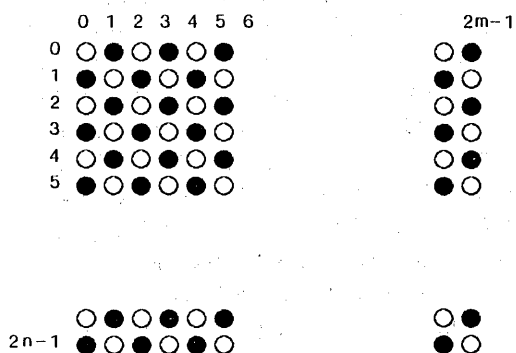


図3. 3. 3. 画面メモリドット構成

(3) 演算機能

本画面メモリのモディファイポートでのインターフェースは、画像制御部より、画面メモリ上のベアドットアドレス $(x \cdot y)$ 、ソースペアデータ、 $SD = \{SD1, SD2\}$ 演算 G を与えることにより行われる。これらのパラメータを与えることにより、画面メモリ上の指定されたベアドットは、 $P(x \cdot y) = G(P(x \cdot y), SD)$ となる。この概念図を図3. 3. 3. に示す。

本画面メモリでは、演算 G として32種の指定を行うことができる。

今、画面メモリは図3. 3. 3. に示す通り X 方向 $2m$ ドット、 Y 方向 $2n$ ドットの記憶容量を持つものとする。

画面メモリを0バンク、1バンク2つのバンクに分割し、図3. 3. 3. 上における白ドットを0バンクに、黒ドットを1バンクに記憶するものとする。各バンクには図1の左上ドットから右下端の順に連続したアドレスに各ドットが記憶される。

今、 $(2k, 2l)$ のポイントから2ドット横方向にアクセスする場合を考える。この場合0バンク、1バンク、両者にアドレス $2lm + k$ のアドレスを与えることにより目的のドットにアドレスが可能である。

次に、 $(2k, 2l + 1)$ のポイントから2ドット横方向にアクセスする場合を考える。この場合0バンクに対しては、 $2lm + k + 1$ のアドレスを、1バンクに対しては、 $2lm + k$ のアドレスを与えることにより目的のポイントにアクセスが可能である。

ただし、0バンク内データが右側、1バンク内データが左側ドットとなるため、ビットの入れ替えが必要である。

次に、 $(2k, 2l)$ のポイントより縦方向に2ドットのアクセスを行う場合を考える。この場合、0バンクに対しては、 $lm + k$ のアドレスを与え、1バンクに対しては $(2l + 1)m + k$ のアドレスを与えることにより目的のポイントにアクセスが可能である。

各バンクに与えるアドレスは、 X 、 Y 方向アドレスが奇数が偶数か、アクセス方向が横方向か、縦方向かにより演算を変える必要があるが、この演算は、PROMにより行なっている。

3. 3. 5. 画面メモリの構成

図3. 3. 4. が本画面メモリの構成図である。

アダー0、アダー1、でアドレス演算を行い、CONTROL LOGICでどの演算を行うかを決定している。

DALUは、ドットデータ演算を行う部分である。

ボード1枚で、1024×2048ドット（4ビット／ドット）の記憶容量を持っており、記憶素子は64KビットDRAMを128個使用している。周辺回路はビデオシフトレジスタを含め、TTL、MSI、PROM、PAL等を用いて100個程度である。

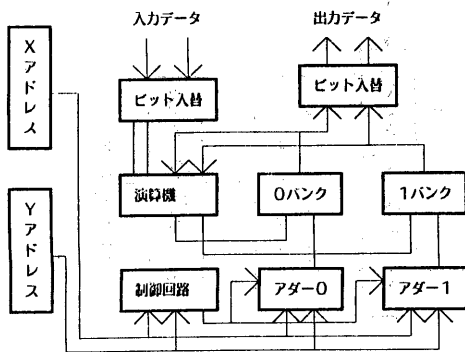


図3. 3. 4. 画面メモリ ブロック図

3. 4. 文字発生部

3. 4. 1. 概要

本ワークステーションにおいては、9種類の大きさの文字が扱えることが特徴の1つであるが、文字発生部は漢字コード、及び動作パラメタを受けて2つの原フォント（16×16、24×24）を拡大縮小して、9種類の大きさの文字フォントを発生する働きをする。文字発生部を独立に設けたことにより、画像制御部は文字発生部に文字パタンの加工をまかせ、書き込みアドレスの計算に専念できるため、システムのパフォーマンスの向上が図られている。

文字発生部は、原フォントを拡大縮小する際出力フォントデータとして、多値のドットデータを出力するようになっており、エイリアシング（ギザギザ）

をめだたなくしている。また、フォントの加工制御にパイプライン処理を取り入れることにより160万ドット／秒（12×12ドットの文字で約11000字／秒）の高速のドット発生速度を実現している。

また文字発生部においては、画像データの拡大縮小の一部サポート（ライン方向の拡大、縮小）も行っている。

3. 4. 3. 文字拡大縮小方式

文字発生部においては9種類の大きさの文字を発生可能であるが、この機能は、2つの原フォントの（16×16、24×24）と2倍4倍を行う拡大機と1/2、1/4を行う縮小機を持つことにより実現している。表3. 4. 1に拡大、縮小、原フォントの組み合わせに対する出力文字の大きさの関係を示す。

拡大率	縮小率	原フォント	原フォント
		16×16	24×24
1	1/4	(4×4)	6×6
1	1/2	8×8	12×12
1	1	16×16	24×24
2	1/4	[8×8]	[12×12]
2	1/2	[16×16]	[24×24]
2	1	32×32	48×48
4	1/4	[16×16]	[24×24]
4	1/2	[32×32]	[48×48]
4	1	64×64	96×96

- ・（4×4）は表示しても読めないで未使用
- ・[] で囲まれたものは、他の部分に相当するものがあるので未使用

表 3. 4. 1 発生文字種

3. 4. 4. 文字発生部のコントロール

文字発生部のデータフローは、図3. 4. 1. の通りになっておりKレジスタは原フォントメモリバッファレジスタ、Mレジスタ、Eレジスタは、2スライス分のデータを保持している部分、アドレスレジスタは、原フォントメモリのアドレスを保持しているレジスタ、またデータシフタは2スライスのデータのどの部分を濃度変換テーブルに与えるかを選

択する。

本フローにおいてはアドレスレジスタから数えると最大6段のパイプラインを構成しており、このフローをランダムロジックでコントロールすることはかなり難しい。そこでコントローラとしては簡単なマイクロプログラムシーケンサを使用した。

3.5 表示制御部

3.5.1. 概要

表示制御部は、CRTタイミング発生回路とマッ

ピングメモリから構成されている。前者は、ラスタスキャンアドレス、CRTの水平同期信号、および垂直同期信号を発生する回路である。後者は画面メモリ（1024×2048dot の容量）を32×32dot 角のブロック単位（X方向32個、Y方向64個）に分割し、そのブロックをCRT表示画面上のどの位置にマッピングするかを決める画面メモリ読出しアドレス変換用のメモリである。これにより、良好な表示画面が得られ、またマルチビューウィンドウ（一つの画面に複数ページを重ねて見ること）の機能を持つことができる。図3.5.1に表示制御部のブロック図を示す。

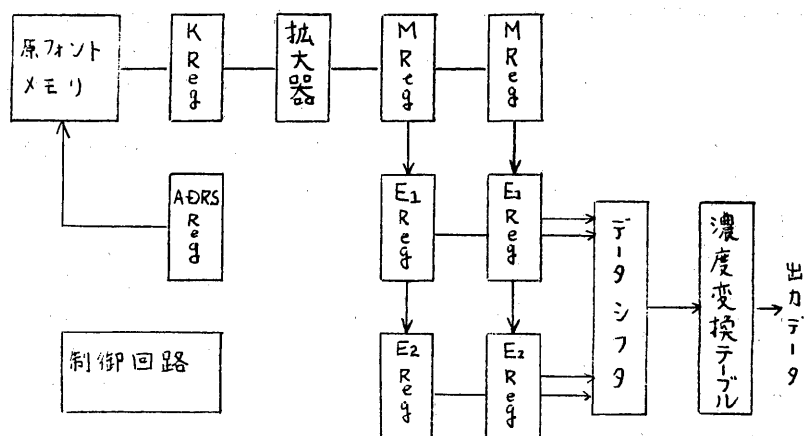


図3.4.1. 文字発生部データフロー

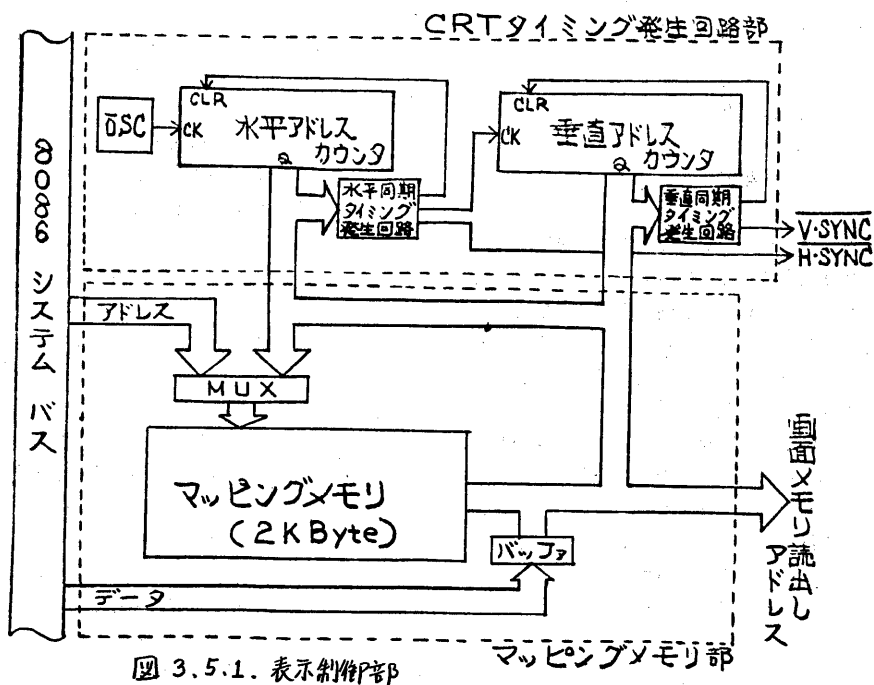


図3.5.1. 表示制御部

3. 5. 3. マッピングメモリ

図形ワークステーションの要求仕様として、文書作成時に他の頁の文書情報を同時にモニタできることが掲げてあり、これを実現するためにマッピングメモリを採用している。ここで、マッピングメモリの原理について図3. 5. 2を参照しながら説明する。

画面メモリは、表示画面の約2. 5倍(1024×2048dot)の容量を持っており、表示画面及び画面メモリは32×32dot角のブロック単位に分割され、ブロックアドレスが割当てられている。またマッピングメモリは図3. 6. 1に示されるように、メインプロセッサ(8086)のシステムバスに接続され、表示時間を除いてread/writeが可能となっている。ここでマッピングメモリは、図3. 5. 2に示されるように、表示画面中の各表示領域(斜線部分)に対応したマッピングメモリ上のアドレスに、上記表示領域に表示すべき画像データが格納されている画面メモリ上のブロックアドレスデータをメインプロセッサ(8086)に書込ませ、これによって画像メモリ上の該当ブロックから、表示画面の表示領域に対応して所望とする画像データを読み出すようにしたものである。従って、このマ

ッピングメモリを用いれば、任意の画像データを任意の表示領域に表示することができ、マッピングメモリのブロックアドレスデータをメインプロセッサ(8086)により書換えるだけで所望の表示編集が可能となる。言い換えれば、画面メモリにあらかじめ2頁分のイメージを書き込んでおけば、マッピングメモリにより表示画面上に2頁分を重ねて表示することができる。(マルチビューウィンドウ)

4. ソフトウェア構成

4. 1. 基本ソフトウェア

ソフトウェアは、基本のOSとしてCP/M86を使用し、言語は、Cを使用している。

Dual CPUのサポートは、Cで呼べる関数をアセンブラで記述し、セマフォの管理、プログラムのロードを行なえるようにしている。

2つのCPUは主として、表示の管理と入出力管理及び計算に分けて使用している

現在は、ホストコンピュータとして、DP/8を使用し、表示すべきデータは、ホストから送られて来る。現在同可能なソフトとしては、文書エディタがあるが、将来、電子メール、スケジュール等も動作可能になる予定である。図4に本機の外観図および、文書エディタが動作した場合の表示画面の例を示す。

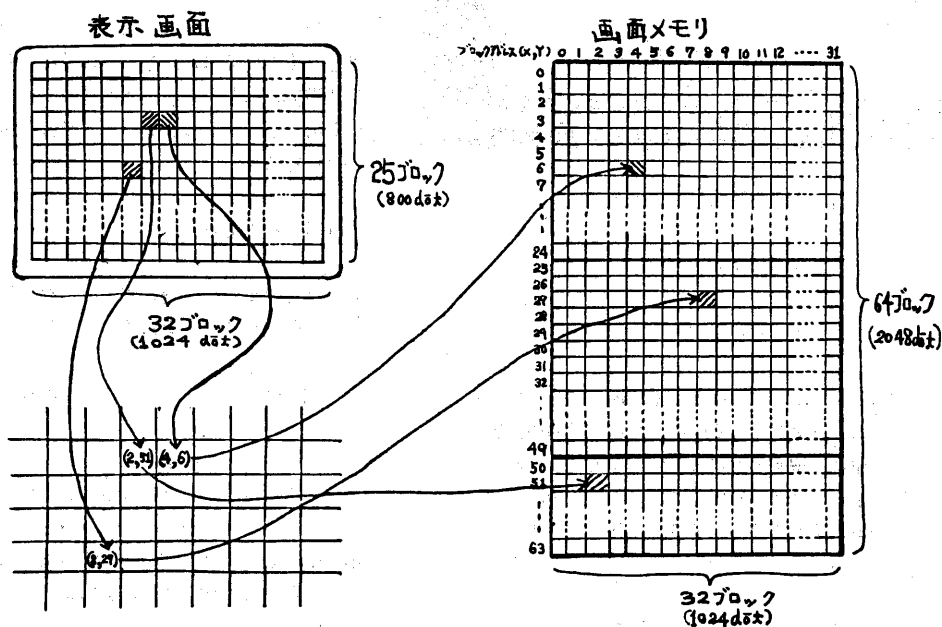


図 3. 5. 2. マッピングメモリ概念図

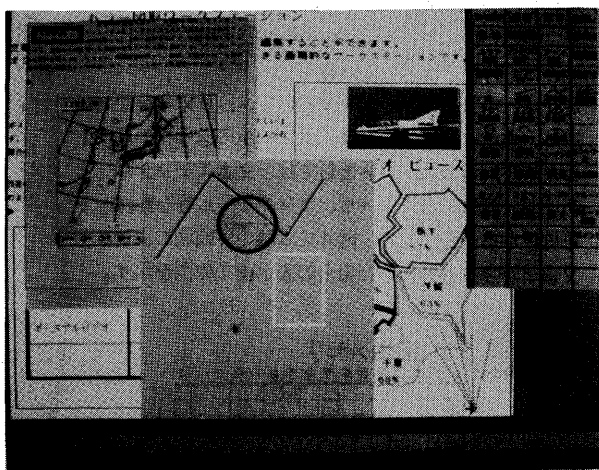
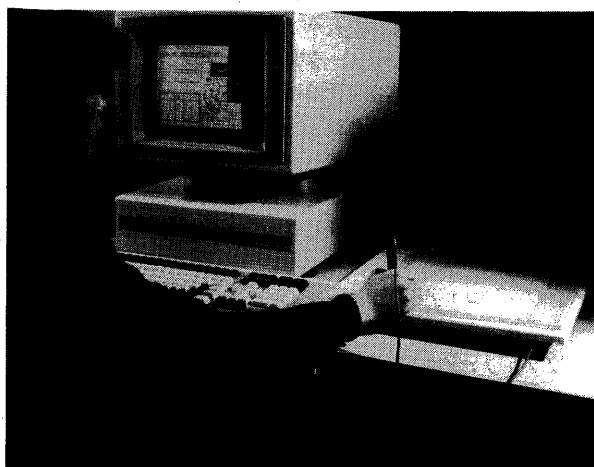


図 4. 外観図および動作例

4. 2 画像制御ファームウェア

4. 2. 1. 概要

前述のマイクログラムで記述されたファームウェアは、全体として紙面を定義し、その紙面を様々な対象物で埋めると言う考え方を取っている。

このような考え方を取ることで、全画像メモリを容易に複数の紙面に分割して使用できるようになっている。

4. 2. 2. 画像メモリの制御

画像メモリは、前述した通り、 1024×204

8dot の大きさがあり、画像制御部は、論理的なアドレス空間を 4096×4096 dot 持っている。

このファームウェアの基本的な考え方は、画像メモリ上に切られたゾーンと呼ばれる長方形の領域を基準にしている。特殊な命令（カーソル、画面転送等）を除き、すべての書き替え命令は、このゾーンを基準にして考えられている。逆に言えば、一旦、このゾーンを設定した後は、すべてのデータは、このゾーンを中心にして決められるため、ソフトウェアは、実際の物理的なメモリアドレスを意識することなく、紙面上の位置で取り扱うことができる。

またゾーンを設定する際に、倍率を指定できるようにしている。この倍率は、1倍、2倍、4倍と指定可能であり、これは、等価的に、ゾーンのアドレスの範囲を2倍、4倍に広げることになり、したがって表示されるものは、 $1/2$ 、 $1/4$ に縮小される。

また、ゾーン以外の部分には、何も書くことができないようにクリッピングを行っている。

この機能と、マッピングメモリとを組み合わせることにより、ビューウィンドウの生成、移動、スクロール等を簡単に行うことができる。

§ 5. 結論

本ワークステーションは、ハード的な機能としてはOA用としての要求を十分に満たしていることがほぼ確認されたので、今後は、ソフトウェアの充実に努めることにより、実証システムの核となることが期待される。

§ 6. 参考文献

岩井他『文章・図形統合的エディタの高機能化』

昭和56年度情報処理学会全国大会 3J-9

相川他『図形ワークステーションの画面メモリの構成法』

同上 2J-2

森他『多目的ワークステーションのCPUの制御』

同上 2J-1

相川他『文書ディスプレイ装置の試作』

昭和56年電子通信学会情報システム部門全国大会p 2-303