

32ビットマイクロプロセッサTX1とそのシステム開発環境

石丸 秀一

㈱東芝 半導体技術研究所

TRON^{*1}仕様チップはこれからの高度情報化社会にふさわしい新しいコンピュータアーキテクチャであり、このアーキテクチャに基づいて開発された32ビットマイクロプロセッサTX1は、リアルタイム性を重視する組み込み制御システムなどにその主要な用途を持っている。したがってTX1ではリアルタイム性のよい組み込み処理実現機能や、ソフトウェアの効率よい開発を助けるためのデバッグ支援機能をサポートしている。またシステム開発環境としても、このような用途向けのシステム開発が容易に行えるよう各種機能を備えた応用開発支援システムをサポートしている。さらにTX1の実行環境としてシングルボードコンピュータやリアルタイム・オペレーティングシステムも並行して開発している。

^{*1} TRONは"The Realtime Operating System Nucleus" の略称です。

THE DEVELOPMENT SUPPORT SYSTEM OF TX1 BASED ON TRON ARCHITECTURE

by Shuichi Ishimaru

Semiconductor Device Engineering Laboratory
Toshiba Corporation
580-1, Horikawa-cho, Saiwai-ku, Kawasaki, 210, Japan

The 32bit microprocessor TX1 is based on TRON Architecture. Because the main application target of the TX1 is an embedded controller in highly intelligent machines and other real-time systems, the TX1 has several hardware mechanism for high-speed interrupt processing and software debugging.

The development support systems for the TX1 provide the efficient software development and debugging ability. We are also developing application support systems, real-time operating system nucleus and design examples of typical hardware system configurations, to help development and debugging the application systems.

1. はじめに

TRONプロジェクトはオペレーティングシステムやマンマシンインターフェースなどの利用技術までも踏まえ、マイクロプロセッサのアーキテクチャの構築を行っている。また、従来のマイクロプロセッサにおいても、ソフトウェアへの重みが非常に高くなっていることや、高機能化にともないチップだけの供給ではその性能を十分に引き出す応用システムの開発が困難になってきたことなどを考えると、マイクロプロセッサに合った開発支援環境や実行支援環境の整備は必須である。

ここではTRONプロジェクトの歴史とともに、TRON仕様に準拠したマイクロプロセッサ・TX1の特長を述べ、さらにこのTX1を取り巻く開発支援環境や実行支援環境についてその特長や機能を述べる。

2. TRONプロジェクト

(社)日本電子工業振興協会(電子協)では1974年当初からマイクロコンピュータに関する調査研究活動を行ってきたが、マイクロコンピュータの発展にともない、ハードウェアよりもソフトウェアへの重み付けやその傾向が大きくなったことから、委員会の活動は半導体技術、アーキテクチャ技術、ソフトウェア応用技術などの分類を明確にしなが、これらの技術動向の調査、研究に向けられるようになった。このような背景のもとに、TRONプロジェクトは電子協マイクロコンピュータ・ソフトウェア応用専門委員会OS分科会の活動に端を発し、1986年6月プロジェクトの賛同者が中心となってTRON協議会を発足させた。この後TRONプロジェクトの賛同者も増えたことから積極的に、かつ効果的に運用を推進するため、1988年6月(社)TRON協会が設立された。

TRONプロジェクトは新たな技術水準によるコンピュータの標準仕様の構築を目標に、1990年代のVLSI技術を前提として、マイクロプロセッサだけでなく、OS、マンマシンインターフェ

ース、ネットワークに至るまでのコンピュータの一大体系の構築を目指している。

さらにTRONプロジェクトでは国内に限らず海外においても積極的に普及啓蒙活動を行っており、このプロジェクトに賛同する企業は国内外を含めて120社を越えている。

TRONプロジェクトは組込み制御用のリアルタイム・オペレーティングシステムを対象としたITRON、ワークステーション用のオペレーティングシステム及びマンマシンインターフェースを対象としたBTRON、センタマシン用OSを対象としたCTRON、分散処理におけるネットワーク管理を対象にしたMTRON、そしてこれらのOSに最適なアーキテクチャのマイクロプロセッサの設計・開発を対象としたTRON仕様チップの各サブプロジェクトから構成されている。

既にITRONは既存のマイクロプロセッサに対してインプリメントされてきているが、現在ではTRON仕様の32ビットマイクロプロセッサに対してもインプリメントが進められている。

また、BTRONは既存のマイクロプロセッサ・システムを使った試作機が開発されている。

CTRONではCTRONに関する各種インターフェース仕様書が作成され、認定製品もできている。

さらにTRON仕様チップのサブプロジェクトにおいては既にいくつかの半導体メーカーがチップ開発を終えている。

当社においてもTRON仕様に準拠したマイクロプロセッサをTXシリーズとして開発しており、このうちコアプロセッサとして位置付けられるTX1や、その応用開発支援システムのサンプル供給を開始し、ITRON仕様に準拠したリアルタイム・オペレーティングシステムや、実行環境としてのシングルボードコンピュータの開発も行っている。

3. TX1内部構造上の特長

TRON仕様チップの特長としては

- (1) 広大なアドレス空間と64ビットマイクロプロセッサへの拡張性に優れている
- (2) コンパイラ向きの直交性のある命令セット
- (3) OSなどを考慮した高機能命令のサポート
- (4) 短縮形フォーマットのサポート
- (5) オープンアーキテクチャ

などがあげられる。

これらに加えTX1では応用分野として組込み制御としてのターゲットを考慮しており、独自の機能としてリアルタイム性のよい割込み処理を実現するために15レベルの優先度を持つベクタ方式の割込み処理機能などを備えている。(TX1の仕様概要を表1に示す) さらに効率よいソフトウェアデバッグやシステムデバッグを支援するために以下に示す3つの機能をサポートしている。

- ・アドレストラップブレイク機能
- ・エグゼキュションステップブレイク機能
- ・フロートレース機能

アドレストラップブレイク機能はアドレスを指定し、そのアドレスにある命令を実行、あるいはデータのアクセス状態を監視して例外、トラップを発生させる機能である。

実行ステップブレイク機能は指定回数分の命令を実行する毎にトラップを発生させる機能である。

	0	8	16	24	31
DBC	EX(RFU)	EOE1E2E3	(RFU)	LO HO L1 H1 L2 H2 L3 H3	
DBS	BE(RFU)	BOB1B2B3	(RFU)	FOF1	(RFU)
BA0					
BA1					
BA2					
BA3					
BPC					
EXS					
FC0					
FD0					
FC1					
FD1					

図1 デバッグレジスタ

アーキテクチャ	TRON仕様
性能	5MIPS (平均) 12.5MIPS (最大)
汎用レジスタ	32ビット×16本
アドレス/データバス	32本/32本 分離
基本命令数	92種類
アドレッシングモード	一般形16種+短縮形12種
データ形式	ビット/ビットフィールド/整数/ ストリング/キュー
アドレス空間	4Gバイト
最小バスサイクル	2クロック
割込みレベル	15レベル
パッケージ	155ピンPGA
トランジスタ数	450,000個
チップ寸法	10.9mm×10.3mm

表1 TX1の概要

フロートレース機能は分岐命令などによって命令の実行が不連続になった箇所を記憶しておく機能である。

これらのデバッグ支援機能を実現するためにTX1では12本のデバッグ専用レジスタを内蔵している。図1にこれらデバッグ専用レジスタを示す。

デバッグ制御レジスタ(DBC)はアドレストラップブレイクを行う4つのブレイクポイントの各々のブレイク条件の定義(M0-M3, L0-L3)と、それらの条件の有効・無効(E0-E3)、およびエグゼキュションステップブレイクの有効・無効(EX)を指定するレジスタである。デバッグステータスレジスタ(DBS)はブレイクが成立した場合の要因(BE, BO-B3)やフロートレジスタの内容が有効であるか無効なのか(FO-F1)を示すレジスタであり、ブレイクポイントカウンタ(BPC)はブレイクを発生させるまでの命令実行あるいはデータアクセスの回数を指定しておくレジスタである。この回数のカウンタはブレイクポイントアドレスレジスタ(BA0-BA3)に設定されたアドレスに対して行われる。さらにエグゼキュションステップレジスタ(EXS)はブレイクをかけるまでの実行ステップ数を指定するレジスタであり、フロートレジスタ(FC0, FD0, FC1, FD1)はブランチ命令などによってプログラムの流れが不連続になったその変化点を記録するレジスタであり、変化が起こった時の実行命令ア

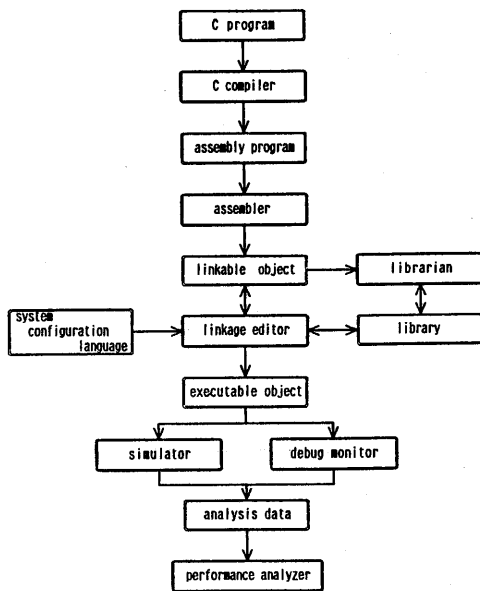


図2 TX1 応用開発支援システム概略

ドレスと変化後に実行される命令アドレスを1組にして認識するものである。

4. TX1 応用開発支援システム

4.1 基本構成

TX1 応用開発支援システムの基本構成を図2に示す。このシステムは大別して、TX1の性能を十分に引き出せる応用ソフトウェアの開発支援を行う言語処理系ツールと、TX1のデバッグ機能を利用し、開発したソフトウェアやシステムのデバッグを行うデバッグ系ツールとに分けられる。

4.2 言語処理系ツール

(1) 命令コードの生成

TX1は組み込み制御などにもその用途を持つため、TRON仕様チップにおける多段階アドレッシングや高機能命令の有効活用だけでなく、ターゲットシステムの構成に合わせたオブジェクトを生成できるよう、Cコンパイラの段階からROM化が容易なオブジェクトコードの生成機能を持たせている。

また、生成オブジェクトのサイズや実行速度の短縮化を図るためにコンパイルの段階で最適化処理を行っている。これは5項目に渡る54ルールについて命令の置き換えを、TX1でインプリメントしている各高機能命令の有効性検討の結果を踏まえて行っている。

TX1・Cコンパイラで行っている最適化処理項目を以下に示す。

- (a) 広域最適化
- (b) レジスタの置き換え
- (c) live & dead
- (d) 極小最適化
- (e) 関数の最適化

表2には他の処理系のCコンパイラとの比較を最適化前後について行い、その結果を示した。この表から最適化を行わずにTX1コンパイラが生成したオブジェクトサイズがAS (SUN^{*2}) シリーズやVAX^{*3}のコンパイラが生成したオブジェクトサイズよりも小さいことがわかる。これはTRONアーキテクチャが仕様頻度の高い命令と

	TX1	AS3000	AS4000	VAX
最適化前 オブジェクトサイズ	1.00	1.17	1.76	1.05
最適化後 オブジェクトサイズ	0.92	0.99	1.34	0.82
コード短縮率	8%	15%	24%	22%

表2 コンパイラ生成オブジェクトサイズの比較
(オブジェクトサイズはTX1最適化前の値を1として換算、またコード短縮率は最適化前のそれぞれのオブジェクトサイズ値に対して算出)

してコードサイズの小さい短縮形と呼ばれるフォーマットを持つことや、直交性のある命令形態を取っていることに代表されるように、コンパイラ向きの命令セットであることに起因している。またTX1・Cコンパイラの最適化後のコード短縮率については、最適化処理以前に生成されたオブジェクトコードが、すでに前記理由によりかなり最適な値となっていることや、コンパイラが

^{*2} SUNはサン・マイクロシステムズ社の製品です。
^{*3} VAXはDEC社の製品です。

UNIX^{*4} System V ポータブルCコンパイラ (PCC) を用いているのでアセンブラ・ソースプログラムに対しての局所的な最適化しか行っていないことなどから、8%程度という低い短縮率に止まっているものと考えられる。

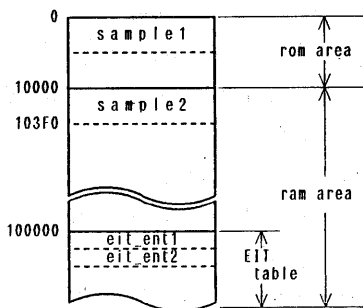
(2) リロケーション

さらに言語処理系ツールにおいては、オブジェクトコード生成後にも応用システムに合わせたリロケーションを行えるよう、リンカージェディタでその機能を実現している。

リンカージェディタでは独立したリンク指定方式を採用すべく、システム構成定義言語をサポートした。この言語は応用システムのメモリ構成やモジュール配置、割込みテーブルの作成など詳細に指定することを可能としている。また本方式に

```
begin;
memory:
  rom      := ( 0 - 0FFFF );
  ram      := ( 10000 - 0FFFF );
  reserved := ( 110000 - 0FFFFFFF );
section:
  sample1 (start := 0),
  sample2 (start := 10000,
            size := 3F0);
table:
  EIT (base := 100000,
       entry1 := eit_ent1,
       entry2 := eit_ent2);
end;
```

(a) システム定義言語記述



(b) ハードウェア構成

図3 システム構成定義例

よって、個々のプログラムモジュールを汎用的に使用することや、高級言語では指定しにくいプログラムの属性付けを、容易に行えるようになった。図3ではシステム構成定義言語による構成例を示す。

4.3 デバッグ支援ツール

(1) ソフトウェア・シミュレーション

デバッグ支援ツールではホストマシン上でマイクロプロセッサの動作シミュレートを行うソフトウェア・シミュレータをサポートしている。シミュレータは、その機能のすべてをソフトウェアで処理するため、特に処理速度が従来から問題となっていた。これを改善すべく、TX1ソフトウェア・シミュレータでは、命令のデコード方法に着目した。命令をデコードする場合に参照するビット幅の調節を図り、一番効率よいデコード方法を検討した。その結果、表3に示す参照ビット幅とデコード完了命令数の関係から、各命令の先頭10ビットまでを参照することによってTX1応用プログラムで使用されている全命令の約80%を認識できることがわかった。したがって、TX1シミュレータでは先頭の10ビットを基本としたテーブル駆動形デコード方式を採用し、処理速度の改善を図っている。

参照ビット幅	デコード完了命令数	変換テーブルサイズ (KB)
8	22	2.5
10	22	10
12	6	40
16	23	640
∞	93	∞
合計	164	—

表3 ビット幅とデコード完了命令数

(2) 実機デバッグ

さらにデバッグ支援ツールではターゲットシステムを使用したシステムデバッグに対応するため、デバッグモニタをサポートした。デバッグモニタは前述したTX1が持つデバッグ支援機能を利用しているため、リアルタイムおよびシングルスステップでの実行制御や、種々条件によるブレークな

*4 UNIXはAT&Tベル研究所が開発し、AT&Tがライセンスしているオペレーティングシステムです。

どに関する制御をTX1自身で行っているので、たとえばROMアドレス内でのブレークが可能であり、また分岐情報も内蔵レジスタに保持できるので、効率よいデバッグ環境を提供している。

5. TX1実行環境

(1) リアルタイム・オペレーティングシステム

以上の開発支援ツールのほか、TX1の持つ高機能命令、特にOS関連命令を利用したリアルタイムOSも試作し、組込み制御システムに対応した、より高性能な応用システム構築のサポートを狙っている。これはI TRON仕様をモチーフにした60個のシステムコールを試作したOSカーネルであり、評価の結果、そのオブジェクトサイズ9.3kバイト、システムコールの実行時間30 μ 秒、タスクスイッチ時間11 μ 秒の性能を得ている。

また現在においてはI TRON2仕様準拠のリアルタイム・オペレーティングシステムを開発中である。

(2) シングルボードコンピュータ

さらにTX1の実行環境としてシングルボードコンピュータを開発した。この仕様概要を表4に示す。シングルボードコンピュータはTX1最大周波数においてメモリバスサイクルを0ウェイトで実行でき、TXシリーズ周辺LSIを搭載するなど、TX1の性能を十分に引き出せるよう配慮している。

CPU	TX1 (25MHz)
メモリ	ROM (128Kバイト: 28ピンJEDEC ソケット2個)
	SRAM (256Kバイト)
シリアル インターフェース	RS232C 2チャネル (TMP82C51 2個)
パラレル インターフェース	セントロニクス準拠 (双方向) (TMP82C55)
タイマ	32/16ビット $\times$ 1 (分解能: 1 μ s) (ICTのイベントカウンタの機能による)
割り込み	15レベル (システムバス: 7レベル)
バスアービタ	シングルレベルアービトレーション
LED	8ビット

表4 TX1シングルボードコンピュータの概要

6. おわりに

以上、TRON仕様に準拠したマイクロプロセッサ・TX1の主な特長や、応用開発支援システム、実行支援環境について述べた。TRONプロジェクトの発想からもわかるように、これからのマイクロプロセッサ応用システムの性能は、チップの性能だけでなく、その性能を十分に引き出すことのできる開発環境や実行環境すべてによって決められていく。したがってマイクロプロセッサを取り巻く環境は今後さらにその重要性を増していくことが予想され、TXシリーズにおいても順次これを整備していく予定である。

7. 参考文献

- [1] H. Miyata, H. Kishigami, K. Okamoto and S. Kamiya, "The TX1 32-Bit Microprocessor : Performance Analysis, and Debugging Support", IEEE Micro Vol. 8, No2, April, 1988 pp37-46
- [2] 田丸、他, "TRON TXシリーズ開発支援システム", 東芝レビュー, 43, 11, pp905-908, (1988)
- [3] 岩村、他, "TRON 32ビット マイクロプロセッサ TXシリーズ", 東芝レビュー, 43, 11, pp909-912, (1988)
- [4] 横澤、他, "TRON仕様 32ビット TX1用 リアルタイムOS核", 東芝レビュー掲載予定
- [5] 吉田、他, "TRON仕様 32ビット TX1 シングルボードコンピュータ", 東芝レビュー掲載予定
- [6] S. Ishimaru, K. Tamaru, "Development Support System for TX Series", TRON Project 1988, pp351-361
- [7] TRON協議会, "活動報告", (平成元年3月)