

# アナログニューロチップを用いたニューロコンピュータシステム

加藤英樹<sup>†</sup> 杉浦義英<sup>††</sup> 土屋主税<sup>††</sup>  
富士通研究所<sup>†</sup> 富士通<sup>††</sup>

我々が開発した汎用ニューロチップとそれを用いたニューロコンピュータシステムのアーキテクチャについて述べる。機器組み込み型のニューロコンピュータシステムの開発を容易にすることで、ニューラルネットワークの実応用の拡大を意図したこのニューロチップは、入出力がアナログ、重みがデジタルという混合型で、入出力にアナログ時分割バスを用いていることが特徴である。これにより結線量の大幅な低減が可能となり、汎用性が大きく向上する。しかし、時間を離散的に扱うため、ホップフィールドネットワークなどではデメリットも生じる。本ニューロチップによりフィードフォワード型多層ネットワークやホップフィールド型などのネットワークを実現する場合の利点や問題点について述べる。

## ON IMPLEMENTING NEUROCOMPUTER SYSTEMS USING ANALOG NEUROPROCESSOR CHIPS

Hideki Kato<sup>†</sup> Yoshihide Sugiura<sup>††</sup> Chikara Tsuchiya<sup>††</sup>  
Fujitsu Laboratories Ltd.<sup>†</sup> FUJITSU LIMITED<sup>††</sup>  
1015, Kamikodanaka Nakahara-ku, Kawasaki 211, Japan

This paper describes the neurocomputer architecture using general purpose neural chip we have developed. The chip is mainly intended to help develop embedded neurocomputer systems and help the wide use of neural network technology. This chip features mixed architecture, i.e., input and output signals are analog and the weight is digital, and time division of both input and output signals through analog common busses which reduces the number of wiring and, therefore, improves the usefulness of the chip. It, however, handles the time discretely and results some defeats when implementing Hopfield networks using the chips.. The pros and cons building several kind of neural networks using this chip are discussed.

## 1. はじめに

ニューラルネットワークに関する研究が盛んに行われている。しかし、実際に何に使えるかは未だ明確になっているとはいいがたく、重要な課題となっている。また、ニューロチップの開発も広く行われているが、これらは基本的に特定の用途を意図したものが多く、重みが固定であったり、可変であっても数ビットしかなく、汎用性・再現性という点からは不十分である。

我々は、ニューラルネットワークの応用を広げるためには、実際に機器に組み込めるデバイスが必須であるとの考えから、汎用性と再現性を重視したニューロチップ (Analog Neuroprocessor; ANP と呼称) を開発した。

以下、ANP の概要と、ANP を用いたニューロコンピュータシステムのアーキテクチャについてのべる。

## 2. ニューロンとネットワークモデル

図1 (a) はいわゆる3層ニューラルネットワーク[1]であり、I1 から I3, H1 から H3, O1 から O3 はそれぞれ入力層, 中間層, 出力層の各ニューロンを示している。入力層を除く各ニューロンの処理は、代表として H3 で示しているように、

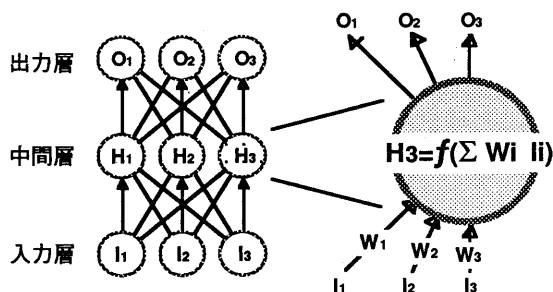


図1(a) 3層ニューラルネットワークの例

$$\text{Output} = f(\sum W_i \cdot \text{Input}_i)$$

という、積和および非線形関数演算である。ここでWは重み、 $f$ はいわゆるシグモイド関数である。入力層のニューロンは入力をそのまま中間層のニューロンに出力する。

このネットワークをANPを用いて実現した回路が図1(b)である。I1 から I3 は単なるバッファでよいので対応するプロセッサは不要である。H1 から H3, O1 から O3 の各ニューロンにANPが一個ずつ対応している。ANP自身は重みのメモリを持っておらず、外部の記憶素子(通常はSRAMを用いる)を必要とする。各層間のニューロンを結ぶ線が

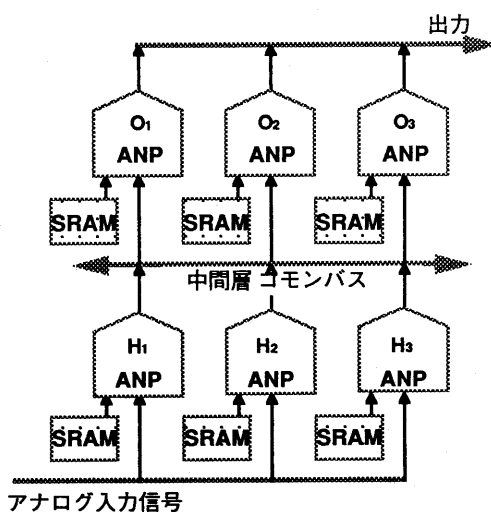


図1(b) 対応するANPによる実現

各々一本の時分割アナログコモンバスで置き換えられていることに注目されたい。

### 3. ANPの概要

ANP の諸元を表1に示す。ANP の詳しい説明は本論文の範囲を越えるので、詳細データは参考資料[2]を参照していただきたい。ここでは以後の説明に必要な事柄についてのみ述べる。

#### ・特徴

第一の特徴は、入出力信号がアナログで重みがデジタルという点である。機器に組み込むということは一般にセンサの信号を扱うわけであるから、

出力はアナログ信号の方が都合がよい。しかし、重みの記憶素子としてはアナログでは現実的ではない。したがってこのような構成になっている。これに伴い、用いるテクノロジーもアナログ・デジタル混合によるのが自然であると思われる。

第二の特徴はアナログコモンバスの採用である。ニューラルネットワークを実用する場合の課題の一つはその配線量であろう。我々はデジタル回路で一般的に用いられている時分割バスをアナログ回路にも援用し、配線量の減少を図った。これにより、必要な配線量は  $O(n^2)$  から  $O(n)$  に減っている。しかし、これによってアナログ回路のもつ並列性は損なわれる。

第三の特徴は、演算精度と再現性である。ANPでは、DA変換器に 16 bit のものを用い、また、シグモイド関数回路には7点の折れ線近似回路(図2参照)を使い、さらに自動オフセットキャンセル回路を併用することで、できる限り精度ひいては再現性を向上させている。これは他のニューロチップのような、ニューロン自身の演算精度よりも集積度を重視する方向とは逆のいきかたであるが、ANPの目的が前述のように、工業的な応用があり、汎用性を重視していることによる。

表1. ANP 諸元

|        |                       |           |
|--------|-----------------------|-----------|
| 機能     | ニューロン1個               |           |
| 入力数    | 最大 $10^3$ シナプス/ニューロン  |           |
| 結合方式   | 時分割アナログコモンバス          |           |
| 重み     | 16 bit (符号+絶対値); 外部   |           |
| 処理速度   | 最小 13 $\mu$ s/サンプル    |           |
| テクノロジー | アナログ・デジタル混載           |           |
|        | 2 $\mu$ m Bi-CMOSプロセス |           |
| チップサイズ | 5.3mm x 3.8mm         |           |
| 電源     | アナログ部                 | $\pm 6$ V |
|        | デジタル部                 | + 5 V     |
| 消費電力   | 約 200 mW              |           |
| パッケージ  | 20 ピンDIP              |           |

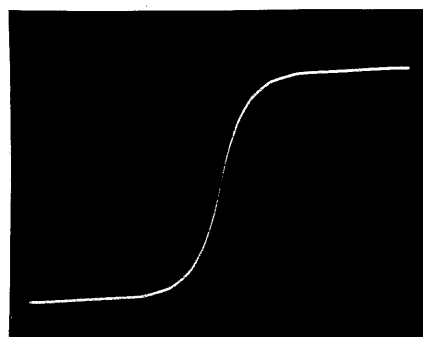


図2. ANP のシグモイド関数

## ・動作

図3は ANP のブロック図である。時分割で入力されるアナログ信号は乗算型 DA 変換器<sup>1</sup>によりディジタルの重みとの積をとられ加算器に入力される(この加算器は、入力が時分割信号のため、実際には積分器で実現される)。この積和サイクルを結合の数だけ繰り返した後、積算結果は折れ線近似によるシグ

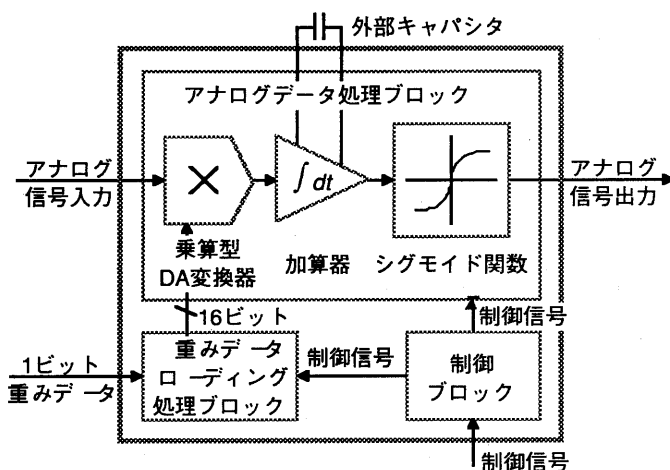


図3. ANPの構成

モイド関数回路に入力され、非線形の変換を受けた後、出力される。

重みは外部メモリから1ビットづつ直列にロードされ、チップ内部で直並列変換され、アナログ信号と同期してDA変換器に入力される。

また、この図では省略しているが、シグモイド関数回路の手前にはサンプル・ホールド回路があり、積和处理中は前回の出力を保持することで、パイプライン動作をすることができるようになっている。

## 4. ANPを用いたニューロコンピュータシステム

### ・構成例

#### (1) フィードフォワード・マルチレイヤー型

図1(b)に簡単な例を示したが、ここではもう少し詳しくその構造とタイミングについて議論する。図4に、より一般的なフィードフォワード・マルチレイヤー型ニューラルネットワークのANPによる構成例を示す。図4(a)は概念的な図で、同じく(b)はそのANPによる実現である。図4(b)のS/Hはサンプル・ホールド回路の略である。これは出力を連続的に得たい場合に挿入する。

ANPはいわゆるスレッショルドを実現する回路は内蔵しておらず、コンピュータシミュレーションで通常行われているように、ダミーの定数1を入力することでそれに代えている。そのため、内部の回路は簡単になっているが、バスの制御が若干複雑化すると同時に、入力をとぎれずにあたえるこ

<sup>1</sup> 乗算型DA変換器: DA変換器の出力は  $V_{out} = V_{ref} \cdot \text{Digital値}$  となる。 $V_{ref}$ を固定して使えば普通のDA変換器になるが、 $V_{ref}$ に $V_{in}$ を与えれば出力には両者の積が得られる。DA変換器をこのように使った時はこれを乗算型DA変換器と称する。

とが実際上不可能になっている。しかし、これを内部で処理したとしても、積和回路がこの時間使われてしまうので完全な連続入力を実現することは難しい。この点の改善は今後の課題であろう。

## (2) Hopfield 型 (同期)

ANP を用いて Hopfield 型<sup>[3]</sup>のネットワークを構成することも可能である。ただし、Hopfield 型のネットワークにおいて重要な各ニューロンの非同期性が損なわれている点、そしてアナログ回路そのものの速度が発揮できないという点では不完全な実現である。(この点はデジタルコンピュータによるシミュレーションと同様である。) 構成例を図5に示す。内部にサンプル・ホールド回路を持っているので、出力と入力を直接接続できるとに注意。

### ・開発環境

現在、ANP の支援ソフトウェアと評価用ボードが提供中あるいは間もなく提供できる状態にある。ANP の評価用ボードは、ANP を 40 個のせることができ、出力層のニューロン数は 8、中間層のニューロン数は 8 ~ 32 迄変えられる。また、支援ソフトは ANP 用の重みの計算、評価用ボードへの重みのダウンロード、ネットワーク構成に応じたタイミングパルスの生成などの機能をもっている。

ニューロコンピュータシステムの実応用を考えると、専用機を除けば、ネットワーク構成をかなり任意に変えられることが必要であろう。しかし、ハードウェア化されたニューロコンピュータシステムでは、これはかなり難しい要求である。上記評価用ボードでは、アナログスイッチなどを用いてこれを実現しているが、VLSI 化を考えるとこれ

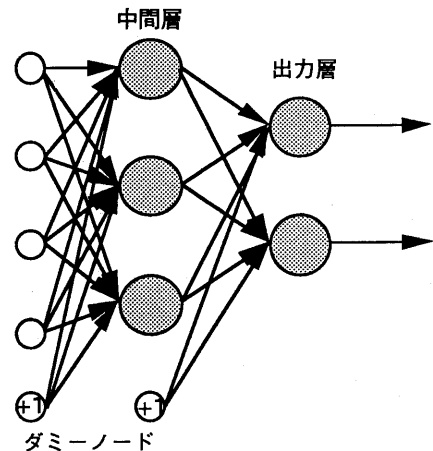


図4(a). フィードフォワード型ネットワーク例

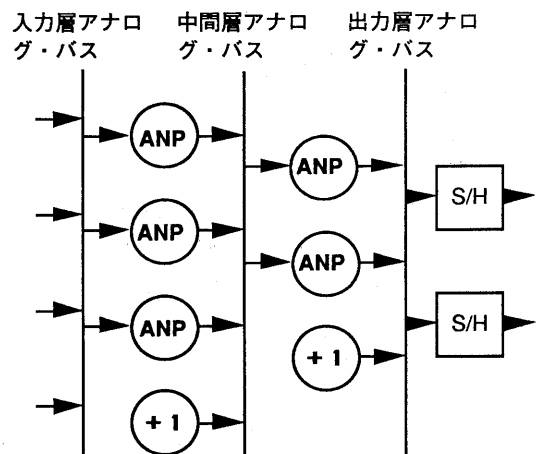


図4(b). 図4(a)のANPによる実現例

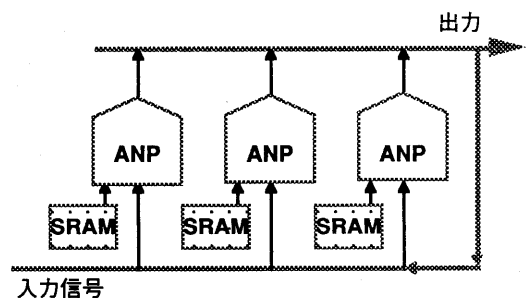


図5. ホップフィールド型ネットワークのANPによる実現例

は難しい問題である。ニューロコンピュータシステム開発用のサポートツールについても今後の研究が必要であろう。

## 5. まとめと今後

汎用性を重視したニューロチップ (ANP) を開発した。その主な特徴は、重みはデジタル、信号はアナログという混合型、結線数の減少のためアナログコモンバスの採用、高精度・高再現性の3点である。ANP を用いたニューロコンピュータの実現方法とその得失について論じた。

現在のチップは最初ということもあり、特に集積度を上げる努力は払わなかったが、チップ面積の小ささからも分かるように、一チップに複数のニューロンを入れるのは容易である。今後は利用者の希望を聞きながら、高機能化、高集積化を図っていきたい。

## 謝辞

本研究を進めるにあたり、惜しみない援助を与えて下さった棚橋部門長、林部長、岩本部長、西沢部長、浅川室長に深く感謝致します。また、このチップは石川、吉沢、市來の各君がいなければ日の目を見ることはなかったであろう。心より感謝する。

## 参考資料

- [1] 例えば, Rumelhart, D. E., Hinton, G. E., & Williams, R. J. (1986). Parallel Distributed Processing. Cambridge, MA: MIT Press.
- [2] 土屋他. (1989). 世界で初めて商品化されるニューロチップ. 日経マイクロデバイス, 3, 日経B P.
- [3] Hopfield, J. J., & Tank, D. W. (1985). "Neural" Computation of Decisions in Optimization Problems, *Biol. Cybern.*, 52, 141-152.