

面入出力光電融合素子 (VSTEP) とその計算機応用

笠原健一

日本電気(株) 光エレクトロニクス研究所

面入出力光電融合素子 (VSTEP) とそれによる機能性光インターコネクションを中心に光技術がどう計算機に活かされるか展望する。計算機の中で光がどう役立つか、またどのような性能の光デバイスが必要か考察する。

VERTICAL TO SURFACE TRANSMISSION ELECTRO-PHOTONIC DEVICE AND ITS APPLICATION TO COMPUTING

Kenichi Kasahara

NEC Corp. Opto-Electronics Research Labs.

34, Miyukigaoka, Tsukuba, Ibaraki 305, Japan

With a focus primarily on the Vertical to Surface Transmission Electro-Photonic device (VSTEP) and the resultant functional optical interconnection, it is discussed how optical technology is useful in a computer.

1 まえがき

光通信のダウンサイジングということが言われており、これまで中心であった幹線系といった長距離から加入者系や機器間、装置間といった距離の短い分野への光技術の導入が期待されるようになってきている。短距離応用では、必然的に多チャンネル化への要求が強くなってくる。その場合には、時間軸だけでなく、空間、波長（周波数）の各軸を上手に組み合わせ、光の持つポテンシャルを十分に使いこなした方式を開発していくことが重要となる。

空間軸の利用として、機器間伝送では長波系でLEDアレイやpinフォトダイオードアレイといった並列光伝送用の一次元光半導体アレイの開発が進められている。また2次元アレイ化が可能な垂直共振器型面発光半導体レーザや半導体面型光変調器の研究も活発化してきており、それらを使ってSi-CMOSなどのチップ間を光でつなごうとする試みも行われてきている。

このような並列光半導体デバイスとそれらを使った光通信の短距離化は見方によっては光通信から光交換、さらには光コンピュータへの流れと呼応して捉えることができる。

以下では、我々の面入出力光電融合素子（VSTEP: Vertical to Surface Transmission Electro-Photonic device）を中心に、光技術がどう計算機に活かせるか展望する。

2 光技術の計算機への応用

計算機の中で光がどう役立つか、まとめてみると以下ようになる。

（1）今の計算機や周辺装置間のデータ伝送に光通信の技術を用いる。光ファイバを伝送路として用いるもので数Gb/sのデータ伝送が可能になる。

（2）超並列プロセッサ（あるいは超並列コンピュータ）といった、これまでになかったような新しいアーキテクチャを実現するために光を用いる。光の高速性とそれによる時分割多重などの多重化技術を用いて配線数を大きく減らすことが期待される。

（3）新しい光独自の並列パラダイムを実現する。いわゆる光コンピュータと言われている分野で、インターコネクションと演算が並列的に光で行われる。光電複合型ニューロコンピュータで研究されている光積和演算はこれに相当するものと考えることができる。

（3）の領域での研究は海外ではAT&T Bell研などでかなりの人数をかけて行われているが、光通信技術の成熟度やSi電子計算機の今日の隆盛を考えると光は先ずはインターコネクション技術を起点として上に挙げた順に実用システムの中に入っていくものと考えられる。

（1）の分野ではすでにLED/PDアレイを用いて100mの150Mb/s/ch、12chの光並列伝送が実現されている[1]。1.3μmメサ型面発光LEDアレイと駆動回路、クロストークを低減した素子分離型InGaAs-pi-n-PDアレイと受信フロントエンド回路をハイブリッド実装した、厚さ7mmの小型、低消費電力のモジュールが作られている。そしてコンピュータや交換機などの架間伝送を想定し、100mの光並列伝送実験を行い、12ch動作時にも2.9dBのロスマージンが確保されることが確認されている。

（2）であげた超並列プロセッサは少なくとも1000個以上もの多数のプロセッサが相互に結ば

れた計算機システムである。並列、分散処理によって、現在のノイマン型コンピュータでは不得手な処理を高速に行うことができるものと期待されている。このような超並列プロセッサを実際に作るとなると一枚のボード上に全てのプロセッサを収容することはできないので何枚かのボードを用いて筐体に収容し、更にこのような筐体をいくつか用いることになる。図1は3Dメッシュ方式の超並列プロセッサを実現するのにどれくらいの配線が必要とされるか、また現状の標準的な電気の実装技術を用いると、どれ位のレベルができるか示したものである。プロセッサの数は16kで、ボード上には64個のプロセッサがのるものとしている。図1でNは16あるいは32といった値をとる。光では16ビット（または32ビット）の平行信号を時間的に多重化して数Gb/sで送ることができるのでその分だけ配線数を減らすことができ、現状でもボード間あたりまでは光インターコネクションのメリットが見いだせる。

階層	必要な配線数*	現状での配線数 x 伝達速度**
ボード上の パッケージ間	N	16x40Mb/s=640Mb/s
ボード間	160N	256x40Mb/s=10Gb/s (バックボード経由)
バックボード間	384N	~1Kx40Mb/s~40Gb/s
筐体間	1536N	~1Kx40Mb/s~40Gb/s

*) 3Dメッシュ構造、16k-PEsを想定

**) ボード間、バックボード間、筐体間の伝達速度40Mb/sは見込み

図1 超並列プロセッサ

さて、(1)、(2)、(3)と光インターコネクションが機器間、ボード間などと短距離の応用に進展していくと、光素子の周りに光インターコネクションの流れを制御し、接続を切り替えたりするための電子素子やレベル再生用の電気回路を設けることがシステム全体から見て負担となってくる。短距離の応用では、小さな空間の中に必然的に多数の光素子を詰め込まねばならなくなってくるが、光インターコネクション用の素子自体にスイッチやメモリなどの機能を付加する（機能性光インターコネクション）ことによって全体が非常にコンパクトにできる。また発光、受光機能を兼ね備えた光素子があれば双方向の光データ伝送が簡単に構成できるが、このようなものも機能性光インターコネクションの一種と考えることができる。

光インターコネクション、そして上述した機能性光インターコネクションを実現するためには、まずは面発光半導体レーザアレイや受光素子アレイ、面型光変調素子アレイの開発が必要となり、さらに閾値やスイッチ、メモリ、光増幅などの機能を持った光機能素子アレイが不可欠となる。

3 どのような性能の光デバイスが必要か？

半導体面型光デバイスとしては発光型デバイスと、自らは光を出さない受動型デバイスに大別される。2節で述べた3つの応用領域のうち、最初の(1)、(2)といったところを考えるとアレイ化を可能とするような低消費電力の発光デバイスが少なくとも必要とされる。それではどの位の性能で、どれ位のアレイ規模が必要とされるのであろうか？

図1の超並列プロセッサ(=PE)のハード的なイメージとしては、1つのボード上にPEが $8 \times 8 (=64)$ 個のり、更に16枚のボードが1つのバックプレーンにのったものを想定している。さて、隣り合うボード内のPE同志を電気で接続することは、仮に一個のPEから32本のデータ線が出ていようと容易であり、この所に光を用いるメリットは今の所ない。電気で問題となるのは別々のボードにのった対抗するPE間をつなぐ場合である。これに必要な配線数は160Nとなるが、 $N=32$ としてもその数は5120本と膨大となり、電気配線だけで実現するのは不可能となる。またデータ速度としては1本あたり将来的には100Mb/sで送ることが必要とされるであろう。

そこでこのような所に光インターコネクションの技術を使ったらどうであろうか。半導体レーザを使えば10Gb/sの速度で光信号を送ることも可能となっているわけであるから、32本の並列なデータ線を時間多重して1本の光の信号路で送ることはそう難しくない。光の速度としては $32 \times 100 \text{ Mb/s} = 3.2 \text{ Gb/s}$ ということになる。そうすれば5120本の配線が160本ですむようになり光ファイバで引き出すことも決して不可能な数字ではなくなってくる。

次に半導体レーザのアレイ規模としてはどれくらいのものが要るのであろうか。多重化した直後で電気を即、光に変えて送るのがクロストークの点でもっとも好ましいが実装は大変になる。半導体レーザをPEの近くにばらばらに1個ずつ置くと、半導体レーザと光ガイド(光ファイバーもその一つに入る)の結合は1対ずつ別々にやらねばならないので実装の工数もPEの数だけ必要となり、その箇所での信頼性も指数関数的に増大することになる。したがってある程度の規模の半導体レーザアレイと光ガイドアレイを作って接続するという考えがでてくる。このように考えると上に述べたハードイメージではボード間のインターコネクションに必要なアレイ規模は最大64ということになる。

2節の(3)の応用ではアレイ規模は一般的にもっと大きなものが必要とされる。光電複合型ニューロコンピュータで実用を考えれば~1000個の半導体レーザ(一次元)アレイは必要であろう。

4 面型光デバイス

光インターコネクションでは発光素子の方が良いか、それとも消費電力の点からパッシブな変調素子を用いた方が良いのかという問題がある。しかしながら、変調素子を使う方式にしても結局は外部に発光素子が必要となるわけであり、そのための低消費で小型な光源の開発は不可欠となる。その様な光源の一候補としては、2次元集積化が容易な垂直共振器型面発光レーザ(VCSEL)があるし、更にそこに光機能を付加したVSTEPなどがある。以下ではこの2つについて現状を述べる。

4.1 面発光レーザ

VCSELは発光部の素子面積が数 μm^2 と小さくできるので、高密度な2次元集積化に関して是有利となる[2]。VCSELでは活性層の体積を多重量子井戸層(MQW)として小さくし、

上下の反射鏡に高反射率の半導体多層膜を形成した構造で、数mA台で発振するものが報告されている。

活性層がInGaAs歪量子井戸（波長は950nm前後）から成り、AlAs/GaAs半導体多層膜ミラーを上下に持つ素子において、レーザ光が出始める発振閾値電流として室温連続動作（cw動作）で0.7mAという値が報告されている〔3〕。高速特性に関しては緩和振動周波数 ~ 6 GHz、3dBダウン周波数で ~ 8 GHzという値が実現され、また利得スイッチング法で30ps以下の短光パルスの発生も実現されている〔4〕。

VCSELの基本的な課題は、a)消費電力の低減と、b)電気-光変換効率の増大にある。a)とb)は別個の問題でなく互いに関連がある。

a)では発振閾値電流がどの位まで低減できるかという問題がある。理論的には $1\mu\text{m}\phi$ の径の素子で、数 μA ぐらいに閾値電流はできるはずであるが、現状では活性層側壁での非発光再結合電流のために2 ~ 3 桁大きくなっており、横モード制御とからんでその低減のための方策が必要である。アレイ規模が100個程度と大きくない場合には、発振閾値電流は数100 μA でも十分であるかもしれない。重要な性能項目はそれよりも電気-光変換効率であろう。現状のVCSELでは微分量子効率 η_d として28%という値が報告されているが、この報告では素子の内部抵抗が大きいため、トータルの電気-光変換効率は低い。内部抵抗の値としては $20\mu\text{m}\phi$ のもので 40Ω という値が別に報告されているが〔5〕、最終的な高電気-光変換特性はまだ実現されておらず、それが今後の課題の一つである。

VCSELの集積では、 32×32 アレイが実現されている（図2）〔6〕。チップサイズは $4.5 \times 4.5\text{mm}^2$ であり、その内に $100\mu\text{m}$ ピッチで面発光レーザが集積されている（図3、5.3-7）。素子電圧、抵抗はそれぞれ5V、 200Ω 、クロストークは0.5MHz以上である。閾値電流（cw動作時）、微分量子効率、ビーム広がり（平均値）はそれぞれ、6.9mA、8%、 10.5° と良好な特性が得られている。

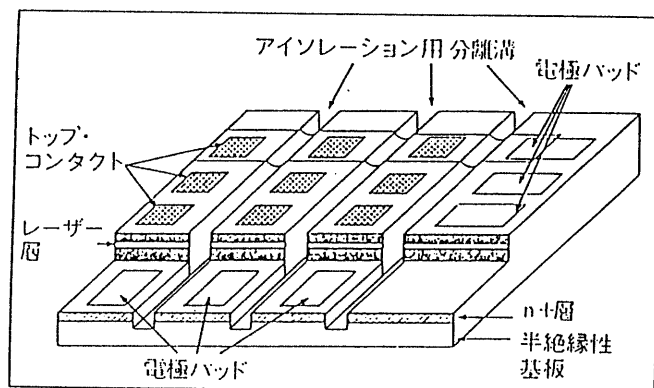


図2 32X32 VCSELアレイ

4.2 VSTEP

VSTEPは光電融合によってしきい値機能やメモリなどの機能を低消費電力で実現し、機能性光インターコネクション用面型光素子を実現しようとするものである。これまでpnpn構造をしたAlGaAs/GaAs系の素子で光スイッチやラッチなどの機能が低消費電力で実現され、それによって $32 \times 32 (=1024)$ の集積素子が実現されている[7]。チップサイズは約 1mm^2 である。この素子では、ON状態での発光をLEDモードであったが、光インターコネクションに必要な高効率化を目的として、レーザモード化した、垂直共振器型pnpn-VSTEP (VC-VSTEP) も実現されている[8]。図3のようにInGaAs歪量子井戸活性層をpnpn構造の中に形成し、上下にレーザ発振用のAlAs/GaAs多層膜反射鏡を設けた構造となっている。スイッチング電圧は約5V、ホールディング電圧は約2.5Vであった。素子サイズが $10\mu\text{m}^2$ のものでON状態での発振閾値電流は2.5mAであり、発振波長は 955nm であった(図4)。ON状態ではVCSELとして動作し、この素子を用いて 1Gb/s のNRZ変調が確認されている。課題はVCSELとほとんど同じで高電気-光変換特性などの達成であり、共通の方策が適用できる。

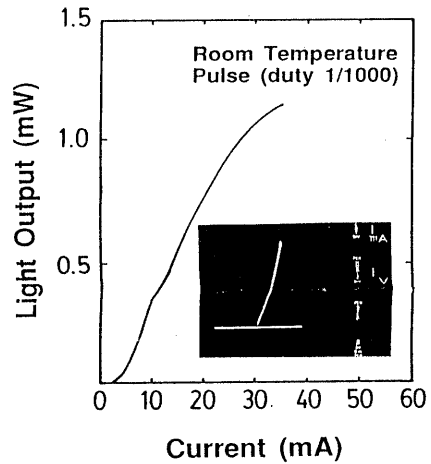
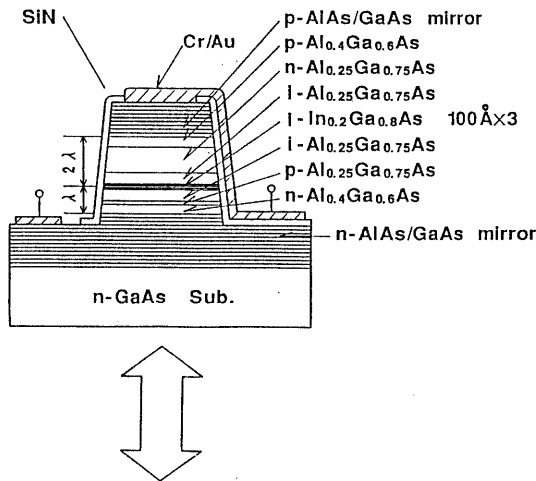


図3 レーザ型pnpn-VSTEP

図4 光出力-電流特性、電流-電圧特性

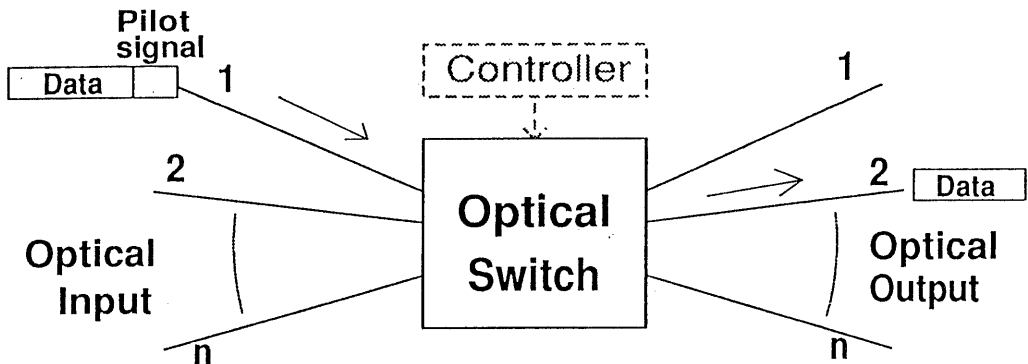


図5 光セルフルーティング

光スイッチング・エネルギーは最適化した構造で、 $30\mu\text{m}$ の素子で 2.2pJ （スイッチング速度 10ns ）であるが、実用的な観点からはさらにこの値の低減が望まれる。

これらの素子を用いて、電気制御による可変光インターコネクション、さらには、光制御型の可変光インターコネクションの実験が行われている。図5は pnpn-VSTEP の光スイッチや光増幅機能を利用した光セルフ・ルーティングの概念を示してある。光データ信号の先頭にはその行き先を指定する光アドレス信号が付けられており、これが複数の pnpn-VSTEP に入ると特定の pnpn-VSTEP のみがONし、後続の光データ信号が指定の方向に進むことができる[9]。

VSTEPは光と電気の融合によって性能向上を図り、インターコネクションをより簡単な構成で実現するための素子の概念であり、 pnpn 構造でいえば内部の pn 接合と npn トランジスターとを電氣的に分離するなどいくつかのバリエーションが考えられる。

5 むすび

光インターコネクションは各階層で幾つかの異なった形態が考えられる。機器間の光インターコネクションは現在の光ファイバ通信技術を使って可能であり高速な信号伝送が可能となって、同軸ケーブルを使った場合には問題となるふくそうの問題が低減できるといったメリットがある。それに対してボード間、モジュール間、さらにはチップ間やチップ内の光インターコネクションは技術的な課題が多々ある。距離が短くなるにつれて、配線密度や、接続の可変性、電気-光、光-電気変換における変換効率や、遅延時間の問題、Siなど電子デバイス集積化技術との整合性や実装の問題がよりクローズアップされてくる。

半導体素子の集積度としては $10^2\sim 10^3\text{bit}/\text{チップ}$ 当りが先ずは応用上からも妥当な目標であろう。短距離の光インターコネクション技術が再び脚光を浴びてきている背景には、システムサイドからの期待や要請の高まりもさることながら、最近の2次元面型光半導体素子の進展にあることは言をまたない。さらに応用サイドと一体となった着実な研究開発が望まれる。

謝辞

日頃ご指導頂く光エレクトロニクス研究所 阪口所長，小林所長代理，西田主管研究員，浅川部長，堀田部長，基礎研究所 覧具所長代理，および関係各位に感謝致します。

参考文献

- [1] 長堀ほか、OCS90-5
- [2] F. Koyama et al.:The trans. of the IEICE, Vol. E 71, No. 11, pp.1089-1090(1988).
- [3] R.S.Geels et al.:Appl. Phys. Lett., Vol. 57, No. 16, pp.1605-1607(1990).
- [4] J. L. Jewell et al.:Optical Engineering, Vol. 29, No. 3, pp.210-214(1990).
- [5] C. J. Chang-Hasnain et al.:Appl. Phys. Lett., Vol. 58, No. 12, pp.1247-1249(1991).
- [6] M. Orenstein et al.:CLEO'90, CTUF4(1990).
- [7] K. Kasahara et al.:IOOC'90, 20C3-1(1990).
- [8] M. Sugimoto et al.:LEOS Annual Meeting, PD-8(1990).
- [9] I. Ogura et al.:the 22nd Conference on SSDM, D-3-5(1990).