

画像演算メモリ

藤田 善弘

日本電気株式会社 C&C情報研究所

メモリと同一チップ上に多数のプロセッサを集積する画像演算メモリを提案する。現在の画像処理システムは、画像データを保持するメモリと、そのデータを処理する外付けの汎用プロセッサや専用プロセッサという構成をとっている。このとき、メモリのチップ上で低レベル画像処理を行うことができれば、外部のプロセッサはより高度な処理に専念することができる。本稿で提案する画像演算メモリは、低レベル画像処理がSIMD演算に適している点に着目して、SIMD型の1次元プロセッサアレイを画像用デュアルポートメモリのシリアルアクセスメモリ部に付加した構成となっている。メモリとプロセッサとのデータ交換は画像用デュアルポートメモリの場合と同様に、1行分のデータを一度に転送することができ、非常に大きなメモリープロセッサ間バンド幅を有する。本稿では、画像演算メモリの構成、応用、及びその処理性能について報告する。

Image Functional Memory

Yoshihiro Fujita

C&C Information Technology Research Laboratory, NEC Corporation

4-1-1 Miyazaki, Miyamae, Kawasaki, Kanagawa, 216 Japan

This paper presents the architectural features and some applications of the Image Functional Memory (IFM) chip, which integrates DRAM memory cells and one dimensional SIMD processor array on a single chip. The IFM has conventional memory interface same as dual port video RAM with operation input extension. SIMD type processing can be accomplished inside the IFM chip using internal processor array and other processing can be done by the external conventional processors concurrently.

1. はじめに

画像処理には、比較的単純な処理を全画素に適用しノイズの除去や特徴の抽出等を行ういわゆる低レベル画像処理と、その結果得られた画像からさらに高度な特徴を抽出したり認識を行ったりする、中上位の画像処理とがある。

低レベル画像処理は、画素並列に演算可能なものが多く、これを高速に行うためのSIMDマシンは既に数多く提案されており、コスト上の問題はあがその有効性はもはや明らかである。一方中上位レベルの画像処理は、現在のところ汎用プロセッサ上で行うか各処理専用のプロセッサを開発するかしなく、研究段階では各種の画像処理MIMDマシンの研究が進められている。

今後の画像処理システムとしては、SIMDマシンを汎用プロセッサや専用プロセッサ、さらにはMIMDマシンと組み合わせた形態のものが考えられる。これを実現するためには、各種の低レベル画像処理を高速に行うことができ、単なる部品として扱うことのできるような安価な使いやすいSIMDプロセッサの実現が期待される。そのようなものがあれば、それを汎用プロセッサや専用プロセッサと併用することによって処理装置全体のコストパフォーマンスを引き上げることができる。

本稿では、汎用メモリデバイスであるDRAMと多数の単純なプロセッサとを1チップに集積する、画像演算メモリ (IFM:Image Functional Memory) を提案する。プロセッサ部は、1次元SIMDアレイ構成をとっている。また、メモリ部は通常のDRAMのインタフェースと同様であるので、チップ上のSIMDプロセッサでできる処理はチップ内部で高速に行い、それ以外の処理の場合は本画像演算メモリを単なるメモリチップと見なし、従来の画像処理装置と同様に外部のプロセッサで処理を行うことができる。さらに画像用のポートを別に持っており、それを通じて高速な画像入出力ができる。

以下、まず2章で画像演算メモリの構成、特徴について概説し、3章で2MビットDRAMおよび128個の8ビット演算器を有する画像演算メモリの構成例を示す。また、4章で性能の評価検討を行い、最後に5章で考察を行う。

2. 画像演算メモリ

ここでは、本稿で提案する画像演算メモリの概要を

説明する。まず、画像演算メモリのベースとなる画像用デュアルポートメモリについて紹介した後、画像演算メモリの構成、特徴について述べる。

2.1 画像用デュアルポートメモリ[1]-[3]

これまでに開発されてきた画像用デュアルポートメモリとは、通常のランダムアクセス可能なDRAMに、高速シリアルアクセスが可能なシリアルアクセスメモリ (SAM)を併置したものである。図1にその構成を示す。

SAM部にはDRAMのメモリセルの1行分のデータを保持できる容量があり、DRAMから1行のデータを一度にSAMに転送したり、SAM上のデータを一度にDRAMに転送することができる。この転送は通常のDRAMアクセスと同じタイミングで行い、その転送時間も通常のDRAMアクセスと同じである。SAM部は入出力用にシリアルアクセス専用の信号線をもっており (Sin/Sout)、高速にデータの入出力ができる。このSAMは、高速SRAMないしはシフトレジスタによって構成され[4]、DRAM部のアクセスタイムが60~80ns、サイクルタイムが120~160ns程度であるのに対して、SAM部はサイクルタイムが20~25ns程度でアクセスできる。また、通常のメモリと同様なデータ線を通じて行うDRAMアクセスと、専用線によるSAMアクセスは並行して非同期に行うことができる。

このような高速シリアル入出力をもち、かつ大容量、低価格という特徴が画像用メモリとしての要件によく適合しているため、現在ではフレームメモリその他の用途に広く用いられている。

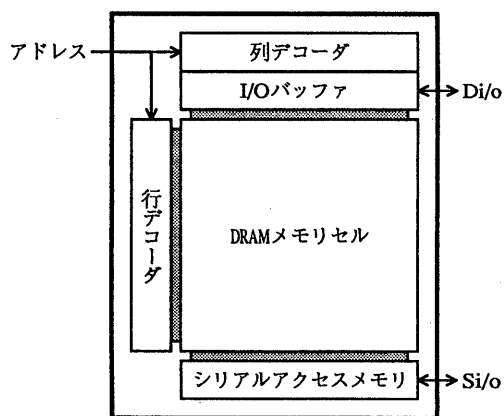


図1 画像用デュアルポートメモリ

2.2 画像演算メモリの提案

本稿で提案する画像演算メモリは、画像用デュアルポートメモリのSAM部に1次元プロセッサアレイを付加したものである。プロセッサアレイは、演算器アレイと中間結果を保持するラインレジスタから構成される。その構成を図2に示す。

本画像演算メモリは、メモリチップ内で画像処理を行うことを目的としており、1次元に接続された並列プロセッサで画像処理演算を効率よく実行できるように、2次元画像の行と列をメモリセルの行と列に対応させて、メモリセル上に画像を保持する。そして、1次元プロセッサアレイを用いて、画像内の1行のデータを一度に処理する。したがって本画像演算メモリの演算機構は、このような行単位の処理によって、できるだけ多くの種類の画像処理演算を、簡単な機構で、高速に、効率よく行う必要がある。

メモリ部とプロセッサ部のデータ交換は、通常の画像用デュアルポートメモリにおける、DRAMとSAM間の場合と同様、1行のデータを一度に転送することができ、バンド幅が非常に広い。すなわちプロセッサとメモリを同一チップ上に持つことによって、プロセッサ数が多くてもメモリから十分高速にデータを供給することが可能である。

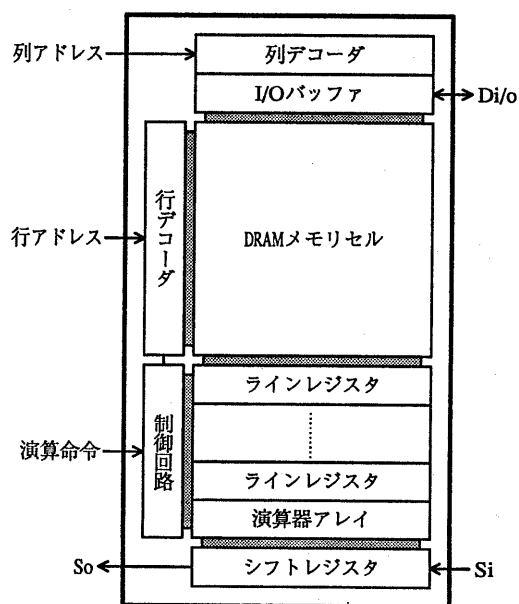


図2 画像演算メモリ

メモリと演算機能を同一チップに集積するという提案は、ロジックインメモリや機能メモリとして従来からなされているが[5]-[8]、メモリ要素単位にロジックを付加するものは、汎用メモリデバイスに比べメモリ容量が小さくなってしまい、当分の間不満が残ると考えられる。本稿で提案する画像演算メモリは、その一歩手前のより現実的な解として、1チップに2次元プロセッサアレイを集積するのではなく、1次元プロセッサアレイ+大容量メモリという構成をとっている。すなわち2次元プロセッサアレイによる超高速度+小容量メモリよりも、1次元プロセッサアレイによる高速性+その時点での汎用メモリデバイスに匹敵する大容量メモリという構成の方がより実用的であると考えられる。

また、従来の機能メモリにおいては画像処理に適用するにはその入出力性能が不十分であった。例えば、演算要素が2次元に配置されている場合、データ入出力が完了するまで処理を開始することができず、データ入出力を頻繁に行う必要のある画像処理の場合、その高速性を十分に活かすことは困難である。一方、画像演算メモリでは、1行単位に処理を行うため、SAMを経由してのデータ入出力と他の行の演算とをオーバーラップさせることができ、データ入出力性能と演算処理性能のバランスが非常によい。

図2に示したように、画像演算メモリの構成は、プロセッサ部を除けば画像用デュアルポートメモリの構成とほぼ同じである。外部とのインタフェースも画像用デュアルポートメモリに準じ、それにプロセッサへの命令入力を付加したものとなっている。すなわち、外部に接続されたプロセッサからは、単なるDRAMとしてアクセスが可能であり、画像用デュアルポートメモリと同様に容易に手軽に使用することができる。メモリの容量も、その時点で使用されているDRAMと同じか、少なくとも2分の1程度の容量を持つことはできるであろう。またSAMとしては、複数チップを連続的に接続して使用できるようにするため、シフトレジスタを使用している。

画像演算メモリを実際に使用する場合には、その命令シーケンスを生成するコンパイラや、シーケンスを画像演算メモリに対して供給するシーケンサが必要になる。演算器は加減算器、論理演算器とシフト程度の

単純な構成を考えており、そのコンパイラにおいては処理の最適化が容易であり、コンパイラ自体の開発も容易であろう。また、シーケンサも単純なものでよい。

図2の画像演算メモリの場合はシーケンサをチップ外部に接続する必要があるが、用途によってはそれを画像演算メモリに内蔵する構成も考え得る。1チップのみで使用するならシーケンサは内蔵している方が使いやすいが、複数チップをSIMD的に動作させる場合は、1ヶ所から集中制御する方がよい。その場合、DRAMのリフレッシュも全チップで同期する必要があるので、DRAMのリフレッシュ制御機構も、シーケンサに組み込んでしまうことが考えられる。

3. 画像演算メモリ の構成

本章では、8ビット演算器を使用する画像演算メモリについて、その構成例について述べる。図3にその構成を示す。4MビットDRAM程度のデバイス技術を使用して、2MビットのDRAM、16本のラインレジスタと演算器アレイからなる128個の8ビットプロセッサ、及びシリアル入出力用シフトレジスタ2組を1チップに集積している。

3.1 メモリ

メモリは2048行×1024列、すなわち2048×128ワードの容量がある。これを128プロセッサに分割するので、各プロセッサには2048ワードが割り当てられる。

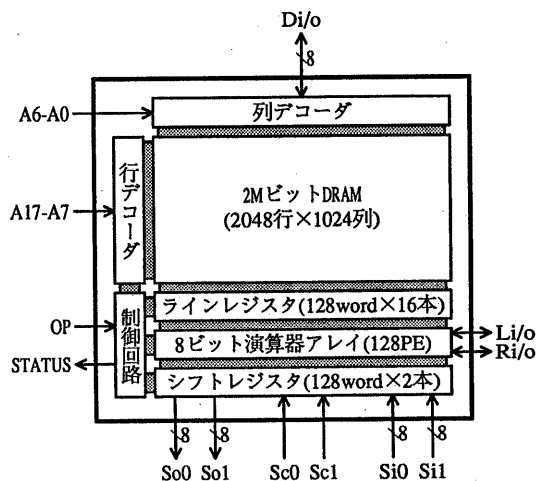


図3 画像演算メモリ構成例

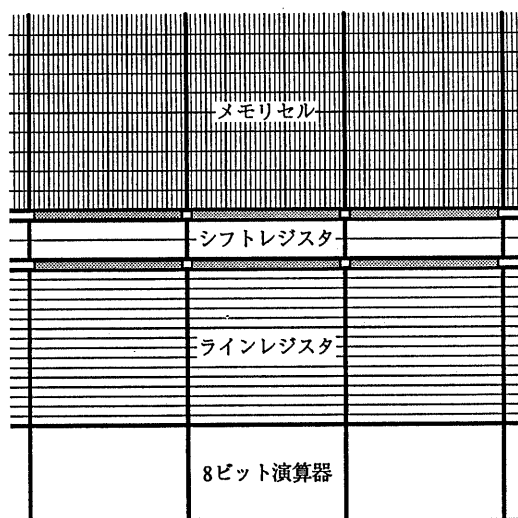


図4 メモリセルの割当

512×512画素(1画素=1ワード)の画像を処理する場合、各プロセッサが画像の4列分を分担すれば、チップ内に画像を1面保持することができる。また列方向に4チップ接続して使用すれば、メモリサイズは2048×512ワードとなり画像4面分の容量であり、また合計512個のプロセッサで1行の演算を一度に行うことができる。

図3に示したように、DRAMセルを2048行×1024列に構成すると、演算器をメモリセル8列分の幅に入れねばならず、実現が困難である。そのため、実際のチップ上ではメモリセルの構成を例えば512行×4096列とし、各プロセッサに32列のメモリを割り当て、チップ外部からは2048行×1024列(128ワード)としてアクセスする。

このようなメモリセルの割り当て例を図4に示す。1プロセッサにつき32列、すなわち4ワード分の列が各プロセッサに割り当てられている。32列を4ワードに割り当てる方法は、図4に示したように32列を4列ずつ8つに分割し、各分割内の4列の各々を4ワードの各ビットに割り当てる。このように割り当てることにより、プロセッサとメモリ間やメモリとシフトレジスタとのデータ転送時に、ある1行を選択すると、列方向には4列毎に選択されることになる。このメモリは、外部からは2048行×1ワードの構成とみなせばよく、このような構成にすることによってプロセッサのためにメモリセル32列分の幅を確保することができる。

3.2 プロセッサ

図5にプロセッサの構成例を示す。各プロセッサは、16ワードの8ビットレジスタと8ビット演算器を持ち、2048ワードのメモリと2ワードのシフトレジスタに併置されている。図5には制御信号線は記入していない。

演算器は8ビットの加減算、論理演算等を行うALUとパレルシフタで構成されており、隣接プロセッサとのデータ入出力線Ri/o、Li/o、およびシーケンサからのブロードキャストデータ入力線Biを持っている。

命令セットは、ロード/ストア命令、演算命令、マスクレジスタ操作命令、隣接プロセッサとのデータ転送命令などから構成され、ロード/ストア命令はDRAMをアクセスするために複数クロックかかるが、それ以外の命令はすべて1クロックで終了する。

①ロード/ストア命令

メモリ-レジスタ間、メモリ-シフトレジスタ間の行単位の転送を行う。命令サイクルタイムを25ns、DRAMアクセスタイムを75ns、DRAMサイクルタイムを150nsとした場合、ロード命令では、3サイクルでデータが使用可能になり、その後3サイクルのメモリアクセス禁止期間ができる。ストア命令の場合は、6サイクルのメモリアクセス禁止期間ができる。

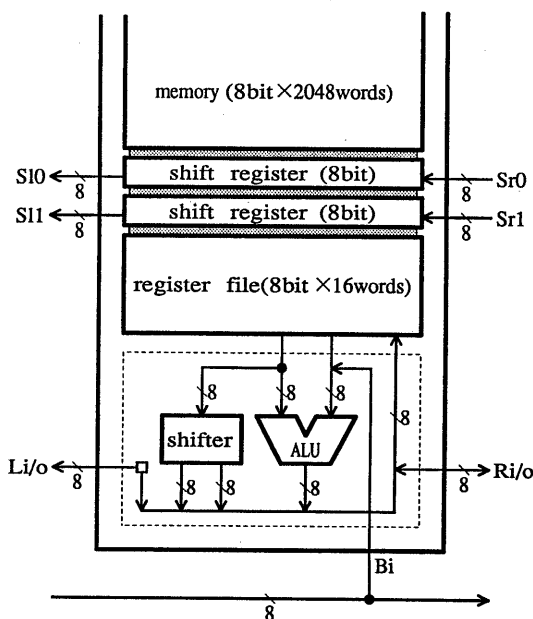


図5 プロセッサの構成

②算術論理演算命令

加減算、符号演算、論理演算等があり、それぞれについてレジスタ-レジスタ間演算とブロードキャストされたイミディエイト値-レジスタ間演算とがある。また、各プロセッサは算術演算の結果によってセットされるコンディショナルフラグとキャリーフラグを持っている。全てのプロセッサのコンディショナルフラグの値、およびその反転値の論理和がそれぞれチップ外に出力されており、シーケンサはそれを用いてシーケンス制御を行うことができる。

③シフト演算命令

算術シフト命令、論理シフト命令があり、8ビットの値から16ビットのシフト結果を生成する。シフト結果の上位側8ビットを得る命令と下位側8ビットを得る命令がそれぞれ用意されている。

④マスクレジスタ操作命令

各プロセッサはさらにプロセッサ毎に演算を実行するか否かをセットすることのできるマスクレジスタを持っている。マスクレジスタがセットされている場合、各プロセッサはロード/ストア命令、隣接プロセッサとのデータ転送命令およびマスクレジスタ操作命令自身を除き他の命令をNOPに置き換える。このとき、コンディショナルフラグは他のプロセッサによる論理和の出力に影響を与えないように切り離される。

マスクレジスタ操作命令には、コンディショナルフラグの内容をマスクレジスタにセットするもの、レジスタの内容のマスクレジスタにセットするもの、マスクレジスタの内容をレジスタに退避するもの等がある。

メモリ中の1行に、プロセッサ番号を外部から書き込んでおきこれをレジスタにロードすることによって、オペランドとしてプロセッサ番号を使用し、各プロセッサのデータにオフセットを与えたりすることができる。さらにそのプロセッサ番号に対して算術演算を行い、その結果得られたコンディショナルフラグの値をマスクレジスタにセットすることによって、ある番号以上のプロセッサだけをアクティブにしたり、偶数番のプロセッサのみをアクティブにすること等ができる。また、メモリ中にどのプロセッサをアクティブにするかというパターンを書き込んでおくことによっても、命令の選択的実行が制御できる。

⑤隣接プロセッサ間データ転送命令

隣接プロセッサ間にはデータ転送用の信号線があり(図5のLi/o、Ri/o)、隣接プロセッサ間データ転送命令によって、任意のレジスタの内容を隣接プロセッサのレジスタに転送することができる。この信号線は、図3に示したようにチップ外部にまで引き出されており、複数チップを接続してより大きなシステムを構成することや、左端と右端のプロセッサを接続してプロセッサをリング状に構成することができる。

3.3 シフトレジスタ

シフトレジスタは、入力と出力を並行して行えるように128ワードのものが2本ある。図3に示したように、各々独立したクロックSc0、Sc1で転送でき、右端のプロセッサからデータを入力し、左側へデータをシフトして行き、左端のプロセッサからデータを出力する。

3.4 制御回路

制御回路は、命令のデコード、イミディエイト値のブロードキャスト、コンディショナルフラグ値の外部への出力を行うほか、プロセッサによるロード/ストア命令、外部からのDRAMアクセス、メモリーシフトレジスタ間のデータ転送などによるDRAMアクセス動作間の調停を行う。

4. システム構成例および処理性能

さきに述べたような画像演算メモリを4個使用する画像処理システムの構成例を図6に示す。画像演算メモリチップを横に並べSIMD結合している。4個使用す

ることによってプロセッサ数が512個になり、 512×512 画素の8ビット画像の1行の演算を一度に行うことができる。また、画像を4面保持することができる。

ホストプロセッサはランダムアクセスポートを介して画像演算メモリと接続されており、メインメモリと同様にアクセスすることができる。ただし、画像演算メモリをアクセスする時のデータ幅は8ビットになる。

画像演算メモリ4個に対し1つのシーケンサを接続し、同一の命令シーケンスを各チップに対して与える。ホストプロセッサは、I/Oポートを介してシーケンサに接続されており、命令シーケンスのロードや処理の起動、ステータスの読み出しなどを行う。シフトレジスタはD/A、A/Dを介してディスプレイやTVカメラ、VTR等と接続されており、画像の入出力を行う。

4.1 画像入出力性能

図6のような構成の場合、カメラからある1行を入力中は、既に入力されている行を処理する。NTSC信号の1走査線時間は $63.4 \mu s$ であり、画像演算メモリの2536サイクルに相当するので、1行当りの演算量が2536サイクル以下の処理であれば、入力、演算、出力をパイプライン的にオーバーラップさせることができ、動画像をリアルタイムに処理できる。また垂直帰線期間中にも演算を行うことができる。上記は8ビット濃淡画像の場合であるが、ドットクロックが80nsでありシフトレジスタの25nsに対して十分余裕があるので、外部にラインバッファを設けRGBの各データを時間的にずらせ、それらを3倍速で入出力することによって、カラー動画像のリアルタイム処理にも対応することができる。

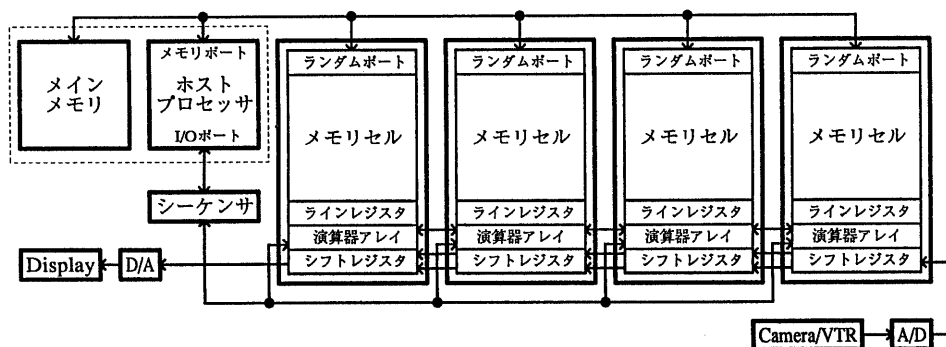


図6 画像処理システム構成例

4.2 画像処理性能

次に、前述の画像処理システムで画像間演算およびフィルタリング処理を行ったときの処理時間を示す。

画像間演算の場合、画像は既にメモリ上に格納されているとすると、1ラインにつきロード2回、演算1回、ストア1回の処理が必要である。このうち演算は、2度目のロード命令後のメモリアクセス禁止期間に隠せるので $6 \times 3 = 18$ サイクルで処理でき、画像全体の処理時間は0.23msとなる。

フィルタリングの場合、ある画素について計算するにはその近傍の画素値が必要になるが、これは隣接プロセッサ間データ転送によって集める。画像演算メモリでフィルタリングを行う場合、計算時間のほとんどは積和演算の処理時間によって決定される。乗算を30サイクルであると仮定すると、8ビット×8ビットの乗算を行い24ビットの積算値に足し合わせる積和演算に33サイクルかかるので、積和演算を9回含む 3×3 フィルタリングの処理時間は約4msとなる。また、積和演算を49回含む 7×7 フィルタリングの場合は約22msとなる。

4.3 ニューラルネットワーク処理性能

ここでは、画像演算メモリを用いてフィードフォワード型3層ニューラルネットワーク演算を行うことを考える。ニューラルネットワーク演算には1次元アレイ型のプロセッサが適しており、既に数多くのシステムやニューロチップが提案されている[9]-[15]。画像演算メモリは、チップ上のメモリに重みを保持することができ、プロセッサ部がニューラルネットワーク演算に適しているため高速な処理が実現できる。

1プロセッサに1ニューロンを割り当てて、メモリをフルに利用すれば、入力層1920、中間層128、出力層128のネットワークが1チップで処理でき、1プロセッサに4ニューロンを割り当てれば、入力層512、中間層256、出力層512のネットワークが1チップで処理できる。さらに複数チップを使用すれば、容易に大容量ニューラルネットワーク処理ができる。

演算精度を8ビットとし、クロックを25ns、乗算を30サイクルであると仮定すると、処理性能は1プロセッサ当たり1MCPS (Mega Connections update Per Second)となる。従って、画像演算メモリ1チップで128MCPS、16

チップで2GCPS(Giga Connections update Per Second)の処理性能が得られる。

4.4 RISCとの簡単な比較

本稿で提案した画像演算メモリを、RISCプロセッサに接続した場合の性能向上を検討する。まずRISCプロセッサ上で処理を行う場合、画像はすべてキャッシュメモリ上に保持されているとして、1画素値のロード、ストアおよび演算処理に各々25ns要するとする。いま2つの 512×512 画素の画像間演算を行うとすると、1画素の演算のためにロード2回、演算1回、ストア1回で100nsであり、これを 512×512 回行うと処理時間は26msとなる。一方、これを4チップの画像演算メモリ上で行うと、先に示したように処理時間は0.23msであり、ほぼ100倍の性能が得られる。このように、SIMD的に演算できる処理に対しては飛躍的な性能向上が得られる。

5. 考察

本稿では、4MDRAM程度のデバイス技術を使用し、128個の8ビットプロセッサ+2MビットDRAMを1チップに集積した画像演算メモリについて説明を行った。しかし、カラー画像処理やより大きな画像を対象にする場合やグラフィックディスプレイのフレームバッファとして使用するには、容量的には十分とは言えず、今後デバイス技術が進展するにしたがって、より大容量の使いやすいチップの実現が望まれる。例えば、64MDRAMの技術を用いて、32MビットのDRAMと1024個のプロセッサを1チップに集積することができれば、 1024×1024 画素の8ビット画像を4面、ないしは 1024×1024 画素のカラー画像を1チップに保持することができる。この場合、シリアルアクセスポートは3本以上あると、カラー画像の入出力に便利であり、さらにシーケンサもチップ上にあることが好ましい。

また、今回提案した画像演算メモリの演算器は、加減算、シフト、論理演算用であったが、集積度が向上しチップ上に余裕ができれば、乗算器を組み込むことによって、さらに性能を向上させることができる。

今回提案した画像演算メモリは、画像間演算やフィルタリングのように2次元的に並列に実行できる処理は全て実行可能であるが、例えばプロジェクションの

ように、行方向ないし列方向の1次元にしか並列に実行できない処理の場合は、行方向の処理は並列に実行できるが、列方向の処理は並列には実行できない。これを解決するデバイスとして、メモリセルを行方向にも列方向にも読み出せる構造にして、メモリセルの縦横2辺にセンスアンプを配置するという直交メモリがある[16]。直交メモリを利用することによって、行方向にも列方向にも1ライン分のデータを一度に転送し、処理することができるようになるので、今後デバイス技術が進歩して大容量の直交メモリが実現できれば、画像演算メモリにも新たな展開が期待できる。

以上、画像演算メモリの構成、用途、性能等について述べてきたが、実際にどのような構成の画像演算メモリを作ればいいかを決定するのは困難な問題である。選択の自由度には、例えばメモリの容量、プロセッサ数、プロセッサの構成やビット幅、命令セット、処理クロック、シーケンサを内蔵するかどうか、データ入出力の幅などがある。メモリチップとしての使いやすさを優先するなら、できるだけ機能を絞りピン数も抑え、コンパクトな安価なチップを目指すべきであろう。

6. おわりに

メモリと多数のプロセッサを同一チップに集積する画像演算メモリを提案し、その実現形態につき考察した。まず画像演算メモリのベースとなる、従来の画像用デュアルポートメモリの構成を示した後、画像演算メモリの構成、機能を提案し、大容量DRAMと1次元SIMDプロセッサアレイを同一チップ上に持つことの有効性を示した。次に、画像演算メモリの構成、機能やプロセッサアーキテクチャを提案した後、その処理性能を示した。

今回の提案は、画像演算メモリのアーキテクチャの提案に留まっており、今後、デバイス技術面の検討や、コンパイラの検討、画像演算メモリ上で各種の画像処理を行うためのアルゴリズム開発、市場規模の調査などを進めていく必要がある。

また、本画像演算メモリをニューロコンピュータや、グラフィックス処理、マルチメディア処理に利用したり、超並列コンピュータの要素プロセッサとして使用することも考えられ、今後検討を進める予定である。

参考文献

- [1] R.Pinkham et.al.: "Video RAM Excels at Fast Graphics", *Electronic Design*, Aug.18, 1983
- [2] 松永憲夫: "内外メーカーが一斉に参入する画像用256Kデュアル・ポート・メモリ", *日経エレクトロニクス*, no.369, pp.195-219, 1985
- [3] 松永憲夫: "1M世代の仕様が固まった画像用デュアル・ポート・メモリ", *日経エレクトロニクス*, no.431, pp.115-130, 1987
- [4] 宮宇地真由 他: "4Mビット フィールドメモリ", *信学会研究会報告*, ICD90-112, 1990
- [5] 飯塚肇: "論理メモリ", *情報処理*, Vol.16, No.4, pp.274-285, 1975
- [6] 古谷立美: "応用指向メモリ", *情報処理*, Vol.27, No.6, pp.601-606, 1986
- [7] 山田順三 他: "機能メモリ", *信学会誌*, Vol.73, No.4, pp.392-397, 1990
- [8] 辻本 他: "CAMを用いた機能メモリ型並列プロセッサFMPP", *情報処理研究会報告*, ARC80-12, 1990
- [9] 平岩篤信 他: "ニューラル・ネットのためのRISCプロセッサ・アレイ", *信学会研究会報告*, NC 89-30, 1989
- [10] 吉沢英樹 他: "高並列リングアーキテクチャ", *情報処理研究会報告*, ARC83-12, 1990
- [11] 小池誠彦: "ニューロコンピューティングのためのハードウェア", *信学論(D)*, VOL. J 73-D-II, No.8, 1990
- [12] 山田稔 他: "完全ディジタルニューロWSI", *信学会研究会報告*, ICD89-151, 1989
- [13] 平井有三: "ニューロプロセッサ", *信学会誌*, Vol.72, No.7, 1989
- [14] 村岡洋一: "VLSIニューロプロセッサ", *情報処理*, Vol.31, No.4, 1990
- [15] T.J.Schwartz: "米国におけるニューロチップ商用化の現状", *日経AI別冊90年秋号*, 1990
- [16] A.Kokubu et.al.: "Orthogonal Memory—A Step toward Realization of Large Capacity Associative Memory", *VLSI85*, pp.159-168, 1985