

21世紀に向けた新しい汎用機能部品PPRAMの提案

村上和彰 吉井卓 岩下茂信

九州大学 大学院総合理工学研究科 情報システム学専攻
†: 九州大学 工学部 情報工学科

〒816 福岡県春日市春日公園 6-1

E-mail: {murakami, yoshii, iwashita}@is.kyushu-u.ac.jp

順調に成長を続けるトランジスタ集積度を技術的背景として、(i) 汎用マイクロプロセッサ、(ii) 汎用メモリ、および、(iii) 粗粒度機能メモリの3面性を備えた新しい汎用機能部品 PPRAM (*Parallel Processing Random Access Memory, Practical Parallel Random Access Machine*) を提案している。PPRAMは、(i) 大容量の汎用メモリ (SRAMあるいはDRAM)、(ii) 1個以上の汎用プロセッサ、および、(iii) 外部インターフェースを1チップに集積したものである。その方向性は、今日の高性能マイクロプロセッサが進みつつある方向と一致してはいるものの、その目指す製品形態は大きく異なる。本稿ではさらに、PPRAMの応用形態をいくつか紹介し、PPRAM実現に向けて検討すべき課題を示している。

PPRAM : Parallel Processing Random Access Memory & Practical Parallel Random Access Machine

Kazuaki MURAKAMI Takashi YOSHII
Shigenobu IWASHITA

Department of Information Systems
Interdisciplinary Graduate School of Engineering Sciences
Kyushu University
6-1 Kasuga-koen, Kasuga-shi, Fukuoka 816 Japan

E-mail: {murakami, yoshii, iwashita}@is.kyushu-u.ac.jp

This paper proposes a novel concept of LSI products, called PPRAM(*Parallel Processing Random Access Memory, Practical Parallel Random Access Machine*), which provides the trinity of conventional LSI products: (i) microprocessors, (ii) DRAM and SRAM, and (iii) coarse-grain functional memory. The PPRAM is defined as an LSI which incorporates (i) DRAM or SRAM, (ii) one or more processors, and (iii) external interface logic into a single chip. This paper also illustrates some applications of PPRAM, and then discusses several issues to be resolved to realize the concept of PPRAM.

1 はじめに

半導体技術の進歩は留まる所を知らないかのようである（表1参照）。

特に、CMOSマイクロプロセッサの集積度の向上には目を見張るものがある。図1に、最近10年間にISSCC（IEEE International Solid-State Circuits Conference）で発表されたマイクロプロセッサのトランジスタ数を示す[3]。今年2月のISSCC94では、330万Trの最高記録を有するマイクロプロセッサ（米Intel Corp.のPentium, 0.6μm, 163mm²）が発表された[10]。年平均50%程度の集積度向上となる。

現在の最先端の商用マイクロプロセッサの微細加工技術（設計ルール）は0.8μm～0.4μm程度であるが、さらに0.1μmまではデバイス的および回路的限界に達することなく集積度が向上すると予想される[7]。米Intel Corp.は、西暦2000年のマイクロプロセッサMicro2000の集積度は5000万Trを越えると予測している[16]。

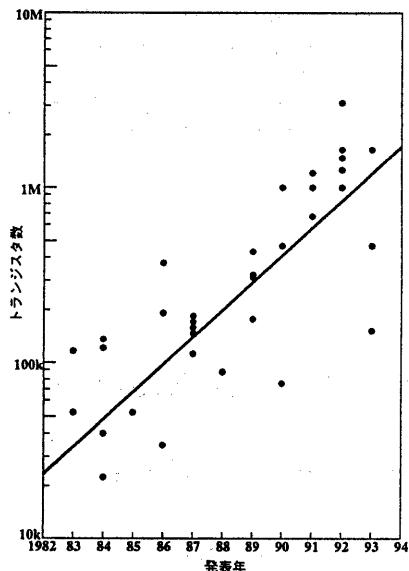


図1：マイクロプロセッサの集積度の推移

一方、メモリの集積度の向上に目を転じると、こちらも凄まじいものがある。図2に、最近10年間にISSCCで発表されたDRAMのビット数を示す。年平均60%程度の集積度向上が見られる。昨年2月のISSCC93ではついに、256Mb DRAMの試作チップが

- NEC: 0.25μm CMOS, セル 0.6×1.2=0.72μm², チップ 13.6×24.5=333mm²,
- 日立製作所: 0.25μm CMOS, セル 0.6×1.2=0.72μm², チップ 14.4×33.2=478.1mm², および,

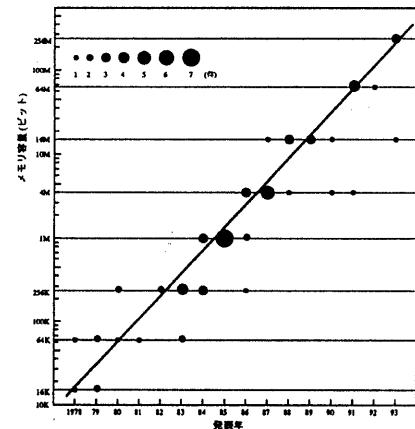


図2：メモリの集積度の推移

- 東芝: 0.4μm 両ウエル CMOS,
セル 0.95×1.0125=0.962μm²,
チップ 20.0×23.2=464mm²

から発表された[9]。1Mb DRAMの試作チップがISSCCで発表されたのが1984年だから、9年でDRAM容量が256倍に増えたことになる。さらに、富士通、松下電器産業、沖電気工業、三菱電機が後に続いている。

さて、このようなマイクロプロセッサおよびメモリの高集積化の行き着く先は、一体どのような製品形態になるのであろうか？

つまり、来る21世紀においては、今日のマイクロプロセッサやメモリといった汎用機能部品は一体どのようなものになっているのだろうか？

たとえば、前出の西暦2000年のマイクロプロセッサMicro2000では、以下の諸元が示されている[16]。

- 動作周波数: 250MHz
- トランジスタ数: 5000万Tr
- ダイ・サイズ: 1インチ×1インチ
- 構成、性能、等:
 - スーパースカラ・プロセッサ (400万Tr, 750MIPS) × 4
 - ベクトル・プロセッサ (400万Tr, 加算器×2, 乗算器×2, 1000MFLOPS) × 2
 - グラフィックス・プロセッサ (400万Tr) × 1
 - バス・インターフェース (200万Tr, 64ビット・アドレス&データ, 256ビット・バス) × 1
 - テスト (300万Tr, BIST) × 1
 - キャッシュ (2000万Tr, 2MB) × 1

この諸元には次の2つの特徴がある。

表 1: 半導体技術の推移

項目	過去 10 年間	年率	1992 年時点	2000 年予測
マイクロプロセッサ				
動作周波数	7 倍	22%	50MHz	250MHz
性能	35 倍	43%	50MIPS	1000MIPS
集積度	30 倍	41%	150 万 Tr	5000 万 Tr
チップ面積	5 倍	17%	200mm ²	1000mm ²
設計ルール	0.3 倍	-12%	0.8μm	0.25μm
メモリ (DRAM)				
集積度	100 倍	58%	16Mb	1Gb

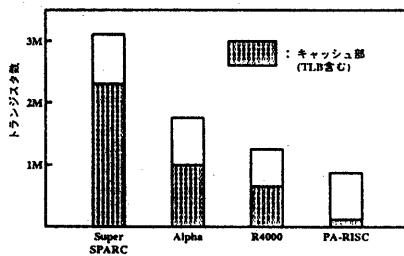


図 3: 高性能マイクロプロセッサにおけるオンチップ・キャッシュの割合

- オンチップ・マルチプロセッサ (*on-chip multiprocessor*) 構成、すなわち、1チップ上に4台のプロセッサ（さらに、2台のベクトル・プロセッサ）を搭載する構成を探っている。
- 大量のオンチップ・キャッシュ (*on-chip cache*) を搭載しており、そのトランジスタ数 (2000 万 Tr) は総トランジスタ数 (5000 万 Tr) の 40% に当たる。

第1の特徴であるオンチップ・マルチプロセッサ構成を採用したマイクロプロセッサはまだ製品化されていないが、プロトタイプは既に試作されている[8]。また、第2の特徴であるオンチップ・キャッシュも、図3に示すように、全トランジスタ数に対して高い割合を占める傾向にある[3]。すなわち、プロセッサとメモリの1チップ内への統合化が進みつつある。

このように、上記2つの特徴は、「高性能マイクロプロセッサにおいて今後如何に高集積化されたトランジスタを活用すべきか?」に関して、

1. オンチップ・マルチプロセッサ (MIMD) 化
2. プロセッサとメモリの1チップ内への統合化

という方向性を示唆している。

一方、メモリに関しては、その高集積化されたトランジスタを記憶容量だけでなく論理機能にも使う機能メモリ (*functional memory*) [4] というアプローチが考えられる。機能メモリは、一種の SIMD 型のプロセッサ・アレイと見

なすことができ、その方向性は、上記のマイクロプロセッサとよく似た、

1. オンチップ・マルチプロセッサ化（ただし、MIMD ではなく SIMD）
2. プロセッサとメモリの融合化（統合化よりも結合の度合が強い融合化）

となる。

以上から、マイクロプロセッサおよびメモリの高集積化的行き着く先の1つとして、

1. オンチップ・マルチプロセッサ化
2. プロセッサとメモリの統合化／融合化

が予想される。しかしながら、それらの製品形態は、

- マイクロプロセッサはあくまでも今日の「マイクロプロセッサ」という部品のまま、また、
- メモリもあくまでも今日の「汎用ならびに機能」メモリという部品のまま

である可能性が高い。

そこで、本稿では、「マイクロプロセッサおよびメモリの高集積化的行き着く先の1つの『製品形態』」として、

1. 汎用マイクロプロセッサ（シングルプロセッサあるいはマルチプロセッサ）、
2. 汎用メモリ (SRAM ないし DRAM)，および、
3. 粗粒度機能メモリ

の3面性を備えた新しい汎用機能部品 PPRAM (*Parallel Processing Random Access Memory, Practical Parallel Random Access Machine*) を提案する。

まず、2章で PPRAM の定義を与え、3章で PPRAM という機能部品の存在する必然性を述べる。4章では PPRAM の応用をいくつか紹介し、5章で PPRAM を実現する上で検討すべき課題を整理して本論文の結びとする。

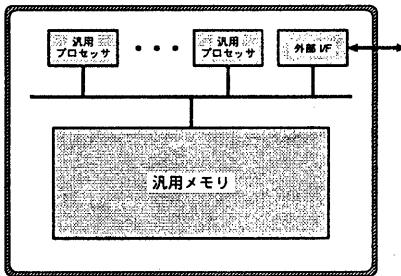


図 4: PPRAM の論理ブロック図

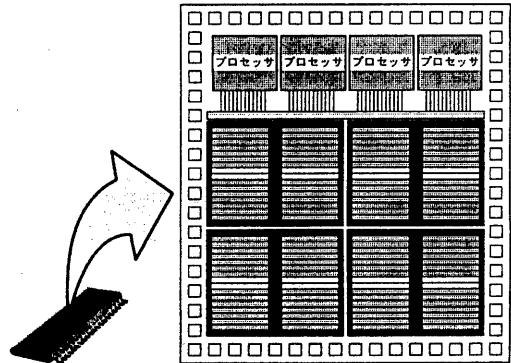


図 5: 理想とする PPRAM の製品形態

2 PPRAM とは

PPRAM とは、

- 大容量の汎用メモリ (SRAM あるいは DRAM),
- 1 個以上の汎用プロセッサ, および,
- 外部インターフェース

を 1 チップ (あるいは, MCM (multiple-chip module) 等の 1 モジュール) に集積したものと定義する。図 4 にその論理レベルのブロック図を示す。

上記の定義は PPRAM として満たすべき最低限の条件を規定したものであり, 理想的には,

- プロセッサ数に等しいポート数を備えた大容量のマルチポート汎用メモリ (SRAM あるいは DRAM), および,
- 出来るだけ簡素な汎用プロセッサを 2 個以上かつ出来るだけ多数個

を現在の RAM 程度の大きさおよびピン数のパッケージに封止した製品形態が望ましい。図 5 にそのイメージを示す。PPRAM という名称は, この

- *Parallel Processing Random Access Memory* (並列処理する RAM): 複数個のプロセッサが大容量メモリを共有して並列処理を行なう
- *Practical Parallel Random Access Machine* (実用的な PRAM):さらに, その共有メモリをマルチポート・メモリとすることで, 「理想の並列マシン」と言われる PRAM を小規模ながら 1 チップ上で実現する

という理想的な PPRAM が有する性質から来ている。

また, 外部インターフェースには, 4 章で述べる PPRAM の様々な応用を可能とするために,

- PPRAM をパソコンやワークステーションの CPU として用いる場合 (図 8 参照) の対メモリ・インターフェース機能 (一般にプロセッサ・バス・インターフェース機能と呼ばれているもの),

- PPRAM をメモリ内蔵 CPU として用いる場合 (図 12 参照) の対 I/O デバイス・インターフェース機能 (一般にシステム・バス・インターフェース機能と呼ばれているもの),
- PPRAM を並列マシンの 1 ノードとして用いる場合 (図 13 参照) のノード間相互結合網に対するインターフェース機能,

等が要求される。

3 PPRAM の必然性

既に述べた通り, PPRAM は,

1. 汎用マイクロプロセッサ (シングルプロセッサあるいはマルチプロセッサ),
2. 汎用メモリ (SRAM ないし DRAM), および,
3. 粗粒度機能メモリ

の 3 面性を備えた機能部品である。本章では,

- PPRAM はこれら類似する他の機能部品とどう違うのか? あるいは, どう差別化するのか?
- なぜ PPRAM という製品形態を探る必要があるのか?

について議論する。

3.1 PPRAM vs. 汎用マイクロプロセッサ

集積度 1 億 Tr 時代の高性能汎用マイクロプロセッサのアーキテクチャは, Micro2000 の諸元にもあるように,

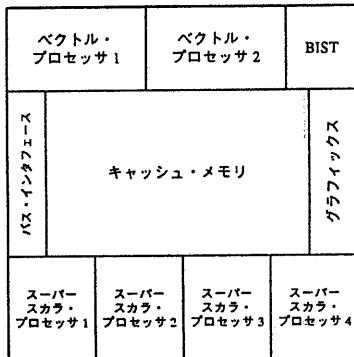


図 6: Micro2000 のフロアプラン

- 高性能スーパースカラ・プロセッサを複数個備えたオンチップ・マルチプロセッサ構成で、
- これらのプロセッサが大容量のオンチップ・キャッシュを共有する

といったアプローチが自然であろう。図 6 に Micro2000 のフロアプランを示す [16]。個々のプロセッサ・アーキテクチャとして高度なスーパースカラ方式を採用するため、チップ領域およびトランジスタ数とともに、あくまでも現在の「プロセッサが主でメモリが従」の関係のままである。これに対して、PPRAM は、

- その時代における最大容量のメモリ (SRAM あるいは DRAM) をまず搭載し、
- そして、その周辺に、出来るだけ簡素でチップ面積の小さな RISC プロセッサを出来るだけ多く搭載する

といったアプローチを探る。すなわち、「メモリが主でプロセッサが従」の関係である。

この PPRAM のアプローチは、Micro2000 のアプローチに比較して、以下の長所がある。

まず、マイクロプロセッサやメモリといった汎用機能部品には、

- 高性能化
- 開発期間の短縮化
- 低コスト化

が求められる [13]。マイクロプロセッサの高性能化手法としてスーパースカラ方式の採用が現在盛んであるが、これも将来にわたって性能向上を約束するものではない。オブジェクト・コードの互換性を維持しながらスーパースカラ度 (1 クロック・サイクル当たり同時に発行可能な命令の数) を上げようとする、設計が複雑となり開発期間を長くする危険がある。さらに、クロック・サイクル時間を延ばしてしまい、逆に性能低下につながる危険性もある。スーパースカラ方式と同様に命令レベル空間並列性を活

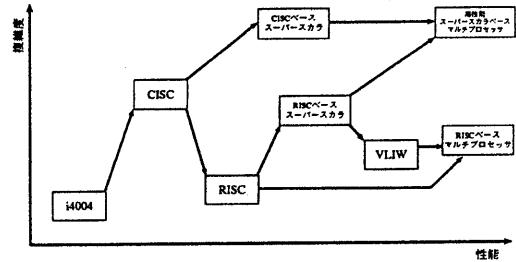


図 7: マイクロプロセッサ・アーキテクチャの推移

用するのなら、VLIW (超長形式機械命令) 方式の方が設計の複雑度が小さく、かつ、スーパースカラ度を容易に上げることができる (図 7 参照)。しかし、(i) オブジェクト・コードの互換性を維持するのが難しい、(ii) オブジェクト・コード・サイズが大きくなり命令キャッシュの使用効率が悪い、(iii) 1 個のプログラム・カウンタですべての機能ユニットに対する命令供給順序を制御するため、機能ユニットのレイテンシの変動に弱い、といった問題点がある。

そこで、考えられるのが、命令レベルよりも高レベルの空間並列性を活用するマルチプロセッサ方式であるが、これには次の 2 つのアプローチがある。

- 「量より質」: Micro2000 のように、高性能スーパースカラ・プロセッサをプロセッシング・エレメント (PE) として、これを少数接続する。図 7 の右上が該当する。
- 「質より量」: スーパースカラ方式などを採用していない極めて簡素でチップ面積の小さな RISC プロセッサを PE として、これを多数接続する。PPRAM のアプローチに相当し、図 7 の右下が該当する。

「量より質」のアプローチでは高性能スーパースカラ・プロセッサを PE とするので、前述の「設計の複雑さを原因とする開発期間の長期化」といった問題は避けられない。一方、「質より量」のアプローチの場合、この問題は生じない。しかも、PE としてある程度枯れた RISC プロセッサ・デザインを採用することで、開発期間の短縮だけでなくコストの低減も可能となる。¹

次に、「プロセッサが主でメモリが従」とする Micro2000 のアプローチに対して、「メモリが主でプロセッサが従」とする PPRAM のアプローチは、「メモリに強くプロセッサに弱い」現在の日本の半導体業界の状況に適合している。まず、メモリの量産ライン技術を PPRAM の量産ライン技術に応用できる可能性がある。さらに、これまでラインが別々だったプロセッサとメモリとを PPRAM に一本化すれば、大量生産によるコストの低減が期待できる。

¹ 「質より量」のアプローチに対しては、「台数を増やしてもそれに見合った性能向上が期待できない」という反対意見が予想される。この点に関しては、性能評価尺度として台数効果ではなく対チップ面積性能比あるいは対価格性能比を用いて議論すべきであろう。

また、Amdahl と Case の経験則が教えるように、「バランスのとれたシステムには、プロセッサの1MIPSにつきメモリが1MB および I/O スルーブットが1MB/秒必要である。」Micro2000 のアプローチでは、とてもプロセッサ性能にバランスするだけのメモリ容量をチップ内に確保することは出来ず、オンチップ・メモリはキャッシュ・メモリとして主記憶はチップ外に求めている。結局、システム全体としては、プロセッサ・チップに加えて、所望のシステム性能に見合つただけの多数のメモリ・チップが必要となる。つまり、メモリ・チップの数でシステム性能を調整していることになる。それなら発想を逆転させて、メモリ容量にバランスするだけのプロセッサ性能を有するプロセッサをチップ内には設けておき、あとは所望のシステム性能に合わせてこのチップ（すなわち、PPRAMチップ）を並べようというのが、PPRAMのアプローチである。この場合、当然ながら従来のプロセッサ・チップというものはシステム構成に無用のものとなる。

3.2 PPRAM vs. 汎用メモリ

PPRAMが従来のSRAMやDRAMといった汎用メモリ部品を完全に置き換えることは難しいであろう。PPRAMは通常のRAMに比べて余計なプロセッサがチップ内に搭載されているために、開発コスト、ダイ・サイズ、歩留まり、パッケージング・コスト、ひいては価格の面で従来の汎用メモリ部品よりも不利であるからだ。しかし、前節でも述べたように、これまで機能部品としてまったく別物だったプロセッサとメモリとをPPRAMに一本化できれば、大量生産によるコストの低減は期待できよう。

さらに、近年、テクノロジ・ドライバが、汎用メモリ部品のDRAMやSRAMからマイクロプロセッサのオンチップ・キャッシュであるSRAMに移りつつある点もPPRAMには有利である。すなわち、従来は、DRAMやSRAMでプロセス技術を開発し、それをマイクロプロセッサに受け渡していたが、この受け渡しやプロセス変更などによってマイクロプロセッサの開発期間が長期化し市場投入が遅れる問題があった。そこで、オンチップ・キャッシュのSRAMが微細化のドライバとなることに着眼して、マイクロプロセッサを使ってプロセス技術を直接開発するようになってきている[13]。したがって、PPRAMが従来のマイクロプロセッサを置き換えることになったら、PPRAMがテクノロジ・ドライバという位置付けになり、PPRAMからプロセス技術が汎用メモリ部品のDRAMやSRAMに受け渡されることになろう。

3.3 PPRAM vs. 機能メモリ

機能メモリとは、「メモリの各ビット、あるいは、その集合毎に何らかの同一の論理機能を付加し、単なる情報の記憶のみならず、メモリ上での論理操作を高速に（通常並列に）行なえるようにした記憶装置」と定義される[2]。機能メモリは、論理機能を実現する付加回路をメモリのどのレベルに持たせるかで、以下のように分類される[5]。

1. セル・レベル：論理と記憶が一体化した専用の機能セルを使用するもの、あるいは、汎用のRAMセルに論理回路を付加して機能セルを構成するもの。
2. セルアレイ・レベル：数ビット～数十ビットの範囲で汎用RAMセルをビットまたはワードスライスに配列したアレイを構成し、これに論理回路を付加して機能ブロックを構成するもの。
3. 周辺回路レベル：汎用メモリ・アレイの周辺回路に論理機能を付加するもの。

本稿では、これらを上から順に、細粒度機能メモリ（セル・レベル）、中粒度機能メモリ（セルアレイ・レベル）、および、粗粒度機能メモリ（周辺回路レベル）と呼ぶ。

PPRAMは上記の分類法に依ると、粗粒度機能メモリということになる。

粗粒度機能メモリは、細粒度および中粒度機能メモリに比べて論理操作の並列度が低いという問題がある。しかしながら、その裏返しとして、以下の利点がある。

- 細粒度および中粒度機能メモリのチップ当たりのメモリ容量は、同世代のDRAMやSRAMといった汎用メモリに比べて1桁程度小さい[15]。一方、粗粒度機能メモリは汎用メモリ・アレイを用いているので、細粒度および中粒度機能メモリに比べてチップ当たりのメモリ容量を大きくすることが可能である。
- 細粒度および中粒度機能メモリにおける並列論理操作がSIMDに限られるに対して、粗粒度機能メモリではMIMDも可能である。

4 PPRAMの応用

PPRAMの応用は、以下の通り多岐にわたって可能である。

• PPRAM-and-Associates 構成

- マイクロプロセッサ・チップの置換
- 汎用メモリ・チップの置換
- 粗粒度機能メモリの追加
- 完全な仮想記憶の実現

• All-is-PPRAM 構成

- All-in-One-PPRAM 構成
- 並列 PPRAM 構成

4.1 PPRAM-and-Associates 構成

従来のシステム構成の一部をPPRAMで置き換える。あるいは、新たにPPRAMを追加する。

4.1.1 マイクロプロセッサ・チップの置換

図8に示すように、従来のシステム構成におけるCPUであるマイクロプロセッサ・チップを1個ないし複数個のPPRAMで置き換える。PPRAM内蔵メモリは(特にSRAMの場合)キャッシュ・メモリとして使用可。

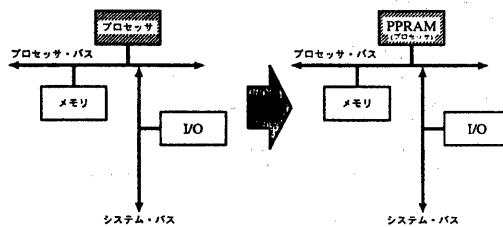


図8: マイクロプロセッサ・チップの置換

4.1.2 汎用メモリ・チップの置換

図9に示すように、従来のシステム構成における主記憶である汎用メモリ・チップを1個ないし複数個のPPRAMで置き換える。

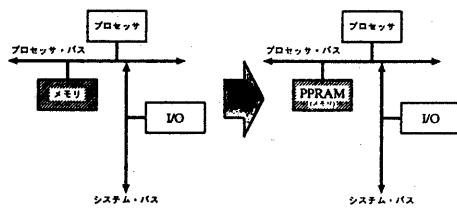


図9: 汎用メモリ・チップの置換

4.1.3 粗粒度機能メモリの組込み

図10に示すように、従来のシステム構成においてプロセッサ上のソフトウェアが主記憶の一部を用いて行なっていった処理を1個ないし複数個のPPRAMにオフロードする。これらのPPRAMは一種の粗粒度機能メモリとして動作する。オフロードの対象となる処理は、従来の細粒度ならびに中粒度機能メモリで行なわれていた文字列検索、辞書検索、等に加えて、オペレーティング・システム(OS)の機能の一部も可能である。

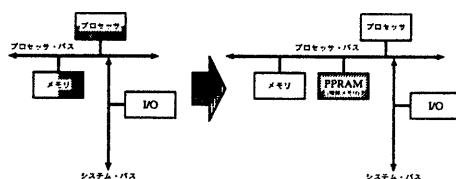


図10: 粗粒度機能メモリの組込み

4.1.4 完全な仮想記憶の実現

主記憶を構成する汎用メモリ・チップを単にPPRAMで置換するだけでなく、その上にOSのページング機能をオフロードする。これにより、CPUから見ると、主記憶は「ページフォルトの生じない完全な仮想記憶」のように見える。

4.2 All-is-PPRAM構成

図11に示すように、従来のシステム構成で使われていたすべてのマイクロプロセッサ・チップおよび汎用メモリ・チップを残らずPPRAMで置き換える。

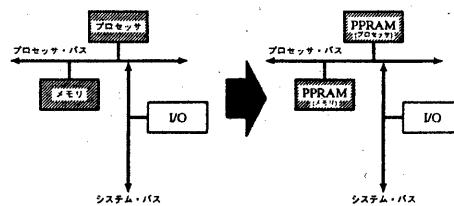


図11: All-is-PPRAM構成

4.2.1 All-in-One-PPRAM構成

図12に示すように、従来のシステム構成におけるCPU(マイクロプロセッサ・チップ)および主記憶(汎用メモリ・チップ)を1個(ないし複数個)のPPRAMで置き換える。ローエンド・システム向きの構成である。

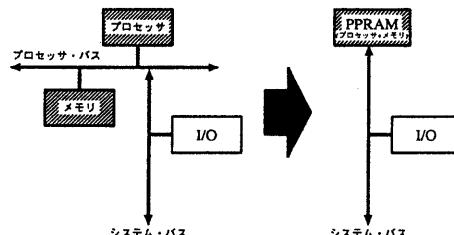


図12: All-in-One-PPRAM構成

4.2.2 並列PPRAM構成

図13に示すように、複数のPPRAMを相互結合網を介して結合し、並列マシンを構成する。



図13: 並列PPRAM構成

5 おわりに — PPRAM 実現に向けて の検討課題 —

以上、

1. 汎用マイクロプロセッサ、
2. 汎用メモリ (SRAM ないし DRAM)、および、
3. 粗粒度機能メモリ

の 3 面性を備えた新しい汎用機能部品 PPRAM を提案した。

以下、PPRAM 実現に向けての検討課題をまとめると、

- PPRAM は、DRAM や SRAM といった大容量メモリとプロセッサとが同一チップ上に混載できることを前提にしている（ただし、MCM 等の実現法も可能であり、このことは必要条件ではない）。このような異なるプロセス技術を同一チップに対して、歩留まりよく、かつ、安価に適用できるだけの技術の開発が必要である。
- 2 章で述べたように、PPRAM の外部インターフェースは、4 章で例示したような様々な応用を可能とするために種々の既存のインターフェース機能を提供しなければならない。この点に関しては、次のような選択肢が可能であり、検討を要する。
 - 提供するインターフェース機能を 1 種あるいは数種に限定して、応用形態に対応に異なる PPRAM 製品を用意する。
 - 上記とは逆に応用形態を限定しないために、すべてのインターフェース機能を布線論理制御あるいはプログラム制御により提供する。
 - 既存のインターフェース機能を提供しようと考えるのでなく、PPRAM を組み込んだ際の各種システム内インターフェースを一本化し、かつ、それを標準化する。こうすれば、PPRAM は複数のインターフェース機能を提供する必要はない、ただ 1 つの標準インターフェース機能のみを提供すればよい。この選択肢は、並列 PPRAM 構成を普及する上でも大いに重要である。
- 並列 PPRAM 構成における計算モデルを確立する必要がある。個々の PPRAM 内では（理想的には）マルチポート・メモリを複数のプロセッサが共有する形態の PRAM であり、計算モデルとして PRAM を使うのが自然である。問題は、この PPRAM を複数個結合した並列マシンにおける計算モデルをどうするかである。素直なところでは、クラスタ化 PRAM (*clustered PRAM*) とでも呼ぶべき計算モデルの開発が可能であろう。他にも、PRAM を基にした種々の計算モデルが研究されており [17]、これらの並列 PPRAM 構成への適用可能性も検討の価値が大いにある。

謝辞

日頃から御討論頂く、九州大学 大学院総合理工学研究科 安浦寛人 教授、岩井原瑞穂 助手、および、安浦研究室の諸氏に感謝致します。

参考文献

- [1] 阿江 忠, “超並列コンピュータの動向と今後の課題,” *FED ディザイン*, vol.5, no.1, pp.3-11, 1994 年。
- [2] 飯塚 肇, “論理メモリ,” *情報処理*, vol.16, no.4, pp.275-285, 1975 年 4 月。
- [3] 内山邦男, “マイクロプロセッサ小特集：3. 高集積化動向,” *電子情報通信学会誌*, vol.76, no.7, pp.710-714, 1993 年 7 月。
- [4] 情報処理学会, “特集：機能メモリのアーキテクチャとその並列計算への応用,” *情報処理*, vol.32, no.12, pp.1229-1309, 1991 年 12 月。
- [5] 田丸啓吉, “機能メモリ：新しいアーキテクチャと集積回路技術,” *情報処理*, vol.32, no.12, pp.1230-1238, 1991 年 12 月。
- [6] 電子情報通信学会, “特集：新しい集積回路と情報処理の原理を探る,” *電子情報通信学会誌*, vol.75, no.4, pp.317-415, 1992 年 4 月。
- [7] 水田 稔, “回路技術の限界と新しい展開を求めて,” *電子情報通信学会誌*, vol.75, no.4, pp.338-343, 1992 年 4 月。
- [8] 日経エレクトロニクス, “特集：ISSCC92,” 日経エレクトロニクス, no.548, pp.127-161, 1992 年 3 月。
- [9] 日経エレクトロニクス, “特集：ISSCC93,” 日経エレクトロニクス, no.575, pp.85-117, 1993 年 3 月。
- [10] 日経エレクトロニクス, “特集：ISSCC94,” 日経エレクトロニクス, no.602, pp.127-165, 1994 年 2 月。
- [11] 日経マイクロデバイス, “特集：256M 登場 変わりゆく大容量 DRAM,” 日経マイクロデバイス, no.93, pp.22-56, 1993 年 3 月。
- [12] 日経マイクロデバイス, “特集：MPU 拡大に走るインテル,” 日経マイクロデバイス, no.97, pp.33-68, 1993 年 7 月。
- [13] 野崎勝弘, “転機を迎える LSI 研究拠点,” 日経マイクロデバイス, no.93, pp.58-68, 1993 年 3 月。
- [14] 安浦寛人, “機能メモリによる超並列処理,” *情報処理*, vol.32, no.12, pp.1260-1267, 1991 年 12 月。
- [15] 山田, 本村, 横本, “集積回路技術からみた機能メモリの現状と展望,” *情報処理*, vol.32, no.12, pp.1239-1248, 1991 年 12 月。
- [16] Gelsinger, P. P. et al., “Microprocessor circa 2000,” *IEEE Spectrum*, vol.26, no.10, pp.43-47, Oct. 1989.
- [17] Goodrich, M. T., “Models of Computation,” *ACM SIGACT News*, vol.24, no.4, pp.16-21, Dec. 1993.