

次世代の高速大容量シリアルリンクアーキテクチャの提案

弘中 哲夫 土江 竜雄

広島市立大学 情報科学部 情報工学科

今後 LSI 内外のバスは動作速度向上に伴って高速化するが、それとともに配線遅延が問題化する。つまり、従来のバスではすべてのバス配線間での信号到着の同時性を保証することが難しく、従来のバス・アーキテクチャではスキューの保証が困難になる。本稿では従来のシリアルリンクの利点を探り入れる事により、伝送遅延が大きく信号到着の同時性が保証できない状況下であっても対応可能な大容量高速バスアーキテクチャである *SPBus* を提案する。*SPBus* は従来のバスアーキテクチャに比べ、必要なバンド幅に応じて配線数を増減できる柔軟なバス・アーキテクチャである。

Proposal for Next Generation High Speed Serial Link Architecture

Tetsuo HIRONAKA Tatsuo Tsuchie

Department of Computer Engineering, Faculty of Information Science,
Hiroshima City University

As the I/O bus speed of LSI grows faster, the more the bus line delay cause trouble. For high speed bus we can not except all signals to reach the receivers within the same clock, that means bus line skew would cause trouble. In this paper we propose a new skew proof bus architecture with the ability to achieve scalable high band width by increasing the number of bus lines.

1 はじめに

これまで計算機システムの高性能化は主に、LSI の高集積化や高速化および、計算機アーキテクチャの進歩により実現されてきた。そして今日 LSI における著しい高速化の結果、従来は補助的に性能に影響を与えていたバス配線が性能向上に対する深刻なボトルネックになるようになってきた。特に現在ボトルネックとなっているバス配線は、(1) プロセッサとメモリを結ぶバス配線、(2) マルチプロセッサ構築時に必要なプロセッサを相互に結ぶバス配線、(3) プロセッサおよびメモリをさまざま I/O 装置を結ぶバス配線などである。なお、(1)(2)(3) のい

ずれもさまざま障害によりバス配線が必要なバンド幅を提供出来ないことにボトルネックの根本的な原因がある。

本稿では、ボトルネックを回避するため従来のバスアーキテクチャを高速化する上での問題点を整理し、バスの高速化に対して大きく障害になっている配線間のスキュー、および、ピンネックによる影響を最小化できる新しい *SP-Bus* (Skew Proof Bus) アーキテクチャを提案する。

2 従来のバスの問題点

従来のバス配線が必要なバンド幅を提供出来ないさまざまな原因として次のようなものがある。

- I/O ピン数不足による制約(以下ピンネック)：バス幅を広げる事でバンド幅を増加するためのに必要なI/O ピン数の不足による問題。ピンネックにはLSIのI/O ピンネック、ボード間の配線ピンネックなどがある。
- 電気的な特性による高速化に対する制約：高速なデジタル信号をバス配線を用いて通信する場合、次のような問題点がある。
 - a.配線間のクロストーク
 - b.配線間のスキュー
 - c.信号の反射
 - d.配線の遅延時間
 - e.消費電力

現在さらなる計算機システムの性能向上を目指すため、この配線のボトルネックを解消するさまざまな研究が行われている。例えば、ピンネックを回避しバス幅を拡張する方法の研究としてはDRAM混載型LSIなどを用いて計算機システム全体を1つのLSI上に実現する研究[6][4]がある。また、ボード上にあるバス配線の電気的な特性改善を高速化を小振幅信号の利用により行っている研究[2][3]がある。この他に次世代のサブクォータミクロンULSI内で使用されるバス配線の電気的な特性改善によるバス配線の高速化をバス内に特殊なリピータを挿入することにより改善をはかる研究[1]などがある。しかしながらこれらの研究のいずれにおいてもボード内、ボード間およびLSI内において信号到着の同時性を保証することが難しく、バス高速化に対する根本的な解決策になっていない。

この他に電気回路によるバス配線のボトルネック回避手法の他に最近では電気的な特性の限界に縛られない光を用いたバス配線による高速化もいろいろ試みられている[7][5]。特に光ファイバを用いることで高速・長距離伝送を

可能にする高帯域低損失伝送路、同じ性能の同軸電線に比べ軽量細径で対雑音環境性に優れ、架間の設置電位差の問題もなくすることができ、ボード間や装置間のバス配線として有望視されている。しかしながら、現在の光バス配線の基本方式は図1に示すような光ファイバアレーを用いた多チャンネル並列同期転送であることから各チャンネルの電気信号入力から電気信号出力までの遅延時間を同一にするなどの課題がある。これは光ファイバアレーの伝送距離と伝送速度は主にファイバ間のスキューによって制限されるからである。光ファイバアレーが従来の電気を用いたバス配線に置き換えられるようになるには次のような技術課題を解決する必要がある。

- a.直流結合エラーフリー伝送
- b.スキューの低減
- c.小型集積、低消費電力化
- d.高信頼性

以上、電気回路および光によるバス配線の問題点を整理してみた。その結果それぞれに電気回路的または光回路的に解決すべき技術課題が存在することがわかった。しかしこれは従来のバスアーキテクチャをそのまま高速化することを試みているためである。次節では、特にバスの高速化に対して大きく障害になっている配線間のスキューと配線遅延、および、ピンネックによる影響を最小化できる新しいSP-Bus(Skew Proof Bus)アーキテクチャを提案する。

3 SPBus アーキテクチャ

従来のバス・アーキテクチャでは配線間のスキューが問題になり高速通信が困難となってきた。例えば1GHzで動作するバスでは1nsものスキューが存在した場合、バスとしての動作は全くでたらめになる。そして十分小さいスキューを保ったまま64本、あるいは128本といった高バンド幅のバスを構成することは非常に技術的に困難であるとともに非常に高い設計コストにつながる。このような問題に対処する一つの方法はRambus[3]で採用しているように、

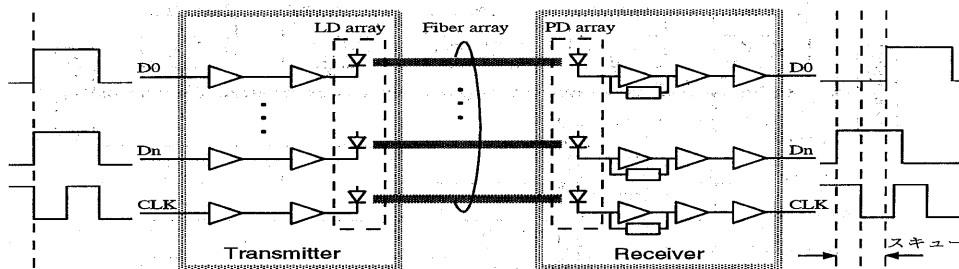


図 1: 光ファイバアレー

バス配線数を制限する代わりに高速動作を目指すという方針を取ることもできる。しかし、この方法ではバス幅拡張により高いバンド幅を目指すことを放棄しており拡張性に乏しい。この他に、図 2 に示すようにバスの高速動作をどんどん進めると伝送遅延が相対的に大きくなり、信号発信元と信号受信元で信号到着の同時性が保証できなくなるためクロック同期でバスの信号を処理することが難しくなる。つまり、バスにつながる端子間のスキューも通信の障害となる。このような問題を回避する方法として Rambus で行っているようにデータ配線と並行にクロック配線を走らせることでデータ配線と全く同じ遅延をクロック配線に持たせ、このクロックを用いてバスの信号を処理する方法があるがこのような方法を用いるとデータ通信に必要な配線以外に配線が増加し、安価にバスを実現する上で障害になる。

ここで現在従来のバスによる通信方式に変わり、ポイントツウポイントのシリアルリンクがボード間および装置間通信方式として現在着目されている。シリアルリンクでは 1 対の配線しか用いないためバスで問題であった配線間のスキューは生じない。また、シリアル通信ではデータとともにクロックも送信されるため配線遅延による影響を受けずにデータを送受信が可能である。そこで従来のバスの代わりにポイントツウポイントのシリアルリンクを複数中継してデータを通信することが考えられるが、シリアルリンクであるため原理的に伝送遅延が大きいという問題がある。

そこで本稿では、シリアルリンクが配線遅延の影響を受けにくいという利点を探り入れ、バス上にデータを伝送する *SPBus* アーキテクチャを提案する。*SPBus* アーキテクチャは従来のバス・アーキテクチャの利点である短い伝送遅延時間を保ちつつ、最小のバス配線で高い通信バンド幅を実現する。

3.1 SP バスの基本原理

従来のバスはワードを基本単位にして各バス配線 1 本 1 本にワードの各ビットを載せ、ワードを平行に転送してきた。それに対し、本研究で提案する方式はワードを基本単位にするのではなく、数ワードからなるパケットを基本単位にして通信する。具体的にはパケットのデータをバス配線の 1 本 1 本に数ビット単位の小パケットとして分配し割り当て、小パケットを各バス配線毎に独立にシリアル転送する。なお、受信側では個々のバス配線によりシリアル転送されてきた小パケットを *SPBus* インタフェースで再び再構成しパケットを戻す。このようにすることで個々のバス配線毎に位相の異なるクロックを用いて受信処理を行うことができるため配線遅延に非常に強いバスを実現できる。この性質は従来のバスに比べて、より高い動作周波数を実現する可能性を示す。また、データのワード幅とバス幅を分離したため、必要なバンド幅に応じてバス配線数を増減することも可能になる。図 3 に *SPBus* アーキテクチャの概念図を示す。図 3 では 8byte サイズのパケットを 4 本のバス配線から構成された *SPBus* を通じて

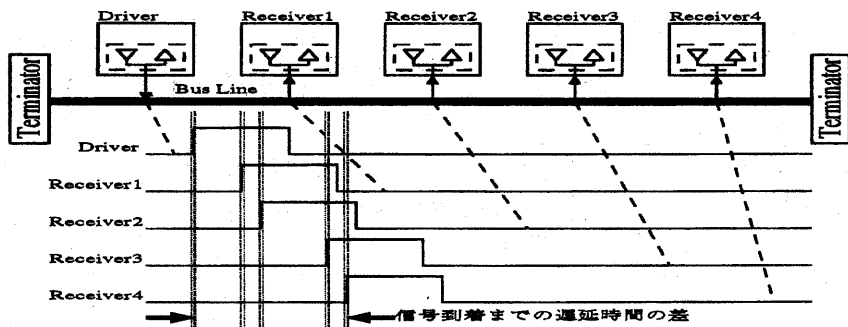


図 2: 伝送遅延の影響

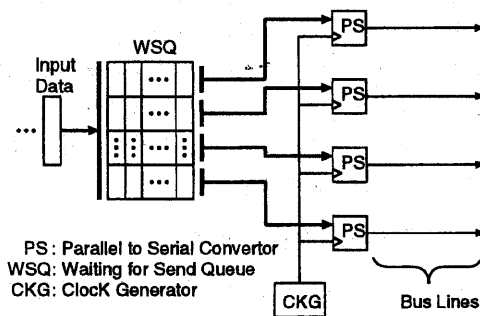


図 4: 送信ユニット

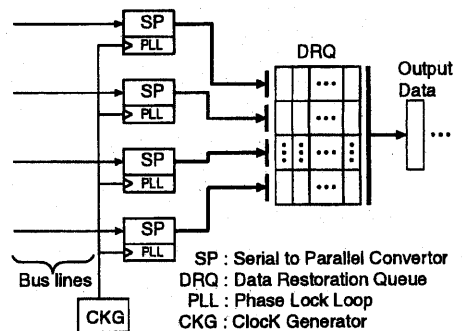


図 6: 受信ユニット

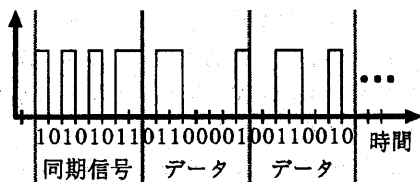


図 5: シリアル信号

SPBus インタフェース・ユニット間でデータを交換する。この例ではバス配線は 4 本であるが、より多くのバンド幅が必要であればバス配線数を増加することも可能である。

3.2 SPBus の基本動作

ここでは実際に SPBus インタフェースの実現方法と動作について詳細に議論する。SPBus インタフェースは送信ユニットと受信ユニットと方向制御ユニットの 3 つの部分から構成される。以下はそれぞれの構成の動作である。

a. 送信ユニットとその動作：図 4 にバス配線が 4 本構成時の SPBus インタフェース内の送信ユニットの構成を示す。まず、送信ユニットは送るデータを WSQ (Wait for Send Queue) へ送り、複数のデータをまとめることによりパケット生成する。ここで WSQ のデータ 1 ラインをパケットと呼ぶ。WSQ で生成されたパケットは各バス配線対応に小パケットに分割する。各小パケットはバス配線毎に設けられた PS (PS: Parallel to Serial convertor) に入力される。PS に入力された小パケットはシリアル信号に変換され、各々のバス配線を通じて 1 ビットずつ送信される。図 5 に送信されるシリアル信号の例を示す。シリアル信号は図 5 に示すように受信用クロックの位相を合わせるための同期信号とデータ信号により構成される。図 5 の例では 0

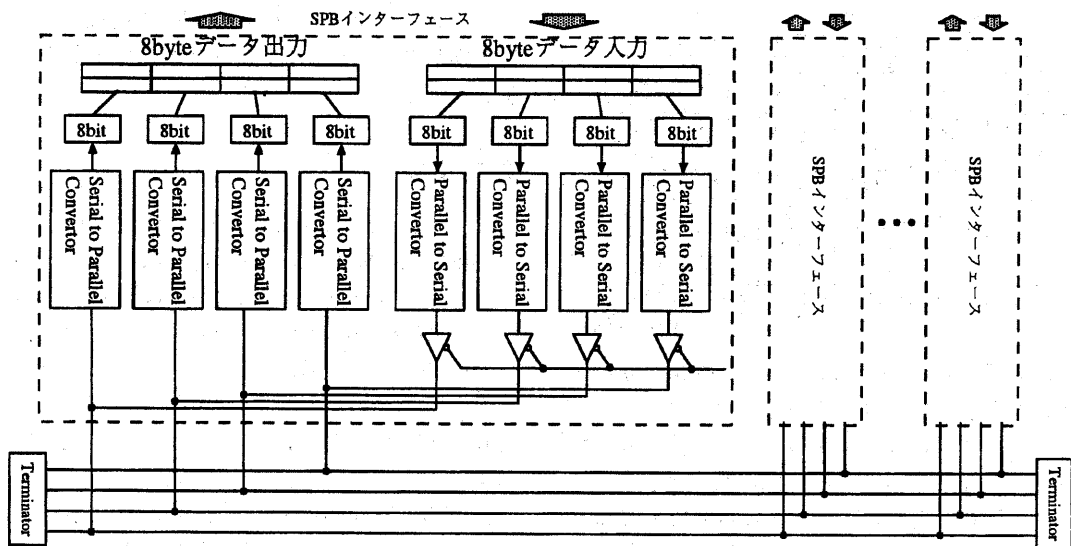


図 3: SP バスの基本原理

と1が電圧と一致するようにエンコーディングされているがPSはバス配線に使用する線路を駆動するデバイスの特性に合わせてシリアル信号へのエンコーディング¹を用いる。

- b. 受信ユニットとその動作：図6に受信ユニットの構成を示す。図6は送信ユニットと同じく、バス配線が4本の例である。受信ユニットではシリアル信号として各バス配線を通じて送られてきた小パッケージをSP(Serial to Parallel convertor)によりシリアル信号をパラレルデータに変換する。SPにはそれぞれに各バス配線における信号の位相ずれを保証するPLL回路が搭載されており、これによりシリアル信号に含まれている同期信号を用いてバス配線間のスキューに対処する。SPにより生成されたパラレルデータは小パッケージ単位にDRQ(Data Restoration Queue)に書き込まれ、DRQ内でパッケージが再構成されてSPBus インタフェースよりデータが出力される。

¹ここで言うエンコーディングとは非ゼロ復帰符号や、マンチェスタ符号などである

- c. 方向制御ユニット：バスのアビトレーション機構により得られる信号によりバス配線で送信ユニット同士の出力がぶつかることが無いように3ステート制御により制御する。

3.3 従来バスとの比較

SPBusアーキテクチャに基づくバスはシリアル信号に変換し送信するために、従来のバス方式と比較して同期信号が付加されている点やパラレル・シリアル変換を行う点で従来方式に比べオーバーヘッドが存在する。そこでバス信号が理想的に伝搬すると仮定した場合両者がどの程度の性能差を持つのか簡単に評価してみたのが表1。ただし、バスは1GHzの動作クロックで動作し、バスのセットアップ時間が無いものとした。評価はSPBusアーキテクチャで必要となる同期信号8ビットの影響を考慮した下記の式でバスのデータ転送速度を計算することで行った。

$$\text{通信速度} = \frac{\text{転送バイト数}}{(\text{転送時間} + \text{同期信号送出時間})}$$

また、表1の理想は同期信号の8ビットの影響が無いものとして従来バス方式に見立てて

表 1: 従来バス方式との比較

バス 配線数	転送バイト数 (byte)				
	16	32	64	128	理想
1	111	121	123	124	125
2	222	235	242	246	250
4	400	444	470	484	500
8	666	800	888	941	1000
16	1000	1333	1600	1777	2000
32	1333	2000	2666	3200	4000
64	1600	2666	4000	5333	8000

(単位: Mbyte/sec)

計算を行った結果である。表1の結果よりバス配線数が多い場合は同期信号のオーバーヘッドが無視できず、性能低下が著しいが一度に転送するデータ量に合わせてバス配線数を選択することでSPBusアーキテクチャにおいても従来バス方式に近いデータ転送速度が実現可能であることがわかった。なお、評価ではバス配線数を2の中乗の値にとったが、SPBusアーキテクチャでは任意のバス配線数を用いることができる。

4 まとめ

本稿ではバス配線間のスキューがバスのデータ転送速度を制限する要因の1つである事を述べ、バス配線間のスキューに強いSPBusアーキテクチャの重要性について述べた。また、SPBusアーキテクチャに基づくバスを制御するバスインタフェース・ユニットの基本構成についてまとめ、SPBusアーキテクチャに基づくバスの第一次近似による非常に簡潔な性能評価を行った。その結果一度に転送するデータのサイズが十分に大きいアプリケーションであれば理想に近い性能が得られることがわかった。今後はSPBusアーキテクチャの応用方法を明確にし、より詳細な評価を行う。

謝辞

本研究を行うにあたり半導体の性質に関してさまざまな御助言をいただいた広島市立大学の寺田和夫教授、白濱弘幸助手に感謝致します。

また日頃ご討論戴く広島市立大学 情報科学部 情報工学科のコンピュータシステム講座の諸氏に感謝致します。

参考文献

- [1]Iima, T., Mizuno, M., Horiuchi, T. and Yamashina, M.: Capacitance Coupling Immune, Transient Sensitive Accelerator for Resistive Interconnect Signals of Subquarter Micron ULSI, *IEEE Journal of Solid-State Circuits*, Vol. 31 (1996), 531-536.
- [2]KOIZUMI, T. and SAITO, S.: Small-Amplitude Bus Drive and Signal Transmission Technology for High-Speed Memory-CPU Bus Systems, *IEICE TRANS. ELECTRON.*, Vol. E76-C (1993), 1582-1588.
- [3]Kushiyama, N., Ohshima, S., Stark, D., Noji, H., Sakurai, K., Takase, S., Furuyama, T., Barth, R. M., Chan, A., Dillon, J., Gasbarro, J. A., Griffin, M. M., Horowitz, M., Lee, T. H. and Lee, V.: A 500-Megabyte/s Data-Rate 4.5M DRAM, *IEICE TRANS. ELECTRON.*, Vol. E76-C (1993), 830-838.
- [4]Patterson, D., Anderson, T., Cardwell, N., Fromm, R., Keeton, K., Kozyrakis, C., Thomas, R. and Yelick, K.: Intelligent RAM (IRAM): Chips that remember and compute, in *1997 IEEE International Solid-State Circuits Conference*, 1997.
- [5]高井厚志: 並列計算機内1次元並列光リンク, 情処研報 ARC-122-3, (1997).
- [6]村上和彰, 岩下茂信, 宮嶋浩志, 白川暁, 吉井卓: メモリーマルチプロセッサ一体型ASPP(Application - Specific Standard Product) アーキテクチャ: PPRAM, 信学技法 CPSY96-13, (1996).
- [7]黒川隆志, 大磯義孝, 松尾慎治, 中原達志, 館野功太, 若月温, 津田裕之: インターコネクション用光デバイス, 情処研報 ARC-122-2, (1997).