

ギガヘルツ時代の高速伝送線路設計

碓井 有三

株式会社 マクニカ 技術開発センター

〒226-8505 横浜市緑区白山 1-22-2 白山ハイテクパーク

E-mail: usui@macnica.co.jp

あらまし 信号が高速になると、配線の空間的な場所の違いを意識する必要があるが出てくる。このような回路が分布定数回路であり、反射など従来の集中定数回路とは異なる概念が必要になってくる。反射の原理の説明とその最も基本的な対策はインピーダンス整合であることについて述べた。ボード上で特に高速動作が要求されるのがメモリ周辺のバスであり、Rambus と SSTL を例にとりて特徴と解析結果について紹介した。ボード設計の延長上で、MCM や LSI 内部の配線、特に損失線路の特徴をもとに、損失が及ぼす伝送波形への影響について述べた。これらのことから、LSI 内部の配線も分布定数の考えを導入する必要があることを解析結果で示した。

キーワード 分布定数回路, Rambus, SSTL, 損失線路, 表皮効果, 誘電損

High-Speed Transmission Line Design in Giga-Hertz Age

USUI, Yuzo

Research & Development, MACNICA, Inc.

Hakusan High-Tech Park, 1-22-2 Hakusan, Midori-ku, Yokohama-City, 226-8505 Japan

E-mail: usui@macnica.co.jp

Abstract When the signal speed becomes higher, it is necessary to be conscious of the spatial distance of the signal line on which the waveform is transmitted. This concept stands for a distributed constant circuit, which is quite different from a conventional lumped constant circuit, particularly in the case of reflection. I explained that the principle of reflection on the distributed constant transmission line and that impedance matching is the most fundamental measure to minimize signal reflection. I showed the analysis results about Rambus and SSTL, both of which are typical high-speed buses used as memory interface. As extension of the idea of a board design, I analyzed the waveform of signal lines in MCM and LSI, both of which are considered as lossy line. From these results, I came to the conclusion that it is time to introduce the concept of a distributed constant circuit in the wiring inside the LSI.

Key words distributed constant circuit, Rambus, SSTL, lossy line, skin effect, dielectric loss

1. まえがき

コンピュータを始めとする電子機器の動作周波数は高速化の一途をたどり、1GHz を超えることも珍しくなくなってきた。

動作周波数が速くなることによって、プリント配線板(以下ボード)上のほとんどのパターンを分布定数線路と見なさなければならなくなってきたが、まだ集中定数回路的な設計手法をとっているためにトラブルに出会うことが多い。

本稿では、従来の集中定数回路と分布定数回路との考え方の違い、数 100MHz 以上の配線、さらには GHz を超える伝送で必要となることから、および、ボード、MCM(Multi Chip Module)および LSI 内部の配線の比較について述べる。

2. 集中定数回路と分布定数回路

通常、回路を書き表す場合は、配線の空間的な場所の違いを意識することはあまりない。これは従来からの集中定数回路の考え方であり、LSI の出力端子を他の LSI の入力端子に接続するとき、両者は同じ信号であると考えている。

図 1 および図 2 は遷移時間 $t_r = 1\text{ns}$ の線路の近端と遠端における波形を線路長(伝搬遅延 τ で表す)を変えて示したものである。信号はボード上で 6.5ns/m 程度で伝搬するから、 0.1τ は、ほぼ 15mm の線長に相当する。近

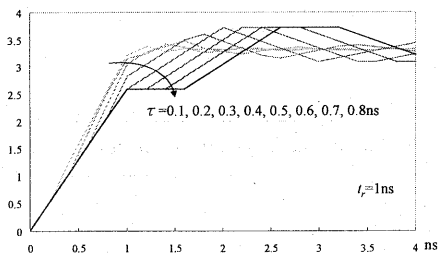


図 1. 近端波形

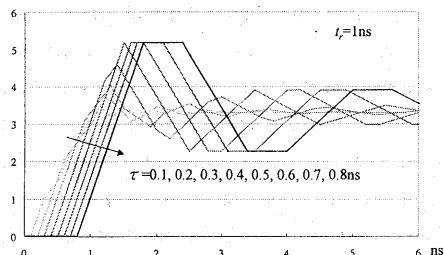


図 2 遠端波形

端と遠端の波形を比較すると、 τ が小さい(配線が短い)ときには両者の違いは少ないが、長くなるにしたがって、別々の波形となる。さらに、近端、遠端ともに、 $\tau = 0.5\text{ns}$ を境に波形の様子が変化してくることが分かる。この点が集中定数と分布定数との境界であり、信号の遷移時間 t_r と信号が線路上を伝搬する際の往復時間 2τ とが等しい点である。

遷移時間 $t_r = 1\text{ns}$ のときには、この境界の配線長 l は $6.5\text{ns/m} \times 2l = 1\text{ns}$ から、 $l = 7.7\text{cm}$ となるが、 $t_r = 100\text{ps}$ とすると、境界は計算上では 7.7mm となり、IC 内部の配線も分布定数回路の考えが必要になってきたことが想像できる。

3. 反射とその対策

3.1. 反射と透過

図 3 に示すように、信号が特性インピーダンスの異なる線路の接続点に達したときを考える。信号が Z_1 の線路から Z_2 の線路に伝わる時、入射波に対する反射波の比を反射係数 r といい、

$$r = (Z_2 - Z_1) / (Z_2 + Z_1) \quad \dots\dots\dots (1)$$

で表される。同図において、特性インピーダンス

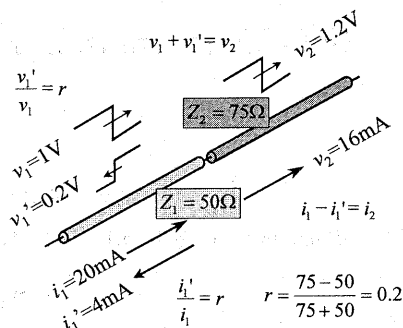


図 3 接続点における反射

$Z_1 = 50\Omega$ の線路に 1V の信号が伝搬するとき、電流は $1\text{V}/50\Omega = 20\text{mA}$ である。これが、 $Z_2 = 75\Omega$ の線路との接続点に来ると、電圧と電流のバランスがくずれ、反射が起きる。 Z_1 と Z_2 との線路の接続点における反射係数 r は、 $r = (75 - 50)/(75 + 50) = 0.2$ であるから、右に向かっていった信号すなわち右行波は接続点で 0.2 が反射して左に向かう信号すなわち左行波となる。接続点の手前では右行波と左行波の合成となり、電圧は和の 1.2V 、電流は、右行波は 20mA で左行波が 4mA であ

るから、接続点の先にはこの差の16mAが進んでいく。電圧は接続点の前後で連続であるから1.2Vのままであり、 $1.2\text{V}/16\text{mA} = 75\Omega$ となる。

このことは、線路と線路の接続点だけでなく、ドライバと線路、または線路とレシーバとの接続個所でも同様に起こる。このときは、同図の Z_0 側を線路ではなくて抵抗と考える。ドライバもレシーバも抵抗と考えて解析する。

3.2. 反射への対策

一般に用いられるCMOS ICは、TTLを使っていた回路設計者にとっては、駆動能力が大きく、負荷が軽いため理想の素子のように感じられた。少し前までこの感覚は正しかった。その様子を図4に示す。これはドライバの

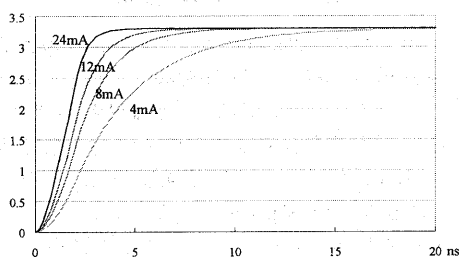


図4 駆動能力に対する集中定数回路の波形

出力の遷移時間が線路を信号が往復する時間に比べて大きいいため線路は集中定数回路とみなされ、大きい駆動能力によって線路の容量を速く充電できるからであった。

ところが、ICの高速化が進み、線路を分布定数回路とみなさなければならないようになってきた。例えば、 $t_r = 1\text{ns}$ の場合、その境界は前述のように7.7cmである。分布定数回路では、接続点においてインピーダンスが異なると反射を生じる。

これらの反射を抑えるには接続点においてインピーダンスを一致させればよい。このことをインピーダンスの整合(matching)という。

CMOSは駆動能力が大きい。24mAドライバの出力抵抗は $R_1 = 11\Omega$ 程度である。線路のインピーダンスを 70Ω とすると、ドライバ端(近端という)における反射係数は、 $r_1 = (11 - 70)/(11 + 70) = -0.73$ となって、この点に入ってきた信号の73%が(符号が負であるから)極性を変えて反射することを意味する。

次に、レシーバの入力抵抗はほぼ無限大である。したがって、レシーバ端(遠端という)における反射係数は、 $r_2 = (\infty - 70)/(\infty + 70) = 1$ となって、入射波のすべてが

(符号が正なので)そのまま反射する。

すなわち、ドライバから出た信号は、遠端ですべてが反射して近端に戻り、ここでは73%が極性を反転して戻る。さらにそれが遠端ですべて反射し、ドライバ端でまた反転する。この繰り返しのよって、遠端側で振動が持続するような波形となる。

この様子を図5に示す。駆動能力が大きいと近端の反射係数の絶対値が大きいため、遠端側の振動が大きいことが分かる。同図では、ドライバの駆動能力が4mA

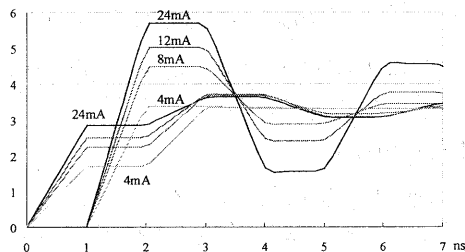


図5 駆動能力に対する分布定数線路の近端と遠端の波形

の場合に遠端の波形の乱れが少ない。このときの条件は、 $R_1 = 67\Omega$ 、 $Z_0 = 70\Omega$ であるから、近端における反射係数は $r_1 = (67 - 70)/(67 + 70) = -0.02$ でほぼ整合されていることが分かる。このようにドライバの出力抵抗を線路のインピーダンスに一致させる方式を送端終端という。大きな駆動能力のドライバに反射対策としてダンピング抵抗と称する数十 Ω の抵抗を接続することが多いが、これは経験的ではあるがインピーダンスを整合させているにほかならない。

これとは逆に遠端を終端する方法もあるが、消費電力の増加を招くため、一般信号に用いられることは少ない。ただし遠端を終端すると、線路上の近端から遠端までのすべての点で波形乱れがないという利点がある。

4. バス接続

信号の伝送で最も難しいのがバス接続された伝送形態である。バス伝送を電気実装面からみると、以下のように解決すべき課題が多い。

- 双方向および線路途中からの駆動
バス上に接続された素子は、すべてドライバにもレシーバにもなり得る。どこから駆動した場合でも波形乱れを防ぐ必要がある。
- 低い特性インピーダンス
駆動能力が低いと一度で論理振幅に達しない。

線路途中からの駆動では特性インピーダンスが等価的にさらに半分になる。

□ 大きい線路遅延

分布負荷により遅延時間が数倍に増加する。
負荷の密度が高いほど顕著になる。

□ スタブ(支線)による反射

スタブへの出入りで反射を繰り返すいわゆる多重反射を起こす。

□ 同時に変化する信号

32 ビットまたは 64 ビット等の信号が同時に変化する。
クロストークやグラウンドノイズの影響を受けやすい。

以下にこれらの課題を解決した、メモリ周りに使われる二つのインタフェースについて述べる。

4.1.Rambus [1]

Rambus 社の独自インタフェース。

オープンドレイン型であるが、スタブ長を限りなくゼロに近づけていること、ドライバを定電流領域で使用するこ
と等により波形乱れが少ない。

図 6 にその基本的な伝送方式を示す。同図をもとに本インタフェース回路の動作を順を追って説明する。

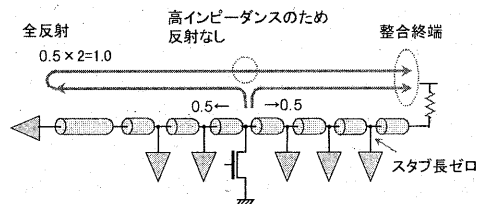


図 6 Rambus インタフェース

- (1) バスの途中にあるドライバから出た信号は、左右に分かれてそれぞれ進む。
- (2) 特性インピーダンスは左右並列で半分に見えるため、この点は所期の半分の信号振幅である。
- (3) 左の遠端に進んだ信号は、レシーバ側(開放)で全反射してすべてが来た道を戻っていく。
- (4) この点(レシーバ側)での振幅は全反射によって2倍になり、所期の振幅が得られる。
- (5) 反射した信号は再びドライバ点に到達するが、ドライバは電流源で高インピーダンスであり、この点における反射は生じないでそのまま進み右端に達する。
- (6) 右に進んだ二つの信号は、レシーバと反対側の終端抵抗で整合終端されて新たな反射は生じない。

このように Rambus は電流源ドライバの特徴と反射を巧みに利用した非常に優れた伝送方式である。図 7 に理想電流源をドライバとしたときの伝送波形のシミュレーション

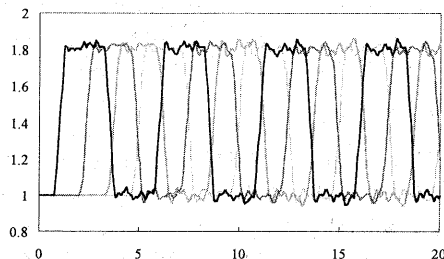


図 7 Rambus の解析例

ン例を示す。図は 1,066MHz の場合であるが、解析結果からみる限り、伝送路としては十分な余裕があり、半導体側の改良が進むとさらなる高速化の可能性を残している。

さらに電流源ドライバであることを活用すれば、多値ドライバが比較的簡単に実現できる。4 値に拡張した方式を、QRSL(Quad Rambus Signaling Level)と呼ぶ。このとき、バスの帯域幅は 2 倍になり、4 値以上のさらなる多値の可能性も秘めている。

4.2.SSTL(Stub Series Terminated Logic) [2]

バスの負荷にスタブが存在するとき、スタブ内に入った信号は、スタブから出ていく際に特性インピーダンスが並列に見えるため、再びスタブ側に逆相の反射が戻っていく。この反射を回避するために、図 8 に示すように、スタブ内にバスの特性インピーダンスの半分に等しい直列

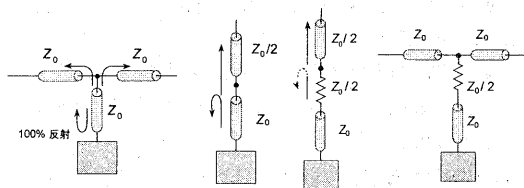


図 8 スタブ抵抗による多重反射の回避

抵抗を挿入すると、スタブから見たバス側の特性インピーダンスがスタブの特性インピーダンスと等しくなるため、反射が生じない。図 9 にスタブ抵抗がない場合の伝送波形と図 10 にスタブ抵抗のある場合のシミュレーション例を比較して示す。スタブ抵抗の効果の大きいことがよく分かる。

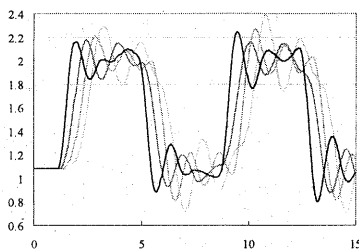


図9 T-LVTTLの解析例(スタブ抵抗なし)

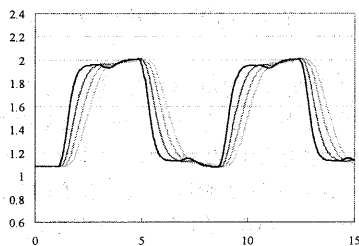


図10 SSTLの解析例(スタブ抵抗あり)

5. バスからシリアル伝送へ [3]

バスは確かに安くて便利な技術だったが、分布定数線路上に分布負荷を接続して全体を分布定数とみなしているため、高速化が難しい。さらにそれぞれの負荷はドライバにもなり得るため、先に述べたような電気実装の面からみた特徴(課題)によって伝送方式としてはそろそろ限界にきている。バスに代わって、1対1の高速シリアル伝送が採用されつつある。パラレルに送る信号がシリアルになるので当然信号線1本当たりの伝送速度は1桁以上高速になりこれまで経験したことのない現象が現れてくる。その典型的な現象が信号の損失に起因するものである。

5.1. 損失線路

LSIの高速化はICプロセスの微細化によって達成されてきた。これはボードやMCMの配線も同様である。パターン抵抗はパターン断面積に反比例しパターン長に比例するから、比例して縮小すなわちスケールアップが行われるとすると、トータルでは長さのディメンションに反比例する！その結果、微細化に伴って抵抗損が顕在化してきた。ボード、MCM、LSI内部の配線ルールは、お

！これは直流抵抗のことである。損失については後述する。

おまかに言えば、1桁ずつ異なるので、配線抵抗も1桁ずつ違う。

損失線路は図11のように損失項として抵抗 R と漏れコンダクタンス G を含む。

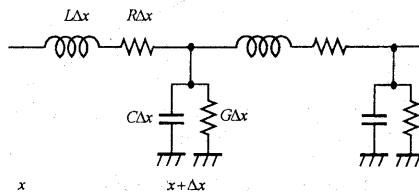


図11 分布定数回路の等価回路

LSI内部の配線は、LC線路ではなくてRC線路とみなすほどに抵抗が大きい。この抵抗損への対策のひとつが、LSI内部の銅配線の採用である。

5.2. 表皮効果と誘電損

抵抗 R は直流抵抗のほか、周波数の平方根にほぼ比例する表皮効果による抵抗とを考慮する必要がある。

導体に高周波の電流を流すと、電流は表面に集まるうとして内部の電流は小さくなり、見かけ上の断面積は小さくなる。このことを表皮効果(skin effect)という。

導体表面の電流を I_0 とすると、表面からの距離 x における電流 I_x は、

$$I_x = I_0 e^{-\sqrt{\frac{\omega\sigma\mu}{2}}x} \dots\dots\dots(2)$$

である。ここに、 ω は高周波電流の角周波数、 σ は導体の導電率、 μ は導体の透磁率である。

全電流はその積分、すなわち、

$$I = \int_0^\infty I_x dx = \sqrt{\frac{2}{\omega\sigma\mu}} I_0 \dots\dots\dots(3)$$

となる。したがって、表面と同じ電流がある深さまで均等に流れているとしたときの深さ d は、

$$d = \sqrt{\frac{2}{\omega\sigma\mu}} \dots\dots\dots(4)$$

で表される。この深さを表皮の深さ(skin depth)といい、周波数の平方根に反比例する。

図12には、銅(Cu)の場合の表皮の深さを周波数に対して示す。これを式で表すと $d = 6.60 \times 10^{-2} / \sqrt{f}$ となる。

漏れコンダクタンス G は誘電率の虚数成分であり、誘

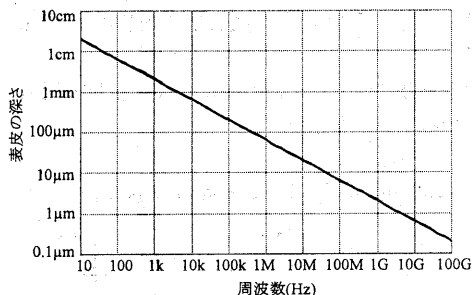


図 12 表皮の深さの周波数特性

電正接 $\tan \delta$ によって、

$$G = \tan \delta \times \omega C \quad \dots\dots\dots(5)$$

として表される。通常に使用されるボードの材料の FR-4 は $\tan \delta = 0.02$ 程度である。

MCM や LSI 内部の配線は、誘電損に比べて抵抗損が優勢である。ただし、その周波数に対する影響は、表皮効果による抵抗損が周波数の平方根に比例するのに、誘電損は周波数に比例する。したがって、MCM や LSI に比べて抵抗損がそれほど大きくないボードの配線については、誘電損を考慮する時期にきている。

5.3. 損失項

損失項を含むと文字どおり波形に損失が生じる。

波動方程式

$$-\frac{\partial v}{\partial x} = L \frac{\partial i}{\partial t} + Ri \quad \dots\dots\dots(6)$$

$$-\frac{\partial i}{\partial x} = C \frac{\partial v}{\partial t} + Gv \quad \dots\dots\dots(7)$$

の解

$$v = \exp \left\{ \pm \sqrt{(j\omega L + R)(j\omega C + G)} x \right\} \quad \dots\dots\dots(8)$$

に対して、指数の肩を、

$$\alpha + j\beta = \sqrt{(j\omega L + R)(j\omega C + G)} \quad \dots\dots\dots(9)$$

とおく。無損失線路の場合、右辺は $j\omega\sqrt{LC}$ となって、単位長当たりの伝搬遅延 $t_d = \sqrt{LC}$ を意味する。損失線路の場合は、式(9)の実数部が単位長当たりの減衰に相当し、虚数部が単位長当たりの伝搬遅延に相当する。

図 13 に、式(9)の実数部を周波数に対して計算して示す。このときのパターン幅 W 、厚み t はそれぞれ LSI 内部、MCM、ボードを想定して、 $W/t = 1\mu\text{m}/1\mu\text{m}$ 、 $10\mu\text{m}/10\mu\text{m}$ 、 $100\mu\text{m}/100\mu\text{m}$ とし、線路定数はすべて

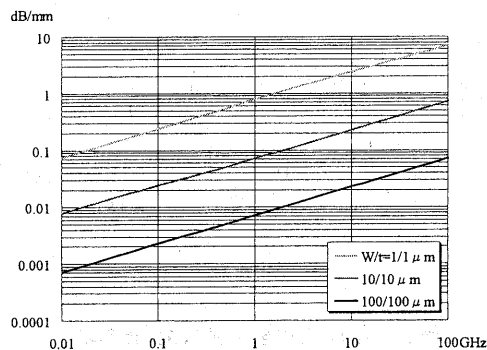


図 13 パターンの損失項

$L = 325 \text{ nH/m}$ 、 $C = 130 \text{ pF/m}$ とし、導体も純銅とした。誘電損の影響は考えていない。パターン断面寸法が 1 桁異なると、単位長あたりの減衰量も 1 桁異なる。言い換えると、パターン寸法が比例縮小するならば抵抗損による減衰はパターン寸法には依存しないことになる²。

また同図では、抵抗損が周波数の平方根に比例しているが、これは周波数領域によって以下の別々の理由がある。

高い周波数領域では表皮抵抗が周波数の平方根に比例する。

低い周波数領域については、式(6)を $\omega L \ll R$ の条件で計算すると、

$$\alpha \cong -\sqrt{\frac{\omega LR}{2}} \times \frac{1}{Z_0} \quad \dots\dots\dots(10)$$

となって、低周波領域でも減衰量が周波数の平方根に比例する。言い換えれば、損失線路であっても、直流では波形伝搬に伴う損失はないことを示している。

5.4. 減衰による波形変化

減衰が周波数特性を持つことによって伝送波形に与える影響について述べる。一般の信号は、常に周期が変化する。その極端な例が孤立波である。孤立波は、最終的には論理振幅の正または負の最大値にまで達する。

図 14 に減衰の大きい場合の連続波($T_w/T = 1/2$)と孤立波に近い波形($T_w/T = 1/20$)の例を示す。連続波は振幅の中心値に対して対称であるが、孤立波では、正

² これは線路上の減衰のみについての議論である。実際の回路ではドライバの出力抵抗、遠端の終端抵抗などによって遠端に到達する信号の振幅はこのように単純ではない。

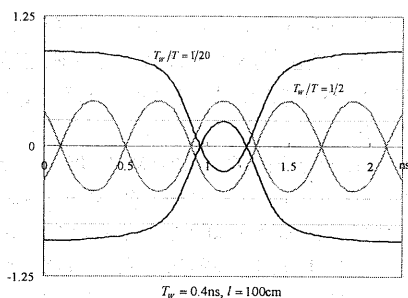


図 14 繰り返し周期による時間応答の違い

または負の最大値にまで達した後に、かろうじて振幅の中心値を超える程度にしかならない。

これを解決するために、孤立波に近い波形にならないような符号化(エンコード)技術や、孤立波の場合にあらかじめ波形を強調する波形等価(イコライズ)または波形強調(プリエンファシス)と呼ばれる技術が用いられる。

また、振幅を有効に使用するため、およびノイズ耐量を大きく確保するために、差動信号伝送方式がとられるのが普通である。

5.5. パルス波形と帯域

ここでパルス波形の帯域について少し考えてみる。

任意の波形は、複数の正弦波に分解することができる。これを数学的に表現したものがフーリエ級数やフーリエ変換である。この分解された正弦波の周波数は、元の波形の繰り返し周波数とその整数倍となる。例えば 800MHz の Direct Rambus の繰り返し周波数が 80MHz の場合を考えると、分解された周波数成分は、80MHz の整数倍ごとに存在する。さらに、この成分の包絡線は、繰り返し周波数がゼロ(すなわち孤立波)の周波数特性を表す。周波数特性の形はパルス幅 T_w と立ち上がり時間 t_r によって決まり、繰り返し周期 T には依存しない。これを式で表すと、図 15 に示すように、パルス幅 T_w を有する信号の周波数スペクトル $\sin(\omega T_w/2)/(\omega T_w/2)$ と立ち上がり時間に依存するスペクトル $\sin(\omega t_r/2)/(\omega t_r/2)$ との積によって総合のスペクトルが求まる。図は $t_r = T_w/2$ の場合を示す。同図に示すように、このスペクトルにアナログの信号帯域の考えを持ち込んで、スペクトルが -3dB(0.7 倍)になる点を求めると、 $f \approx 0.4/T_w$ となる。例えば、Direct Rambus の例では、 $T_w = 1.25\text{ns}$ であるから、 $0.4/T_w = 320\text{MHz}$ である。

Infiniband の 2.5Gbps, ATM の 2.5Gbps(OC-48), Fibre channel の 2.126Gbps 等ではこの帯域がほぼ 1GHz となる。

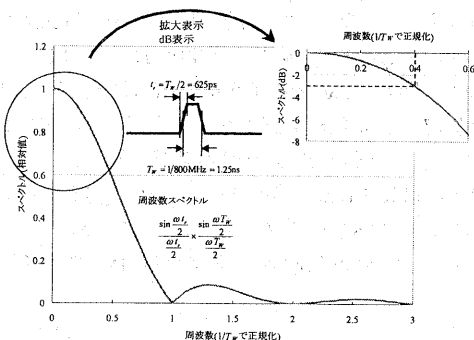


図 15 パルス波形の周波数スペクトル

図 12 や図 13 の周波数を考える際には、これらのアナログ的な帯域の考え方が必要である。

6. RC 集中定数回路から RLC 分布定数回路へ

最後に、これまで RC 線路ととらえられていた LSI 内部の波形解析について考察する。

筆者は LSI 内部のパターンの線路パラメータについてはあまり知識がない。詳細な研究は専門の方に任せるとして、本稿ではボードの延長上で考える。すなわち、均一なマイクロストリップ線路を想定する。パターンの導体抵抗については、ボードはほとんど純粋な金属であるが、LSI 内部はその生成過程やマイグレーション防止のための不純物を加えていることなどを考慮して、ボードの 2 倍の抵抗率を仮定する。表皮効果は含めているが誘電損はほとんど影響がなかったのを考慮していない。

解析は、式(6)および式(7)を周波数軸で解き、フーリエ逆変換で時間軸に変換して求めた。パターンはマイクロストリップ線路、グラウンド面からの距離 $5\mu\text{m}$ 、比誘電率

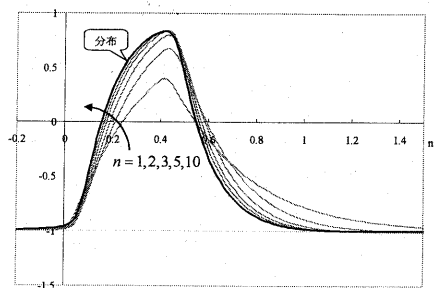


図 16 RC 回路の分割段数と解析波形

$\epsilon_r = 4$ とした。ドライバの出力抵抗は $20\ \Omega$ (ほぼ 12mA ドライバに相当)の送端終端で、遠端は開放としている。

まず、図16に、RCの梯子回路の分割段数を変えた場合とRCの分布定数線路とを比較して示した。この例では、少なくとも5段以上に選ばないと誤差が大きい。

図17は長さ1mmの銅パターンをRCの分布定数線路(インダクタンスを考慮しない)と見たときに、幅 W と厚み t を変化させて波形を解析して示した。図18は同じ条件

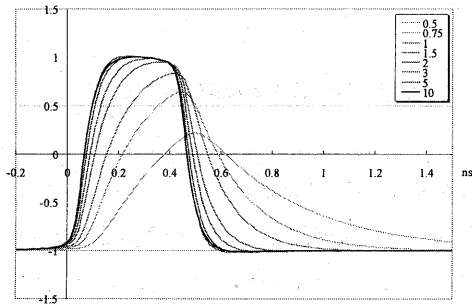


図17 RC分布定数線路の解析波形(線幅依存)

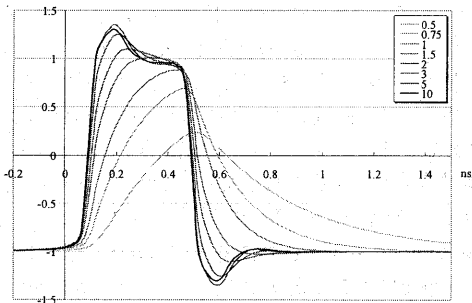


図18 RLC分布定数線路の解析波形(線幅依存)

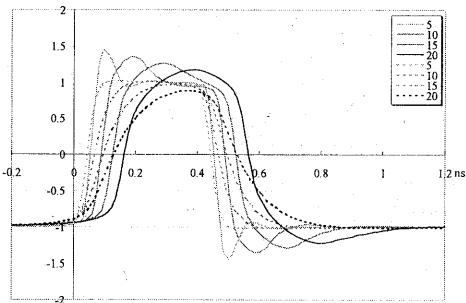


図19 インダクタンスの有無と解析波形(線長依存)

でインダクタンスを考慮したものである。インダクタンスを考慮しないと、反射の影響が現れないし、伝搬遅延を正しく表さない。極端に言えば伝搬速度が光速を超えてしまうこともある。

図19には、傾向を極端に示すために、 $W = t = 5\ \mu\text{m}$ のときにパターン長を変えてインダクタンスの有無に対して解析して示した。両者の傾向として、インダクタンスを考慮しない場合は、時間の原点から立ち上がり、考慮した場合は平行移動に近くなっていることが分かる。これがインダクタンスの有無による最大の相違である。

7. むすび

ボード上の信号伝搬の延長線でMCMやLSI内部のパターンの減衰などの特性について述べた。

LSIはチップサイズの増大と信号の高速化が同時に進むことによって、すでに内部パターンの一部を分布定数回路とみなさなければならなくなったと考える。ただし、LSI内部の配線は、ボードと異なり、きちんとしたグラウンド面が存在しないこと、相対的にパターンが厚いので、隣接パターンの影響がボードよりも大きいこと、オシロスコープ等による波形確認が困難であることなど、ボード上の信号の解析よりもはるかに難しいことが予想できる。

LSI内部のパターンの正確なモデル化が進んで、伝搬波形の予測が容易に行われるようになることを願う。

文 献

- [1] Rambus 社ホームページ <http://www.rambus.co.jp/>
 - [2] Taguchi : IEICE Trans. on Electronics, vol.E77-C, No.12, p.1944, 1994
 - [3] 枝, 大石, “GHz動作のボード設計「距離の壁」を克服へ,” 日経エレクトロニクス, no.798, pp.118-127, 2001年6月
- 以下は、特定の個所の引用というよりも、全般を通じての参考書である。
- [4] 碓井 ボード設計者のための分布定数回路のすべて, 自費出版, <http://home.wondernet.ne.jp/~usuiky/>, 2000
 - [5] 雨谷 昭弘 分布定数回路論, コロナ社, 1990
 - [6] Masakazu Shoji High-Speed Digital Circuits, Addison-Wesley Publishing Company, 1996
 - [7] 碓井, “連載フィジックス 高速配線設計講座,” 日経マイクロデバイス, 2000年8月号~2000年11月号
 - [8] 碓井, “GHz時代のボード設計 トラブル対策を徹底解説,” 日経エレクトロニクス, 2001年1月1日号, 1月15日号