計算機アーキテクチャ 147 - 14 ハイパフォーマンス 89 - 14 コンピューティング 89 - 14 (2002.3.7)

SCIMA におけるメモリアクセス機構の設計と評価

プロセッサとメモリの性能格差の問題への対処を目的として、主にハイパフォーマンスコンピュー ティング分野をターゲットとしたプロセッサアーキテクチャSCIMAを提案している.SCIMAでは チップ上のメモリとして従来のキャッシュに加えオンチップメモリを搭載し、オンチップメモリへの データ転送命令として新たにpage-load/page-store命令を備える.本稿では、SCIMAのメモリアク セス機構の評価を行なった.従来のプロセッサにおけるメモリアクセス機構とSCIMAへの拡張を施 した機構をともに設計し、SCIMAへの拡張が面積・遅延へ与える影響を調べた.

A Design and Evaluation of Memory Access Structure for SCIMA

TAKU OHNEDA,[†] MASAAKI KONDO[†] and HIROSHI NAKAMURA [†]

The performance gap between processor and main memory is serious problem especially in high performance computing. In order to overcome this problem, we have proposed a new processor architecture called SCIMA, which integrates software-controllable addressable memory into processor chip as a part of main memory in addition to ordinary cache. We designed a memory access unit of SCIMA which is a extension of ordinary microprocessors. In this paper, we present its mechanism and evaluate its impact on area and clock frequency.

1. はじめに

近年,プロセッサの性能向上は著しく,それに対し メモリの性能はあまり向上していない.このため,プ ロセッサの性能がメモリアクセスによって制限されて しまうことが問題となっている.この問題に対し,従 来のプロセッサではキャッシュを用いている.

しかし,特にハイパフォーマンスコンピューティン グ(HPC)分野のアプリケーションでは,キャッシュが 有効に機能しない場合が多い²⁾.キャッシュ容量に対し データセットが非常に大きく,またデータの時間的局 所性がほとんどないためである.結果としてキャッシュ ミスが頻発し,性能が大きく低下してしまう.そこで, このHPC分野のアプリケーションを対象とした新し いアーキテクチャSCIMA (Software Controlled Integrated Memory Architecture)が提案されている⁶⁾.

SCIMA は, 従来のキャッシュに加え, ソフトウェア で制御可能なチップ上のメモリ(オンチップメモリ)を 持つ.オンチップメモリは,新たに追加された pageload/page-store と呼ばれる命令を用いることで,オ フチップメモリとのデータ転送が行なわれる.従って, ユーザによる明示的なデータ配置,データの置き換え が可能となり,個々のプログラムに対し最適なデータ 転送の制御を行わせることができる.

現在,SCIMAのメモリアクセス機構として,従来 のプロセッサに簡単な拡張を施すことで実現できる構 成を検討し,その評価を行なっている⁴⁾.

本稿では,従来のメモリアクセス機構に対し,SCI-MAの拡張機構が面積・遅延に与える影響を評価する ことで,検討するメモリアクセス機構の妥当性を示す. また,本機構を用いることで,面積・遅延の影響を考 慮しても,これまで確認されているSCIMAの有効性 が変わらないことを示す.

2. SCIMAの概要

図1に, SCIMAの構成を示す.

SCIMA では、チップ上のメモリとして、キャッシュ に加えオンチップメモリを搭載する、キャッシュはハー ドウェア制御によりデータ配置・置き換えが行われる のに対し、オンチップメモリは、ソフトウェアでデー 夕配置・置き換えの指定が可能である.

2.1 アドレス空間

SCIMA では, 論理アドレス空間上にオンチップメ モリ領域をマップする.オンチップメモリは大きな連 続ブロック領域であるため,この管理を TLB ではなく

[†] 東京大学 先端科学技術研究センター

Research Center for Advanced Science and Technology, The University of Tokyo



図1 SCIMAの構成

専用レジスタで行ない, TLB ミスの頻発を防ぐ、導入 されるレジスタは,オンチップメモリの開始アドレス を保持する ASR (On-Chip Address Start Register) とオンチップメモリ容量を保持する AMR (On-Chip Address Mask Register) である.

2.2 拡張命令

SCIMAでは,page-load/page-store と呼ぶオンチッ プメモリー主記憶間の転送命令を ISA (命令セットアー キテクチャ)上に備える.この命令により,オンチッ プメモリのデータ配置・置き換えをソフトウェアで行 うことが可能となる.また,本命令は,ブロックスト ライド転送機能を備える.データ転送元の開始番地, データ転送先の開始番地,転送サイズ,ブロック福, ストライド幅の5オペランドを用いたブロックストラ イド転送機能により,不連続なデータをオンチップメ モリ上の連続領域に転送させることができるため,無 駄なデータ転送を省き,チップ内の記憶領域を有効に 利用可能である.

オンチップメモリ領域は page と呼ぶ複数のブロック に分割され,この pageを単位として管理する.page のサイズは2のべき乗である.page-load/page-store 命令で転送できる最大データサイズはこの pageのサ イズであり, pageを跨いでの転送はできない.

2.3 キャッシュ・オンチップメモリ統合機構

SCIMAでは、キャッシュとオンチップメモリをハー ドウェア的に統合し、それらに割り振られる容量比を、 対象とするアプリケーションの性質に合わせて実行時 に再構成できる⁵⁾.本機構では、従来のキャッシュに 対し、way単位でキャッシュ・オンチップメモリの属 性を設け、データ参照を制御する.属性はWLR(Way Lock Register)に保持され、参照する wayの判別に用 いられる.

3. SCIMAのメモリアクセス機構

3.1 R10000のメモリアクセス機構

本稿で評価する SCIMA のメモリアクセス機構は, MIPS R10000 プロセッサ³⁾の構成をベースとする. 図 2に,R10000 上でのメモリアクセス命令のパイプ ライン動作を示す.メモリアクセス命令の動作を中心 に,R10000 の命令実行動作について述べる.



図2 MIPS R10000のパイプライン動作

R10000では,命令のフェッチ・デコード後,命令の 種類に応じた命令 queue に格納される.本稿ではこの 動作を dispatch と呼ぶ.load/store 命令の場合は Address queue と呼ばれる queue に dispatch される.な お,Address queue は circular FIFO 構造をしており, 命令の格納および削除は in-order に行なわれ.る次に queue に dispatch された命令から実行可能なものが選 択され,演算器へ発行される.本稿ではこの動作を issue と呼ぶ.issue された命令は,各演算器で命令が 実行され,結果をレジスタに書き込み実行を終了する.

メモリアクセス命令の中で, load 命令はオペランド が揃い次第 issue され, out-of-order に実行される.こ こで,先行する store 命令が同じアドレスに対するもの であった場合,メモリの RAW ハザードが生じる.し かし R10000 では,先行する store 命令との依存関係 の判定はせずに投機的に load 命令の実行がなされる.

一方, store 命令は precise interrupt の保証のため, 先行する命令が全て完了した後に初めて issue される. この時,後続の load 命令とのアドレスの比較を行な う.アドレスの一致した load 命令が既に実行されて いた場合は,その load は不正な値を読み出しているこ とになるため,当該 load 命令以降の全命令を破棄して 実行をやり直す.なお, store 命令は命令順に issue さ れることから, WAW ハザード, WAR ハザードは生 じない.

3.2 SCIMAのメモリアクセス機構

3.2.1 メモリアクセス制御

SCIMA では,従来のメモリアクセスに加え,以下 の制御が必要となる.

- load/store 命令のオンチップメモリ参照
- page-load/page-store 命令の制御
- load/store 命令と page-load/page-store 命令のメ モリアクセス順序保証

以下,各制御の実現方法について述べる.

load/store 命令のオンチップメモリ参照 SCIMA では,キャッシュを参照する load/store 命令 とオンチップメモリを参照する load/store 命令は ISA 上で同一であり,参照アドレスによってキャッシュ/オ ンチップメモリへの参照を判別する必要がある.この 制御は2.1節で述べた ASR と AMR を用いて行なう. page-load/page-store 命令の制御

page-load/page-store 命令は ISA 上に新たに追加され る命令であり、この命令を処理するためのハードウェア 機構の拡張が必要となる、よって、*PLS queue (Page-*



Load/page-Store queue)と呼ぶ queue を新たに設ける.デコード・リネームされた page-load/page-store 命令は,この queue に dispatch される.PLS queue は address queue と同様に FIFO 構造をしており, inorder にエントリの追加・削除が行われる.

メモリアクセス順序保証

R10000におけるメモリアクセスの順序保証について は3.1節で述べた.SCIMAにおいても、load/store間 の順序保証はR10000と同様に解決できる.また、store,page-load,page-store命令はいずれもメモリの 内容を書き換える命令であり、precise interruptの保 証上in-orderに実行するため、順序保証は問題となら ない、一方、load命令とpage-load/page-store命令に ついては検討する必要がある.性能への影響を検討し た結果,page-load/page-store命令に対してメモリ依 存のない後続のload命令を先行してissueできる機構 を実現する必要がある⁴⁾.この時、load命令とpageload/page-store命令間での順序保証が必要となる.

今回, page-load/page-store – load 命令間の順序保 証は load 命令の実行時に行なう.よって, load 命令が 自身に先行する page-load/page-store 命令を識別する ためのマスクビットを導入する.load 命令は,命令実 行の際に、マスクビットを用いて識別した先行 pageload/page-store 命令との依存判定を行なう.依存し ていた場合,実行を中断して後に再実行する.

3.2.2 メモリアクセス命令の動作

R10000 に対し SCIMA 用追加制御を加えた, load/store 命令のパイプライン動作を図3に示す.図2の stage 3 以降の動作を示しており,図3の斜線部が追加動作で ある.OCM test でオンチップメモリアドレスかどう かを判定し, address comp.で先行 page-load/pagestore 命令との依存判定を行なう.以上の追加動作は 従来のメモリアクセス動作と並列に行なわれる.

page-load/page-store 命令は PLS queue 格納後,転 送元・転送先アドレスのオペランドが利用可能になり次 第レジスタファイルを参照し,アドレスを取得して後 述する PLS address stack に格納する.その後,先行 命令が全て実行完了した後に issue され,全オペラン ドの情報を取得し転送を開始する.転送終了後,PLS queueのエントリを削除する.

4. メモリアクセス機構の設計

本章では,設計したSCIMAのメモリアクセス機構





の動作について述べる.設計対象とする範囲を図4の 斜線部で示す.今回の設計では,SCIMAでの追加拡 張機構に対象を絞って設計を行なった.設計した各機 構の動作を以下に詳述する.

wakeup & select logic

以降では, address queue, PLS queue, および select logicをまとめて wakeup & select logic と表記する.

SCIMAではpage-load/page-store命令用の命令 queueとしてPLS queueを新たに設ける.また,今回 の設計では,load/store命令とpage-load/page-store 命令の実行において共有するリソースが多いことか ら,load/store命令とpage-load/page-store命令のissueポートを統合する.

Address queue

Address queue は R10000 に存在する load/store 命令 専用の命令 queue であり, 16 エントリの circular FI-FO 構造をしている. Address queue の各エントリに おける制御は,以下の通りである.

- 1. デコード後の命令が1つ dispatch される
- 2. issue 条件が揃うと ready 信号を立てる
- 3. select 信号が返ると演算器へ命令を issue する
- 4. 実行完了信号を受け, queueの先頭に達した時点 でエントリを開放する

SCIMAの拡張として, page-load/page-store命令 との依存等, issueの条件が増えている.また,実行 情報として,先行するpage-load/page-store命令をを 識別するマスクビットを各エントリに保持する.

PLS queue

PLS queue は SCIMA の追加機構であり, page-load/pagestore 命令専用の命令 queue である.今回作成した PLS queue は4エントリの circular FIFO 構造をしている.

PLS queueの各エントリにおける制御は, Address queueと同様である.ただし, issue条件および1エン トリのビット数が Address queueと異なる.

select logic

select logic は命令 queueの ready 信号を検知し,その 中から発行を許可する命令を選択する. 今回 SCIMA への拡張を施した select logic では,前 述の issue ポート統合のため, Address queue と PLS queue の両者より ready 信号を受け取り,その中から 1 つを選択する構成となっている.

PLS address stack

PLS address stack は, SCIMA で追加される機構で, PLS queue とエントリ数が同じ queue であり, 各エン トリは PLS queue のエントリと一意に対応している.

page-load/page-store 命令は取得した転送元・転送 先アドレスを PLS address stack に保持する.保持した アドレスは,転送開始時に利用する.一方,load/store 命令の実行時には,エントリ内のアドレスとのアドレ ス比較により,page-load/page-store 命令との依存判 定(図3の address comp.動作)を行なう.

OCM test 機構

OCM test は SCIMA で追加される機構である.OCM test では,2.1節で述べたASR,AMR および WLRを 用いてオンチップメモリアドレスかどうかの判定を行 なう.同時に,オンチップメモリアドレスであれば キャッシュ・オンチップメモリの参照 way を示す信号 を作成する.

cache data select

データキャッシュをキャッシュ・オンチップメモリ統合 機構として扱うため、従来のデータキャッシュが持つ data select 部を SCIMA 用に拡張する.

従来のn-way セットアソシアティブキャッシュにお いて,どのwayのデータを取得するかの判定はタグ比 較の結果によりなされる.これに対し,SCIMAへの拡 張ではOCM testOCM test および address comp.の 結果によりオンチップメモリアドレスであると判定さ れた場合には,タグの判定結果をOCM test 機構より 送られた way 選択信号で置き換える制御を追加する.

5.評価

5.1 面積・遅延の評価方法

本章では,SCIMA用拡張機構がサイクルタイムお よび面積に与える影響を評価する.R10000 に準じた メモリアクセス機構(cache model),および4章で述 べたメモリアクセス機構(SCIMA model)をそれぞれ VerilogでのRTL記述により設計し,その面積と遅延 を調べる.評価にはVDEC提供の0.35µmプロセスラ イプラリを用いる.

5.2 面積・遅延の評価結果,考察

論理合成ツール上で,速度を最優先として合成し た結果を表1に示す.なお,address calculatorおよ び cache decoderはSCIMA modelにおいても cache modelのものと同一とする.

合成の際には,モデル間共通の目標値に対する速度 最適化を行なっている.なお,面積に配線領域は含ま れていない.遅延は,fan-out数に応じた配線負荷の 影響を含む . また,遅延については,評価基準の統 一のため,全ての機構でフリップフロップのsetup – hold時間を無視している.

wakeup & select logic

cache model と SCIMA model で Address queue を比 較すると, SCIMA model での面積が約 1.13 倍に増え ている.これは, SCIMA modelの Address queue で は,マスクビットの保持,制御の変化等により1 エン トリが保持するビット数が増えていることが直接影響 している.同様にPLS queueの面積をみると,PLS queueのエントリ数は Address queue の 1/4 であり,1 エントリのビット数は Address queue に比ベ少ない. これらの影響により,Address queue より面積が小さ くなっている.また,モデル間で select logicの面積 を比較すると,SCIMA modelの select logic は2つ の queue に対する選択および調停機構の追加により面 積が増大している.

次にAddress queueの遅延を見ると、SCIMAモ デルで遅延がわずかに延びている.これは,pageload/page-store命令の依存等,load/store命令の wakeup条件がR10000に比べ複雑になるためである. また,SCIMA modelでのselect logicの遅延は,調 停の処理の影響によりわずかに増大している.PLS queueの遅延はAddress queueの遅延に比べ小さく, Address queueからのwakeup動作に隠蔽されるため, PLS queueがサイクルタイムに直接影響をおよぼすこ とはない.

OCMtest & PLS address stack

OCMtest 機構はオンチップメモリアドレスかどうかの判定のための比較器が主である.面積・遅延ともに小さい.

PLS address stackのエントリ数はPLS queueと同 ーであるが、参照アドレスの保持のため queue 1 エン トリあたりのビット数が PLS queue に比べ多く、PLS queue より面積が増えている.一方、内部の制御は PLS queue に比べ単純であり、遅延は PLS queue より短 くなっている.

cache data select

SCIMA modelでは、キャッシュでのタグ比較から一致 したwayのデータをを選択する回路に対して外部信号 を選択する制御が増えており、遅延がわずかに増大し ている.なお、両モデルの面積を比較すると、SCIMA modelの方が面積が小さい.これはSCIMA modelで の制御が増え遅延が延びたことで、同一回路内の他の パスへの遅延制約が緩くなったためと思われる.

5.2.1 サイクルタイムへの影響

R10000のパイプライン構成に合わせてサイクルを 区切ると, [Address queue/PLS queue] と select logic で1サイクル, address calc.と[cache decode/OCM

論理合成ツールの自動計算による

cache model	area [mm ²]	latency [ns]	SCIMA model	area [mm ²]	latency [ns]
wakeup & select logic			wakeup & select logic		
- Address queue	1.64	2.07	- Address queue	1.86	2.27
- select logic	0.03	4.04	- select logic	0.05	4.21
			- PLS queue	0.37	1.80
address calc . logic	0.15	3.21			
			OnChipMemory Control logic		
			- OCM test logic	0.09	1.43
			- PLS address stack	0.49	1.59
cache			cache/OnChipMemory		
- decode logic	0.28	1.82			
- data select logic	2.50	3.31	- data select logic	2.43	3.50

長1 面積・遅延の評価(速度最優先)

test/PLSstack]で1サイクル, SRAM macroの参照 と cache data select で1サイクルとなる.

SRAM macroは設計対象外であり,表1に載ってい ないが,SRAM macroの遅延が2.8[ns]以上であれば, SRAM macroとcache data select がサイクルタイム となる.一方,表1中で最もlatency が長いのは wakeup & select logic であり,メモリアクセス機構の中で は wakeup & select と SRAM macro & data select がクリティカルパスの候補となる.

wakeup & select がクリティカルパスであった場合, サイクルタイムには4.9% 程度の影響があり, SRAM macro & data select がクリティカルパスであった場 合, SRAM macroを両モデルでともに2.8[ns] と仮定 すると,サイクルタイムには3.1% 程度の影響がある ことになる.よって, SCIMA 用拡張がサイクルタイ ムに影響を及ぼしたとしても最大で4.9%である.

5.2.2 面積への影響

R10000のフロアプラン¹⁾から求めた Address queue の面積は総面積の約2.7%である.表1より,SCIMA modelにおける追加拡張機構によって,面積は cache model でのAddress queueの約1.7倍となるが,それ でも総面積の4.8%である.すなわち,SCIMA model での増分は約2%であり,面積に大した影響はない.

5.3 PLS queue エントリ数についての検討

PLS queueはSCIMA modelで新たに追加した機 構であり,page-load/page-store命令用の命令queue である.PLS queueのエントリ数は多ければ特に面積 への影響が大きく,サイクルタイムにも影響を及ぼす 可能性がある.少なければ,page-load/page-store命 令のdispatchができずにストールを頻発してしまい, 性能が向上しない.よって,5.2節の評価ではエント リ数を4としているが,最適なエントリ数を性能と遅 延・面積の両面から検討する必要がある.

評価コードには行列積とCGを用いる.いずれも, ソフトウェアパイプライニングにより転送と演算をイ ンターリープするコードとなっている.行列積,CG の評価にはサイクルレベルのシミュレータを用いる. 表2 評価に用いるパラメータ

	衣室 計画に用いるパラパ ノ				
同時発行命令数					
- 整数演算	2				
- 浮動小数点演算(積和)	1				
- 浮動小数点演算(除算/平方)	1				
- ロード・ストア	1				
命令 queue サイズ					
- integer , FP , load/store	各16				
Active list エントリ	48				
キャッシュラインサイズ	32B , 128B				
pageサイズ	4KB				
オフチップメモリスループット	2B/cycle				
オフチップメモリレーテンシ	80cycle				
メモリサイズ 合計	64kB				
- cache model	キャッシュ 64kB(4-way)				
- SCIMA model	キャッシュ16kB(1-way)				
(software pipelining)	オンチップメモリ 48kB				

評価に用いるパラメータを表2に示す.

図5(a)にPLS queueのエントリ数に対する面積, 遅 延の変化および行列積とCGの性能の関係を示す.PLS queueのエントリ数が1,2,4,8,16の場合を評価し ている.面積は,今回設計した機構全体にPLS queue のエントリ数の変化が与える影響を評価している.遅 延は,クリティカルパスをwakeup & selectとしてサ イクルタイムを求めている.行列積・CG はそれぞれ, エントリ数が1の場合に対する相対性能を表す.

面積は,エントリ数に対しほぼ線形に面積が増大 している.一方,サイクルタイムをみると,クリティ カルパスはAddress queueのissue動作であり,PLS queueのエントリ数は直接影響しない.

行列積・CGによる性能の評価に着目すると,演算 とインターリーブするpage-load/page-store数は,行 列積の場合通常2~3で,局所的に6程度まで増加し, CGの場合は2以上にはならない.よって,それぞれ エントリ数が8と2の時点で性能が飽和している.

図5(a)と考察から,行列積とCGに対してエントリ 数は4~8程度で十分である.一方,エントリ数が16 以下の場合,サイクルタイムには影響しないものの, 面積はエントリ数に比例して増えてしまう.よって, 設計の際に選択したエントリ数の4は妥当と思われる. 5.4 総合評価

5.2, 5.3節の結果を受け, サイクル数と面積・遅延 の両面を考慮した SCIMA の全体性能を評価する.

表1中のAddress queue , select , PLS queue , OCM test , PLS address stack が対象



(a) PLS queue エントリ数 vs 面積, 遅延, 相対性能

図5 評価結果

5.4.1 評価方法

5.2節で検討した追加拡張機構のサイクルタイムへの 影響を考慮し, cache modelとSCIMA modelでのモ デル間の相対評価を行なう.評価にはサイクルレベル シミュレータを用いる.また,評価におけるパラメー タは表2に従う.PLS queueエントリ数は4である.

評価では、プロセッサの実行時間を CPU-busy time (T_b), latency-stall(T_l), throughput-stall(T_t)の3つ に分類する. CPU-busy time とはプロセッサが実際 に計算処理を行っている時間であり, latency-stall は 主記憶のアクセスレーテンシがもたらすストール時 間を, また throughput-stall はオフチップメモリのス ループット不足に起因するストール時間を指す.

ここで, T_b , T_l , T_t を, プロセッサの総実行時間T, オフチップメモリスループットが無限大とした場合の 実行時間 T_∞ , オフチップメモリスループットが無限 大かつオフチップメモリレーテンシが0とした場合の 実行時間 T_p を用い,以下のように定義する.

$$T_b = T_p$$
$$T_l = T_{\infty} - T_p$$
$$T_t = T - T_{\infty}$$

面積の影響は微少であり,性能へ影響しないものと する.サイクルタイムの延びはCPUの動作速度に影響 し,SCIMA modelでのCPU動作時間はcache model に比べ1サイクルあたり4.9%長くなるとする.一方, メモリ参照のレーテンシ・スループットはメモリの性 能によるため,サイクルタイムの変化は影響しない. よって,latency-stall,throughput-stallについては両 モデル間で変化しないものとし,CPU-busy time が 4.9%延びるものとして実行時間の相対評価を行なう.

5.4.2 評価結果,考察

評価結果を図5(b),5(c)に示す.ただし,縦軸は cache modelのサイクル数を表す.SCIMA modelは CPU-busy time が5%増加した結果,増加しないと 仮定した場合に比べ,行列積で4.5%,CGで2.7%程 度実行時間が長くなる.しかし,本来のSCIMAの

ラインサイズ128Bの場合.

利点であるメモリアクセスの最適化により, latencystall とthroughput-stall で表されるオフチップメモリ アクセス時のペナルティが大幅に削減されている.従っ て,全体性能で見ると, cache model に対してSCIMA model での実行時間が大幅に短縮され,ラインサイズ が32Bの時に行列積で103%, CG で197%性能が向 上し,ラインサイズが128Bの時に行列積で45%, CG で95%性能が向上している.

6. ま と め

今回,高い性能を得られるSCIMAのメモリアクセス機構を,従来のプロセッサに対する拡張機構として設計し,その面積・遅延の影響を調べた.その結果, 面積への影響はほとんどなく,サイクルタイムへの影響は高々5%程度である.総合評価により,本機構を 用いることで十分な性能を得られることがわかった.

謝辞 本研究での設計と評価に関しアドバイスを 頂いた,東京大学 南谷教授,今井助手,小沢博士に 感謝致します.なお,本研究の一部は日本学術振興会 未来開拓学術研究推進事業「計算科学」(Project No. JSPS-RFTF 97P01102)によるものである.

参考文献

- Ali Ahi, et al. R10000 superscalar microprocessor. In Proc. HOT Chips VII, August 1995.
- D. Callahan and A. Porterfield. Data Cache Performance of Supercomputer Applications. In *Proceedings of Supercomputing '91*, pp. 564–572, 1990.
- Kenneth C. Yeager. The MIPS R10000 superscalar microprocessor. *IEEE Micro*, Vol. 16, No. 4, pp. 28–40, August 1996.
- 4) 大根田 拓,近藤正章,中村宏. SCIMA におけるメモリアク セス機構の検討. 情報処理学会研究報告, No. ARC-144, pp. 165–170, 2001.
- 5) 近藤正章, 中村宏, 朴泰祐. SCIMA における性能最適化手法 の検討. 情報処理学会論文誌, Vol. 42, No. SIG12(HPS4), pp. 37-48, 2001.
- 6) 中村宏,近藤正章,大河原英樹,朴泰祐. ハイパフォーマンスコンピューティング向けアーキテクチャSCIMA. 情報処理学会 論文誌, Vol. 41, No. SIG5(HPS1), pp. 15–27, 2000.