

[パネルディスカッション]

集積技術の将来を握るチップ間／チップ内通信技術

パネリスト

益 一哉 (東工大)
深石 宗生 (NEC)
和田 修 (神戸大)
吉川 公磨 (広島大)
岩田 穆 (広島大)

モデレータ

VLSI技術の微細化, 集積規模の増加に伴って, 多くの面で配線技術の重要性が益々増加している. 特に, 全遅延時間に対する配線の割合が増して動作速度を制限し, 製造工程における配線工程の割合は50%を越えて製造コストを支配する. ムーアの法則が予測する飽和傾向を破れるハイパーインテグレーションの実現には, チップ内／チップ間のインタコネクションが将来の鍵を握っている.

配線のレベルはチップ内の多層配線技術, チップ実装配線, チップ間ボード配線, MCM配線, 積層チップ実装配線, 三次元集積配線などで構成される. 特に高速化, 高周波化に伴い, これらのレベルを個別に扱うのでは不十分で, 統合した設計, 評価が必要になっている.

情報通信の原理は, 通常の電気的な方法から, 光通信, 無線通信へと多様に展開されつつある. 電気配線でも, 従来の多層配線から, オンチップ伝送線路, チップ貫通ビア配線へと多様になってきた. 光インタコネクトのオンチップ化は光源の集積化の課題が未解決ではあるが, 着実に進みつつある. また, 三次元集積が実用に近づくにつれて, チップ層間の通信に無線インタコネクトが注目されるようになっている. 広義の無線として電磁波伝搬による方法以外に, 線で接続しない容量結合, インダクタンス結合が提案され, 研究開発が活発化している.

そこで, このパネルディスカッションでは, チップ内高速配線では益氏, 有線シリアル通信では深石氏, 光通信／光インタコネクションでは和田氏, チップ内／間無線インタコネクションでは吉川氏と各技術の専門家からの情報を基にして, チップ間／チップ内の通信・接続技術に関して, 有線通信, 無線通信, 光通信などを比較して, 技術的特徴, 技術の現状と課題, 将来動向について議論する. ここで議論する, 各技術は単なる選択の問題ではなく, 高度な組み合わせ技術, あるいは統合された技術として考える必要がある.

配線技術はシステムアーキテクチャと密接に関係しており, また, 新しい配線技術を実用化するにはCADも不可欠であり, これらにも議論すべきであるが, 今回の議論はハードウェアの面からの議論を中心とする.

インタコネクト技術の適用領域

インタコネクションに関わる課題

1. 物理的性能	バンド幅, 消費電力, 接続密度 エラーレート, クロストーク, 電磁干渉
2. アーキテクチャ	データ通信方式 BB, シリアル, パラレル 変調方式 TDMA, CDMA, 配線構成 バス, p2p, 再構成
3. プロセス	コスト, 信頼性
4. CAD	特性解析 多層配線, 伝送線路 2. 5次元レイアウト, 3次元レイアウト

	チップ内	チップ間	PCB, ボード間, 装置間
電気 インタコネクト	多層配線 伝送線路	貫通ビア	PCB伝送線路, ケーブル: 同軸, フラット
無線 インタコネクト		誘導結合 (L) 短距離 静電結合 (C) 極短距離 電磁波結合 (アンテナ) 長距離	
光 インタコネクト	集積化光素子, 導波路	光配線基板 光ファイバー	

1/4

オンチップ伝送線路配線の可能性 On-Chip Transmission Line Interconnect

東京工業大学精密工学研究所 益 一哉

1. Transmission line Interconnect in multilevel interconnect
2. Possible structure of TR line interconnect
3. Driver/Intcnt/Receiver circuit: Design and Operation
4. Advantage and disadvantage of TR line interconnect.

3/4

Driver/TR-Line Intcnt/Receiver Circuit

R_{in} and R_{out} :
Designed for
Impedance matching
 $2R_{out} = Z_{off} = R_{in}$

Impedance matching

Suppress the reflection
(near & far end of the
TR line)

2.5 mm

4 μm 1.2 μm 4 μm

M3

Al / SiO₂

Cross-section

Si

Z_{off} is 100 Ω

Buffer (For Measurement)

2/4

Possible Transmission (TR) Line Interconnect on Si ULSI

1. Single-Ended TR Line (Microstrip Line), Coaxial-type
Necessity of ground plane. -> Difficult in multilevel Intcnt
2. Differential TR Line -> Proposal of Diagonal Pair Line
 - High common mode noise endurance
 - Low-voltage swing

W

Si

Attenuation (dB/cm)

Frequency (GHz)

Line Width (μm)

$Z_{off} = 100 \Omega$
 At 50GHz, there exists an optimum line width
 that gives the minimum attenuation

4/4

Recent our progress

1. Differential TR line structures with cross talk endurance and/or small intcnt area:
Proposal and measurement
2. Driver/TR-line/Intcnt/ Receiver Circuit :
Design and Operation
Using below-100nm CMOS precess, over 10Gbps transmission is available in cm order global intcnt.
3. Comparison of power consumption and delay time between the conventional RC intcnt with repeaters and TR-line Intcnt.
The TR-line Intcnt can give small delay time and power consumption in global intcnt.
4. In order to use the TR-line, the performance improvement is discussed based on the statistical intcnt length distribution.

1 Gbps

800 mV

3 Gbps

800 mV

2 Gbps

800 mV

4 Gbps

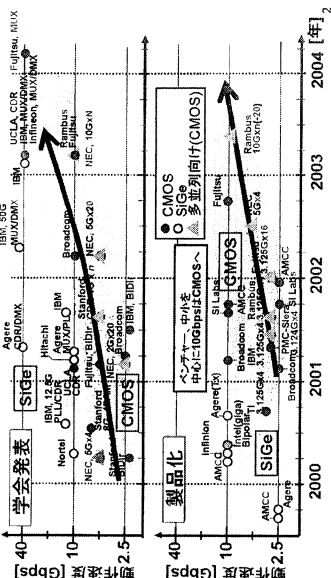
800 mV

0.3 μm CMOS Process

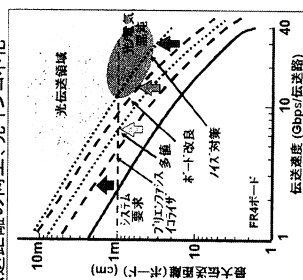
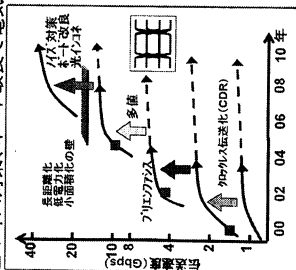
チップ間通信のトレンド

The diagram illustrates the progression of computer buses. On the left, a vertical timeline shows the 1990年代 (1990s) and 2000年代 (2000s). The central part shows the evolution of buses: ISA (16-bit), EISA (32-bit), and VME (64-bit). A comparison of signal reflection and impedance matching is shown, with a note that signal reflection is not a problem in the 1990s but becomes a problem in the 2000s. The right side shows the evolution of buses: ISA (16-bit), EISA (32-bit), and VME (64-bit). A comparison of signal reflection and impedance matching is shown, with a note that signal reflection is not a problem in the 1990s but becomes a problem in the 2000s.

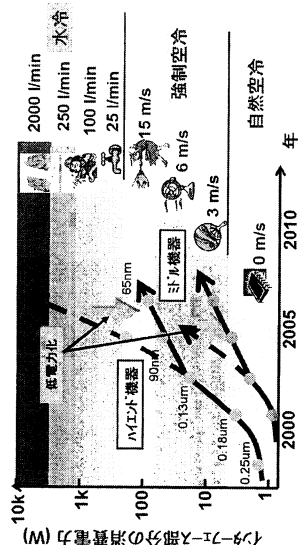
シリアル通信LSIは基幹系通信が技術ドライブし、多並列へ展開
 基幹系： SiGeは40Gbpsで学会発表フェーズが終了、CMOS化が加速中
 多並列系： 2004年は10Gbps、多並列(～20本)が商品化フェーズへ



- 媒体(ケーブル、ボード)の損失により電気伝送の距離が制限
- 波形再生/整形技術、多値伝送技術で電気伝送距離を向上
- ノイズ対策、ボード改良で電気伝送距離の向上、光インコネ化



- 消費電力はプロセススケーリング以上の性能向上と共に急増
- 冷却システムが性能を制限し、コストを高くする
- 低電力化が必須

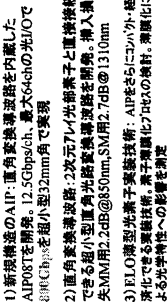


修田等大戸裨



1. 広帯域
高速・WDM
2. クロス・クオリ
2D, 3D並列化
3. 接地, 整合フ
高集積化
4. 低パワー・デバ
イ

技术维修 (ATT)



Game and board level

- Compact 10Gbps-Ether, VSR, etc.
- High-throughput parallel links
ex. 12ch. x 10Gbps = 120Gbps(Picolight)
12ch. x 4λ x 3.2Gbps = 150Gbps(Blaze)
- Issues: lower cost, lower power



2025

- Basic components being developed:

- Waveguides, PLCs, VCSELs, PIN/TIA OEICs,**
Technical challenges:
 Optoelectronic packaging with reliable low-loss optical coupling
 Hybrid, Heterogeneous, and Monolithic integration techniques
- Intra-Chip level**
New developments in optoelectronic material/devices
 On-chip lasers: Si-based nanocrystals, Quantum dots, Raman, etc.
 Ge on Si, III-Vs on Si,
Technical challenges:

K. Wada (MIT/Univ. Tokyo)

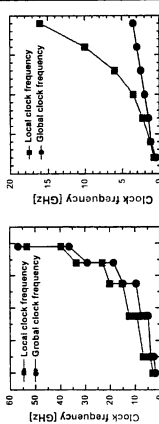


チップ内ノチップ間無線インタコネクション

広島大学 吉川 公隆

Issues of Conventional Interconnects

- (1) Physical Limit of Global Clock Frequency in ULSI



due to parasitic resistance and capacitance of metal interconnects

Physical Limitation

Requirement from ITRS

- (2) Channel Capacity Theorem

$$C = B \log_2 \left(1 + \frac{S}{N} \right)$$

C: channel capacity,
B: bandwidth
S: signal
N: noise

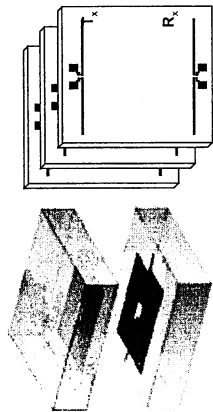
Solution

- (1) Ultra-high-frequency clock distribution by electromagnetic wave
- (2) Ultra-wide-band signal transmission by Gaussian monocycle pulse

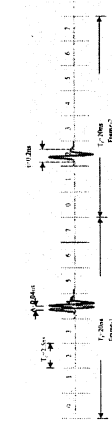
シリコンチップ内ノチップ間無線インタコネクション

Wireless Interconnects by Inductive Coupling

Wireless Interconnects by Electromagnetic Wave



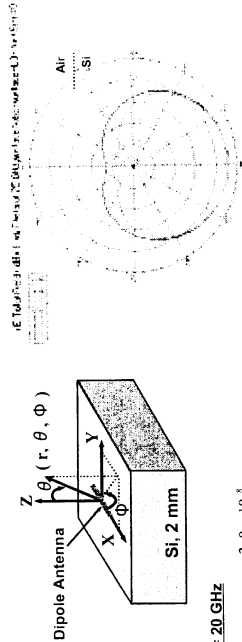
T_x: Transmitter antenna, R_x: Receiver antenna



Pulse width: 100 ps
Bandwidth: 20GHz
ITRS2003
CMOS FT=280GHz @45nm
140@80GHz
λairi/λSI= 800um/240um

シリコン基板を導波路とする無線インタコネクション

Radiation Pattern of SI Integrated Antenna



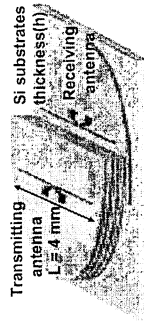
f = 20 GHz

$$\lambda_{\text{Si}} = \frac{v_p}{f} = \frac{3.0 \times 10^8}{20 \times 10^9} = 1.5 (\text{mm})$$

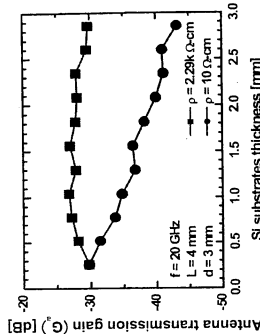
$$\lambda_{\text{Si}} = \frac{\lambda_{\text{free}}}{\sqrt{\epsilon_{\text{Si}}}} = \frac{1.5 (\text{cm})}{\sqrt{12}} = 4.33 (\text{mm})$$

シリコン高抵抗基板による信号減衰抑制

d = 3 mm



SiO₂ = 0.3 μm
Wood = 2.6 mm
Inter-chip stacked structure



Attenuation rate :
- 4.9 dB/mm (ρ = 10 Ω-cm)
- 0.4 dB/mm (ρ = 2.29k Ω-cm)