Vol.2022-ARC-248 No.27
Vol.2022-SLDM-198 No.27
Vol.2022-EMB-59 No.27
2022/3/10

仮想環境を用いたSRAM型FPGAにおけるソフトエラー評価手法

田中　知成[1]　廖 望[2]　橋本 昌宜[3]　密山 幸男[4]

概要：Field Programmable Gate Array (FPGA) において回路構成情報を格納する Cofiguration Random Access Memory (CRAM) は、Single Event Upset (SEU) の影響を受けやすいことが課題になっている。本論文では、SRAM 型 FPGA を用いた画像処理に基づく自動運転システムを対象に、CRAM のビットアップセットが自動運転システムに与える影響を評価することを目指す。従来の研究では、画像処理アプリケーションにおける Single Event Functional Interrupt (SEFI) は、FPGA の論理機能の故障としてのみ定義される。一方で、FPGA の論理機能の故障が自動運転システム全体に及ぼす影響についてまでは評価されていない。本研究では、自動運転システムにおける SEFI のうち、自動運転ロボットの決められた道路範囲からの脱線を引き起こす重大な SEFI を深刻な誤動作として分類することを目指す。評価実験として、提案する評価環境を用いてフォールトインジェクションと中性子照射実験と行った。フォールトインジェクションの結果では、Design Under Test (DUT) を構成するコンフィギュレーションビットのうち、30.6%がビット反転によって SEFI を引き起こす可能性があることがわかった。また、これらの SEFI のうち 33.0%は最終的に深刻な誤動作を引き起こした。中性子照射実験では、SEFI と深刻な誤動作の Cross Section (CS) の測定を行った。中性子照射実験で得た CS は、フォールトインジェクションから推測される CS と誤差範囲内で一致していることを確認した。このことから、提案する仮想環境を用いた評価手法の有用性を実証した。

キーワード：FPGA、CRAM、ビットアップセット、SEFI、自動運転システム

1. はじめに

プロセスの微細化に伴い半導体集積回路 (LSI:Large Scale Integrated circuit) では、ソフトエラーの懸念が高まっている。特に、誤動作が人命に関わるような自動車や医療機器においては、ソフトエラーの影響が致命的な事故につながる可能性が高い。自動車産業では、ISO26262 [1] で定める自動車のハードウェアおよびソフトウェアの品質試験に、ソフトエラーが原因で発生すると考えられる故障に対する耐性試験を含んでいる。システムが運転動作の全てを担うような高いレベルの自動運転では、ミリ波レーダ等のセンサに加えて、カメラを用いた画像処理による車体周辺環境の認識も重要になると考えられる。Feild Programmable Gate Array (FPGA) は、並列処理によって高速な画像処理を実現できることから、リアルタイムの処理速度を要求される自動運転アプリケーションでの使用も期待されている。そのため、将来の自動運転の実現に向けて、FPGA におけるソフトエラーの評価は非常に重要である。

近年、回路の構成情報を Static Random Access Memory (SRAM) に格納する SRAM 型 FPGA は広く普及している。回路構成情報の格納に使用される SRAM は、Configuration RAM (CRAM) と呼ばれる。SRAM および CRAM はソフトエラーの影響を受けやすいことが課題になっている。そのため、FPGA のメモリ要素におけるビットアップセットについて多数報告されている。Xilinx 社は、FPGA のメモリ要素におけるビットアップセットの発生率を照射実験によって評価している [2]。さらに詳細な研究として、Multiple Cells Upset (MCU) の発生パターンの分析なども行われている [3]。また、放射線の種類や放射線のエネルギーとビットアップセットの発生率の関係に着目した評価も行われている [4], [5], [6]。

さらに、FPGA に実装されたアプリケーションにおける信頼性の評価として、CRAM のビットアップセット起因の

1　高知工科大学 大学院基盤工学専攻 電子・光システム工学コース
〒 782–8502 高知県香美市土佐山田町宮ノ口 185
2　東京大学　大学院工学系研究科付属　光量子科学研究センター
〒 113-8656 東京都文京区弥生 2-11-16
3　京都大学 大学院情報学研究科 通信情報システム専攻
〒 606-8501 京都府京都市左京区吉田本町
4　高知工科大学 システム工学群
〒 782–8502 高知県香美市土佐山田町宮ノ口 185

ⓒ 2022 Information Processing Society of Japan

Single Event Fucntional Interrupt (SEFI) に関する研究も多く報告されている。ソフトコアプロセッサや行列乗算など一般的に広く使用されるアプリケーションにおける SEFI は多くの文献で評価されている [7], [8], [9], [10], [11]。また、FPGA に実装した自動運転向け画像処理アプリケーションにおける SEFI の評価も行われている。畳み込みニューラルネットワーク (CNN:Convolutional Neural Network) は、人工的にソフトエラーの発生を再現するフォールトインジェクション [12] と照射実験 [13], [14], [15], [16] によって評価されている。CNN の各レイヤの SEFI の分析 [14] や、量子化を適用した CNN と Triple Modular Redundancy (TMR) を適用した CNN の信頼性の分析 [15] などが行われている。CNN で使用するデータ型と信頼性の関係は文献 [16] でも評価されている。単純な画像処理フィルタであるメジアンフィルタやガウシアンフィルタなどにおける信頼性は、フォールトインジェクションによって評価されている [17], [18]。

一方で、これらの文献における SEFI は、FPGA の論理機能の故障としてのみ定義されている。しかし、FPGA の論理機能の故障が自動運転システム全体に対してどのような影響を及ぼすか評価することも非常に重要であると考える。そこで本研究では、FPGA に実装した複数の画像処理フィルタと車線検出に基づいて走行を行う自動運転システムを対象に、CRAM のビットアップセットによる影響を評価する。3D シミュレータ Gazebo [19] によって提供される仮想環境に道路環境を構築し、仮想環境上でロボットの自動運転を実施する。仮想環境上で自動運転ロボットの挙動を監視することで、自動運転システムにおける SEFI のうち、自動運転ロボットの決められた道路範囲からの脱線を引き起こす重大な SEFI を深刻な誤動作として分類する [20]。これにより、提案する評価環境を用いて照射実験とフォールトインジェクションの両方を行い、CRAM で発生したビットアップセットと SEFI および深刻な誤動作の関係を明らかにすることを目指す。また、照射実験の結果とフォールトインジェクションの結果を比較することで、提案する仮想環境を用いたソフトエラー評価手法の妥当性を検証する。

本論文は全 7 章で構成する。第 2 章では、提案する仮想環境を用いた評価手法について述べる。第 3 章では、自動運転システムにおけるソフトエラーの観測について述べる。第 4 章では、人工的にソフトエラーの発生を再現するフォールトインジェクションについて述べる。第 5 章では、中性子照射実験について述べる。第 6 章では、フォールトインジェクションと中性子照射実験の結果の比較について述べる。第 7 章では、まとめについて述べる。

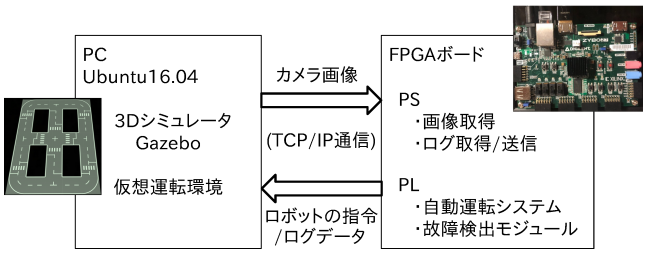

図 1 提案するソフトエラー評価環境の構成

2. 仮想環境を用いた評価手法

2.1 提案評価環境の全体構成

3D シミュレータによる仮想環境と自動運転システムを実装した FPGA を連携させることで、自動運転システムにおける SEFI のうち、自動運転ロボットの決められた道路範囲からの脱線を引き起こす重大な SEFI を深刻な誤動作として分類する。提案するソフトエラー評価環境の全体構成を図 1 に示す。提案評価環境は 1 台の PC と 1 台の FPGA ボードによって構成される。Ubuntu OS を搭載した PC では、オープンソースのロボットシミュレータ Gazebo を用いて、仮想運転環境を構築した。評価対象の FPGA ボードとして Xilinx 社 Zynq-7000 All Programmable System on Chip (APSoC) XC7Z020-1CLG400C を採用した。Zynq-7000 は、ARM Cortex-A9 プロセッサを搭載した Processing System (PS) と本質的な FPGA である Programmable Logic (PL) を搭載している。FPGA の PS では主に PC とのデータのやり取りを行う。PL に実装した自動運転システムは、自動運転ロボットへの指令を決定するために画像処理を行う。また、PL には CRAM のビットアップセットの検出と回路の状態監視を行うための故障検出モジュールを実装した。故障検出モジュールのログデータは、自動運転ロボットへの指令と一緒に PC 側に転送される。PC と FPGA 間の通信は、大きな遅延の発生を避けるため、高速な通信が可能な Transmission Control Protocol (TCP/IP) 通信を採用した。

図 2 に Gazebo を使用して構築した仮想運転環境を示す。仮想運転環境には、自動運転ロボットと道路環境が含まれる。道路環境として、International Conference on Feild Programmable Technology (ICFPT) 2019 で開催された FPGA デザインコンテストで使用されたコースを採用した。また、自動運転ロボットとして、前方に 2 つの車輪を取り付け、車体左側にカメラを取り付けたシンプルなモデルを作成した。カメラからは解像度 640 × 480 の画像を取得する。

2.2 自動運転システム

カメラ画像をもとに決められた道路範囲を車道外側線に沿って走行するレーンキープ制御を自動運転システムとして定義する。自動運転システムの画像処理はすべて FPGA

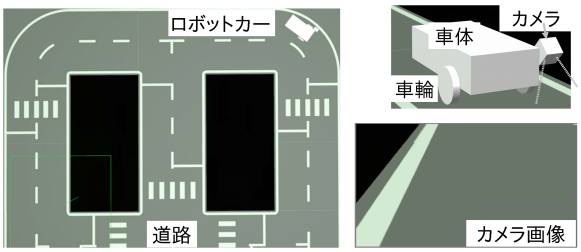

図 2　3D シミュレータ Gazebo によって構築した仮想運転環境

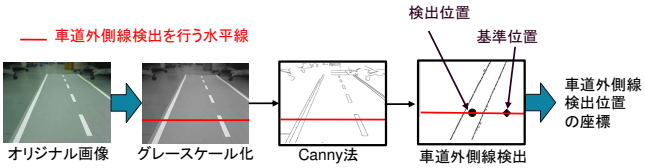

図 3　Canny 法によるエッジ検出画像を用いた車道外側線検出

の PL に実装しており、評価実験における Design Under Test (DUT) とする。車道外側線に沿ってレーンキープ制御を行うために、DUT は入力されたカメラ画像から車道外側線の検出を行う。車道外側線検出のための処理については先行研究 [21] で詳しく述べている。

図 3 に車道外側線検出のための画像処理フローを示す。Canny 法を用いて、画像内のエッジラインの検出を行う [22]。その後、図 3 において水平方向の赤色の線上で、車道外側線の検出を行う。車道外側線の検出位置と基準位置の差があらかじめ決めた値を保つように進行方向を決定する。進行方向は、直進、左進行、右進行の 3 つの内のいずれかである。

DUT は、グレースケール化、Canny 法、車道外側線検出の 3 つのモジュールによって構成される。これら 3 つのモジュールは全て Xilinx 社 Vivado HLS を用いて作成した。

2.3　仮想環境を用いたソフトエラー評価

仮想運転環境おいて自動運転ロボットの走行を行う際の処理の流れを図 4 に示す。Gazebo で生成されたカメラ画像は、TCP/IP 通信によって FPGA ボードの PS に転送される。PS が受け取った画像は、Dynamic Random Access Memory (DRAM) に書き込まれ、PL に実装された DUT は Direct Momory Access (DMA) によって画像を取得する。DUT の画像処理が終了すると、PS は自動運転ロボットへの指令と DUT 監視モジュールのログデータを PC 上の Gazebo に送信する。その後、Gazebo は、PS から受け取った自動運転ロボットへの指令に基づいて、自動運転ロボットの走行動作を実行する。これを繰り返し行う。PL の DUT は 100MHz で動作し、画像処理は 60 frames per second (fps) で行うことができる。しかし、PC と FPGA ボード間でのデータ転送に時間がかかるため、図 4 の一連の処理は約 3fps で行われる。

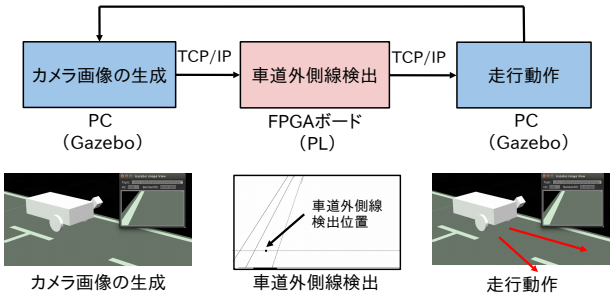

図 4　仮想運転環境における自動運転ロボットの走行

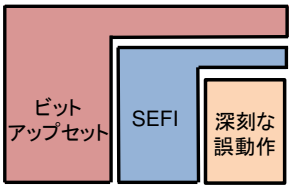

図 5　FPGA に実装した自動運転システムにおけるソフトエラーの分類

3.　ソフトエラーの観測

3.1　ソフトエラーの分類

FPGA の CRAM をソフトエラー評価の対象とする。ソフトエラーのレベルをビットアップセット、SEFI、深刻な誤動作の 3 つで定義した。これらの関係を図 5 に示す。図 5 で、ビットアップセットは CRAM における Single Bit Upset (SBU)、Multiple Cells Upset (MCU)、Multiple Bit Upset (MBU) を含んでいる。ここで、MCU は複数ワードに渡って発生する複数の SBU であり、MBU は同一ワード内で発生する複数のビット反転として定義する。ビットアップセットが発生しても、必ずしも SEFI が引き起こされるとは限らない。反転したビットが回路の動作に関わるビットであった場合にのみ SEFI が観測される。そこで、SEFI は FPGA の論理機能の故障として定義する。例えば、SEFI にはモジュールの出力結果の誤りなどが含まれる。また、SEFI の中で、最終的に自動運転ロボットの脱線を引き起こす SEFI を深刻な誤動作として定義する。

3.2　ソフトラーの観測方法

3.2.1　ビットアップセットの検出

CRAM のビットアップセットを検出するために、Xilinx 社 Soft Error Mitigation (SEM) IP [23] を使用した。SEM IP は、DUT と同じ PL に実装するが、DUT とは独立して動作する。DUT が画像処理を行う間、SEM IP は、1 ワード (32 ビット) ずつ CRAM 内をチェックする。Cyclic Redundancy Check (CRC) に基づいて、1 ビットのエラー訂正と 2 ビットのエラー検出 (SECDED) を行うことができる。今回の設計では、SEM IP は 100MHz で動作する。Zynq-7000 の CRAM の 25.7Mbit であれば、約 8 ミリ秒でチェックすることが可能である。また、DUT 内で発生したビット

Vol.2022-ARC-248 No.27
Vol.2022-SLDM-198 No.27
Vol.2022-EMB-59 No.27
2022/3/10

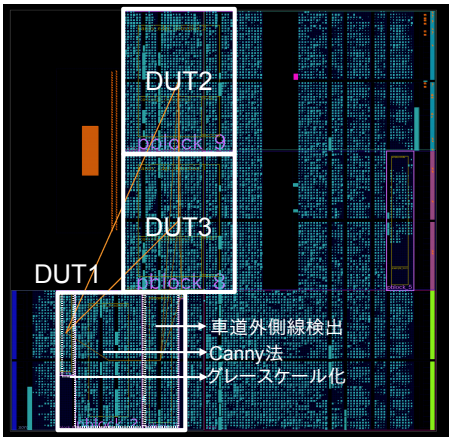

図 6　Zynq-7000 における DUT の配置

表 1　Zynq-7000 における DUT1 のリソース使用量

リソース	LUTs	FFs	BRAMs	DSPs
使用可能数	53,200	106,400	140	220
グレースケール化	347	466	0.5	3
Canny 法	2,869	3,847	5	5
車道外側線検出	1,495	1,626	0.5	3
合計 (DUT1)	4,711	5,939	6	11
使用率	8.72 %	5.28 %	4.29 %	5.00 %

アップセットを DUT 外のビットアップセットと区別するために、Automatic Configuration Memory Error-injection (ACME) [10] を用いて、DUT のビットアドレスの範囲を計算する。

多くのビットアップセットを観測するために、PL 内に 3 つの DUT を実装した。図 6 に Zynq-7000 APSoC XC7Z020-1CLG400C におけるフロアプランでの DUT 配置の様子を示す。それぞれの DUT を配置する矩形は完全に同じではないが、ロジックはすべての DUT で同じである。また、DUT を配置する各矩形内の CRAM 使用率は 70%程度である。表 1 に Zynq-7000 における DUT1 のリソース使用量を示す。DUT2 と DUT3 では DUT1 に比べて 4 つ LUT が多く使用されたが、LUT 以外のリソース使用数は全て一致していた。また、DUT 以外に、PC から転送された画像を取得するモジュールや SEFI を観測するための DUT 監視モジュールがある。これらのモジュールはツールによって自動的に配置している。

3.2.2　SEFI の検出

自動運転システムにおける SEFI を観測するために、DUT の監視を行う。DUT の状態を監視するために、各モジュールの入力信号と出力信号を監視するモジュールを作成した。画像データは、Advanced eXtensible Interface (AXI) Stream のプロトコルによって、上流モジュールから下流モジュールに転送される。AXI Stream は主に、モジュールの状態を表す信号とデータバスによって構成される。図 7 に示すように、各モジュール間に DUT 監視モジュールを配置して、モジュールの状態信号とデータバスを監視した。モジュールの状態信号とデータバスの監視において、何らかの異常が観測された場合に、SEFI の発生とみなす。

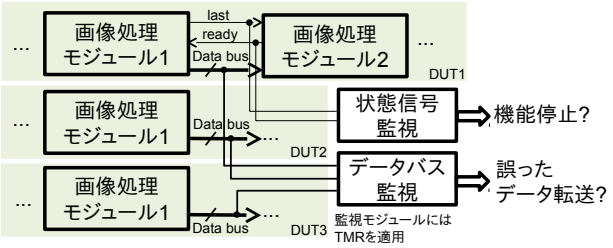

図 7　DUT 監視モジュールによる DUT の各モジュールの監視

図 7 に示すように、モジュールの状態を表す信号として AXI Stream の ‘Ready’ 信号と ‘Last’ 信号を監視した。‘Ready’ 信号は下流モジュールが上流モジュールからデータを受信できる状態であることを示す信号であり、‘Last’ 信号は上流モジュールが下流のモジュールに対して画像の転送が終了したことを知らせる信号である。‘Ready’ 信号もしくは ‘Last’ 信号が正常に出力されていない場合には、モジュールの機能停止として扱う。一方で、3 つの DUT におけるデータバスを各モジュール間で比較しながら監視することで、データ転送の異常を検知する。1 つの DUT が他の DUT と異なるデータを繰り返して出力している場合には、誤ったデータ転送として扱う。また、DUT 監視モジュールはすべて Triple Modular Redundancy (TMR) によって実装している。

3.2.3　深刻な誤動作の検出

図 8 に、自動運転システムにおける CRAM のビットアップセットの発生から深刻な誤動作の観測までの流れを示す。ビットアップセットが発生した後で 200 フレームの画像処理が行われる間、FPGA の回路の動作と自動運転ロボットの挙動の監視を行う。自動運転ロボットの挙動の異常は、DUT の誤った出力の繰り返しによって現れる。したがって、自動運転ロボットの異常な挙動として定義される深刻な誤動作に対して、DUT の誤動作として定義される SEFI は、より早いタイミングで観測される。

図 8 に示す青色の矢印は、正常な走行の進路を示している。一方で赤色の矢印は、自動運転ロボットが決められた道路範囲から脱線していく際の進路の例を示している。200 フレームの画像処理が行われる間の監視後、自動運転ロボットの仮想環境上での座標を確認する。自動運転ロボットの座標に基づいて、自動運転ロボットが道路の決められた範囲から脱線しているかどうかを判断する。自動運転ロボットが決められた道路範囲から脱線している場合には、これらの SEFI を深刻な誤動作として分類する。

4.　フォールトインジェクション

ビット反転によって SEFI を引き起こすビットの割合を示す Device Vulnerability Factor (DVF) を計算することで、ビットアップセットと SEFI の関係の評価する。CRAM に

ⓒ 2022 Information Processing Society of Japan

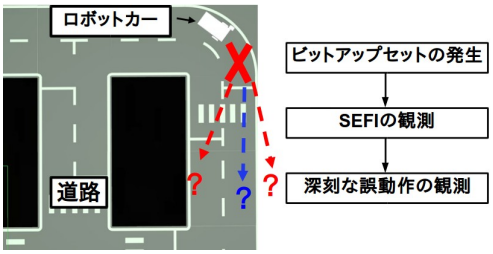

図 8　深刻な誤動作の観測

エラーを挿入するタイミングはテストランが始まってから 10 番目の画像に固定した。テストランを開始後、DUT が 10 番目の画像を処理する途中で、SEM IP を使用してランダムに選択された CRAM ビットを反転させる。その後の 200 フレーム分の画像処理の間、仮想環境上で自動運転システムの動作を監視する。

DUT の 3 つのモジュールに対してそれぞれフォールトインジェクションを行い、各モジュールにおける DVF を計算する。なお、DUT1-3 は同じ回路構成であるため、以下では DUT1 を対象に計算した結果について説明する。CRAM のコンフィギューションビットのうち、DUT の構成に使用されるビットはエッセンシャルビットとして定義され、さらに、エッセンシャルビットのうちビット反転によって SEFI を引き起こすビットはクリティカルビットとして定義される。クリティカルビットとエッセンシャルビットの関係を表す DVF は、式 (1) で定義される [24]。N_{EB} はエッセンシャルビット、N_{CB} はクリティカルビットを表している。

$$DVF = \frac{N_{CB}}{N_{EB}}, \tag{1}$$

同様に、深刻な誤動作に対しても DVF を計算するが、クリティカルビットはエッセンシャルビットのうちビット反転によって深刻な誤動作を引き起こすビットとして定義する。

ACME を用いた計算によるとフォールトインジェクションの対象である Zynq-7000 の DUT は 2,012,199 bit のコンフィギュレーションビットで構成され、この内の 1,396,106 bit がエッセンシャルビットである。数が非常に多く、全てのビットに対してフォールトインジェクションを行うには膨大な時間がかかる。そこで、統計的に必要なサンプル数を計算し、ランダムにサンプリングした CRAM ビットを対象にフォールトインジェクションを行った。必要なサンプル数は、式 (2) に基づいて信頼レベル 95%、誤差範囲 1%を満たすように決定した [25]。

$$N_{inject} = \frac{N_{EB}}{1 + e^2 \cdot \frac{N_{EB}-1}{t^2 \cdot p \cdot (1-p)}}, \tag{2}$$

式 (2) で N_{EB} はエッセンシャルビット数、e は誤差範囲、t は信頼レベル、$N_{injectt}$ は N_{EB} に対する必要サンプル数を示している。式 (2) を用いて計算した各モジュールのエッセンシャルビットに対するフォールトインジェクションの必要サンプル数を表 2 に示す。N_{EB} はエッセンシャルビット数、N_{inject} はフォールトインジェクションの必要サンプル数を示している。

表 2　エッセンシャルビットに対するフォールトインジェクションで必要なサンプル数

	グレースケール化	Canny 法	車道外側線検出
N_{EB}	84,643	889,951	419,148
N_{inject}	8,625	9,501	9,389

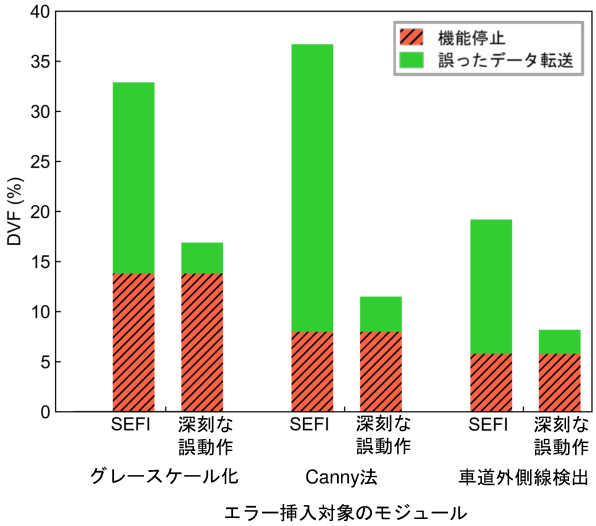

図 9　DUT における各モジュールの DVF

表 2 に示す必要サンプル数に基づいて各モジュールにフォールトインジェクションを行い、SEFI と深刻な誤動作の DVF を計算した結果を図 9 に示す。縦軸は DVF であり、各モジュールの SEFI と深刻な誤動作の DVF を示している。各モジュールの故障の種類をモジュールの機能停止と誤ったデータの転送の 2 つに分類した。図 9 より、SEFI と深刻な誤動作の DVF の比較から、SEFI としてモジュールの機能停止が観測された場合、全てのケースで最終的に深刻な誤動作につながっていることが分かる。一方で、SEFI として誤ったデータ転送が生じた場合、それが深刻な誤動作につながる可能性は比較的低かった。これは、いずれか 1 つのモジュールで機能停止が引き起こされた場合には、DUT における全ての演算およびデータ転送が停止してしまうためであると考えられる。しかし、一部のデータ転送の誤りだけであれば、必ずしも DUT の最終的な出力に対して影響を与えるわけではないため、誤ったデータ転送が深刻な誤動作につながる可能性は低くなる。SEFI におけるモジュールの機能停止の割合は各モジュールでバラつきがあり、22%から 41%であった。

図 9 に示す各モジュールにおける DVF の値から、DUT における SEFI と深刻な誤動作の DVF を式 (3) によって計算した。

$$DVF_{DUT} = \frac{\sum DVF_i \cdot N_{EB_i}}{\sum N_{EB_i}}, \tag{3}$$

式 (3) において、i は各モジュールを表している。DUT にお

表 3 非エッセンシャルビットに対するフォールトインジェクションで必要なサンプル数

	グレースケール化	Canny 法	車道外側線検出
N_{nonEB}	23,584	396,417	194,964
$N_{inject-nonEB}$	6,825	9,377	9,153

けるDVFは、DUT全体のエッセンシャルビットにおけるクリティカルビットの割合である。式(3)による計算の結果、DUT全体におけるSEFIと深刻な誤動作のDVFはそれぞれ30.6%と10.1%であった。したがって、10.1/30.6 = 33.0 %のSEFIが最終的に深刻な誤動作を引き起こすことを意味する。

ところで、非常に低い確率ではあるが、ACMEで計算したDUTのCRAMアドレスの範囲にフォールトインジェクションしたにもかかわらず、フォールトインジェクション対象以外のDUTで機能停止や誤ったデータ転送が発生したケースを確認した。また、CRAMのアドレスにフォールトインジェクション後にPSが影響を受けて動作が停止する現象が発生した。発生原因として、PSとPL間での画像データの転送のために用いたXilinx社のAXI Video Direct Memory Access (VDMA) IPの故障が考えられる[26]。VDMA IPの誤動作によってDRAMに対して何らかの不正な操作が行われたことが考えられる。CRAMビットの反転がPSに対して影響を与える現象は、DUTの全てのCRAMビットに対してフォールトインジェクションを実施した実験[27]でも確認されている。

ビットアップセットが発生しても基本的にSEFIを引き起こすことはないとされる非エッセンシャルビットに対しても、式(2)によって信頼レベル95%、誤差範囲1%を満たすサンプル数を計算し、同様のフォールトインジェクションを実施した。DUTの各モジュールにおける非エッセンシャルビットの数と、フォールトインジェクションに必要なサンプル数を表3に示す。表3の必要サンプル数に基づいて非エッセンシャルビットにフォールトインジェクションを行ったが、SEFIは観測されなかった。

5. 照射実験

東北大学Cyclotron and Radioisotope Center(CYRIC) [28]にて中性子照射実験を行い、SEFIと深刻な誤動作の発生確率を表すCross Section (CS)を測定した。CRAMでビットアップセットが長時間検出されない場合は700フレーム分の画像処理の終了後に一度FPGAを再構成してテストランを再開する。CRAMでビットアップセットが検出された時、その後の200フレーム分の画像処理が行われる間でSEFIが発生するかどうか観測を行う。CRAMのビットアップセット起因のSEFIを評価するためには、SEM IPのエラー訂正機能を無効にする必要がある。一方で、SEM IPは、反転したビットを訂正しないままにすると動作を停止するためMCUを検出することができない。そのため、

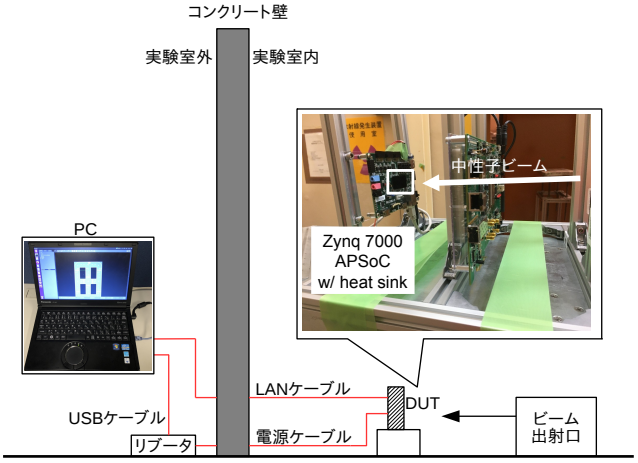

図 10 中性子照射実験の環境

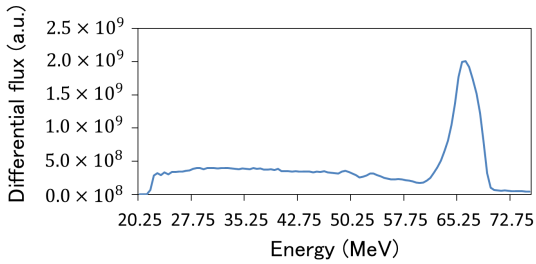

図 11 中性子ビームのスペクトラム

個別の実験として、SEM IPのエラー訂正機能を有効にしてビットアップセットのCSの測定も行った。FPGAボードに中性子ビームを照射する様子を図10に示す。70MeVの陽子ビームにより発生させた準単色の中性子ビームをZynq-7000に照射した。実験時の中性子ビームのスペクトラムを図11に示す。Fluxのピークは70MeV付近であり、Zynq-7000の設置位置におけるFluxは5.4×10^{4} n·cm^{-2}·s^{-1}であった。

表4に実験結果を示す。SEM IPのエラー訂正機能を有効にしてビットアップセットのCSの測定を4.1時間行った。また、SEM IPのエラー訂正機能を無効にした状態で自動運転システムにおけるSEFIと深刻な誤動作のCSの測定を13.4時間行った。CRAMのビットアップセットのCSは5.92×10^{-15} cm^{2}·bit^{-1}で誤差範囲は±9.1%であった。この測定値は、Xilinx社が行った同様の実験での測定値の誤差範囲内であった[2]。一方で、SEFIと深刻な誤動作のCSは、それぞれ1.35×10^{-15} cm^{2}·bit^{-1}と4.52×10^{-16} cm^{2}·bit^{-1}であった。ビットアップセットのCSとの比較から、ビットアップセットの約23%がSEFIを引き起こすことがわかった。さらに、SEFIの約33%は最終的に深刻な誤動作を引き起こすことがわかった。CRAMのビットアップセットとSEFIの関係性を検証するために、ビットアップセットの検出時間と発生箇所の記録と、SEFIの発生時間と発生箇所の記録を比較した。その結果、観測されたSEFIの半分以上では、ビットアップセットの検出時間と発生箇所が、SEFI

ⓒ 2022 Information Processing Society of Japan

表 4　中性子照射実験の結果

Error type		実験時間 (h)	Fluence ($n \cdot cm^{-2}$)	対象のビット数	観測したイベント数	Cross section ($cm^2 \cdot bit^{-1}$)	誤差範囲 (%)
SEU (個別の実験)	total	4.1	7.96×10^8	25.7 M	121	5.92×10^{-15}	± 9.09 %
	SBU	4.1	7.96×10^8	25.7 M	101	4.94×10^{-15}	± 9.95 %
	MCU	4.1	7.96×10^8	25.7 M	14	6.84×10^{-16}	± 26.7 %
	MBU	4.1	7.96×10^8	25.7 M	6	2.93×10^{-16}	± 40.8 %
SEFI		13.4	2.44×10^9	6.35 M	21	1.35×10^{-15}	± 21.8 %
深刻な誤動作		13.4	2.44×10^9	6.35 M	7	4.52×10^{-16}	± 37.8 %

の発生時間と発生箇所と一致していた。一致していないものについては、SEFI の発生が入力画像に依存することや、MCU の影響などが原因として考えられる。

6. フォールトインジェクションと照射実験の結果の比較

まず、フォールトインジェクションによって、中性子照射実験で観測された SEFI の再現性を確かめた。ビットアップセットの検出時間と発生箇所の記録をもとに、中性子照射実験で観測された全ての SEFI がフォールトインジェクションによって再現できることを確認した。

次に、フォールトインジェクションで得た DVF をもとに SEFI と深刻な誤動作の CS を推定することで、中性子照射実験での CS の測定値と比較する。フォールトインジェクションで得た DUT の DVF と中性子照射実験で得たビットアップセットの CS から SEFI と深刻な誤動作の CS を推定する。フォールトインジェクションで得た DUT の全体おける SEFI と深刻な誤動作の DVF は、それぞれ 30.6%と 10.1%であった。中性子照射実験で得たビットアップセットの CS は 5.9×10^{-15} $cm^2 \cdot bit^{-1}$ であった。これらの値から式 (4) を用いて CS の推定値を求めた。式 (4) で *type* は、SEFI もしくは深刻な誤動作である。$CS(bit\,upset)$ は、中性子照射実験で得たビットアプセットの CS である。なお、式 (4) では、非エッセンシャルビットでビットアップセットが発生しても SEFI が引き起こされないことを前提としている。

$$\begin{aligned} CS(type) &= CS(bit\,upset) \times DVF_{type} \times \frac{N_{EB}}{N_{EB} + N_{nonEB}} \\ &= CS(bit\,upset) \times \frac{N_{CB_{type}}}{N_{EB} + N_{nonEB}} \end{aligned} \tag{4}$$

式 (4) を用いた計算によると、フォールトインジェクションから推測される SEFI と深刻な誤動作の CS はそれぞれ 1.3×10^{-15} $cm^2 \cdot bit^{-1}$ と 4.4×10^{-16} $cm^2 \cdot bit^{-1}$ であった。フォールトインジェクションでは、ランダムにサンプリングした CRAM ビットを反転させているため、推定された CS には ± 1%の誤差がある。

中性子照射実験の測定との比較を図 12 に示す。フォールトインジェクションから推定した SEFI と深刻な誤動作の CS は、中性子照射実験から得られた結果の誤差範囲内であることがわかる。したがって、提案する評価手法によって自動運転システムにおける CRAM ビットアップセットの影響を正確に評価することができると考える。

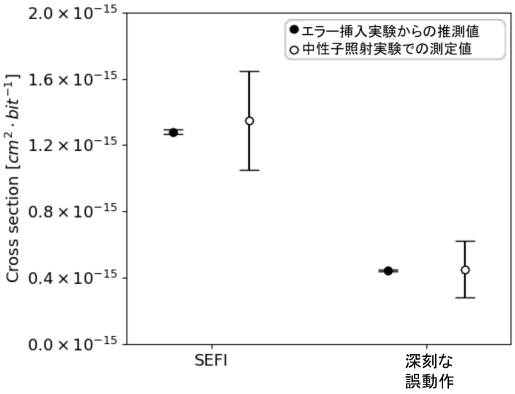

図 12　SEFI と深刻な誤動作の CS の測定値と推定値の比較

7. おわりに

本研究では、FPGA に実装した画像処理に基づく自動運転システムにおけるソフトエラーの影響をシステムレベルで評価するために、仮想環境を用いた評価手法を提案した。提案するソフトエラー評価環境は、1 台の PC と 1 台の FPGA ボードによって構成した。3D シミュレータ Gazebo によって構築した仮想運転環境と FPGA に実装した自動運転システムを連携させることで仮想環境上でロボットの自動運転を実現した。

提案評価環境を用いて、フォールトインジェクションと中性子照射実験によって自動運転システムにおけるソフトエラーの影響を評価した。フォールトインジェクションでは、DUT を構成する CRAM ビットのうち、31%がビット反転によって SEFI を引き起こすことがわかった。さらに、これらの SEFI のうち 33%が深刻な誤動作を引き起こした。次に、中性子照射実験では SEFI と深刻な誤動作の CS を測定した。中性子照射実験で得られた SEFI と深刻な誤動作の CS と、フォールトインジェクションから推測される CS の比較を行ったところ、フォールトインジェクションからの推測値が中性子照射実験の測定値の誤差範囲内に収まっていることを確認した。このことから、提案する仮想環境を用いたソフトエラー評価手法の有用性を実証した。

ⓒ 2022 Information Processing Society of Japan

謝辞　本研究は JSPS 科研費 16K00083 と JST 産学共創プラットフォーム共同研究推進プログラム (OPERA）JPMJOP1721 の助成を受けたものです。

参考文献

[1] ISO: *ISO 26262:2011 Road vehicles – Functional safety – Part 1 to Part 10*, No. ISO 26262, ISO, Geneva, Switzerland (2011).

[2] Xilinx: Device Reliability Report, *UG116, Second Half 2019* (2020).

[3] Vlagkoulis, V., Sari, A. et al.: Single Event Effects Characterization of the Programmable Logic of Xilinx Zynq-7000 FPGA Using Very/Ultra High-Energy Heavy Ions, *IEEE Transactions on Nuclear Science*, Vol. 68, No. 1, pp. 36–45 (online), DOI: 10.1109/TNS.2020.3033188 (2021).

[4] Quinn, H., Fairbanks, T. et al.: Single-Event Effects in Low-Cost, Low-Power Microprocessors, *2014 IEEE Radiation Effects Data Workshop (REDW)*, pp. 20–28, July 2014 (online), DOI: 10.1109/REDW.2014.7004596.

[5] Lee, D. S., King, M. et al.: Single-Event Characterization of 16 nm FinFET Xilinx UltraScale+ Devices with Heavy Ion and Neutron Irradiation, *2018 IEEE NSREC Radiation Effects Data Workshop*, pp. 275–282, Dec. 2018 (online), DOI: 10.1109/NSREC.2018.8584313.

[6] Cai, C., Gao, S. et al.: SEE Sensitivity Evaluation for Commercial 16 nm SRAM-FPGA, *Electronics*, Vol. 8, No. 12, p. 1531 (online), DOI: 10.3390/electronics8121531 (2019).

[7] Tambara, L. A., Rech, P. et al.: Analyzing the Impact of Radiation-Induced Failures in Programmable SoCs, *IEEE Transactions on Nuclear Science*, Vol. 63, No. 4, pp. 2217–2224 (online), DOI: 10.1109/TNS.2016.2522508 (2016).

[8] Wilson, A. E. and Wirthlin, M.: Neutron Radiation Testing of Fault Tolerant RISC-v Soft Processor on Xilinx SRAM-based FPGAs, *Proceedings - 2019 IEEE Space Computing Conference, SCC 2019*, pp. 25–32 (online), DOI: 10.1109/SpaceComp.2019.00008 (2019).

[9] de Oliveira, Á. B., Tambara, L. A. et al.: Evaluating Soft Core RISC-V Processor in SRAM-Based FPGA Under Radiation Effects, *IEEE Transactions on Nuclear Science*, Vol. 67, No. 7, pp. 1503–1510 (online), DOI: 10.1109/TNS.2020.2995729 (2020).

[10] Aranda, L. A., Sánchez-Macián, A. et al.: ACME: A Tool to Improve Configuration Memory Fault Injection in SRAM-Based FPGAs, *IEEE Access*, Vol. 7, pp. 128153–128161 (2019).

[11] Cho, H.: Impact of Microarchitectural Differences of RISC-V Processor Cores on Soft Error Effects, *IEEE Access*, Vol. 6, pp. 41302–41313 (online), DOI: 10.1109/ACCESS.2018.2858773 (2018).

[12] Du, B., Azimi, S. et al.: On the Reliability of Convolutional Neural Network Implementation on SRAM-based FPGA, *2019 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT)*, pp. 143–148, Oct. 2019 (online), DOI: 10.1109/DFT.2019.8875362.

[13] Lopes, I. C., Benevenuti, F. et al.: Reliability Analysis on Case-study Traffic Sign Convolutional Neural Network on APSoC, *2018 IEEE 19th Latin-American Test Symposium (LATS)*, pp. 7–12, Mar. 2018 (online), DOI: 10.1109/LATW.2018.8347234.

[14] Libano, F., Wilson, B. et al.: Selective Hardening for Neural Networks in FPGAs, *IEEE Transactions on Nuclear Science*, Vol. 66, No. 1, pp. 216–222 (online), DOI: 10.1109/TNS.2018.2884460 (2019).

[15] Wang, H.-B., Wang, Y.-S. et al.: Impact of Single-Event Upsets on Convolutional Neural Networks in Xilinx Zynq FPGAs, *IEEE Transactions on Nuclear Science*, Vol. 68, No. 4, pp. 394–401 (online), DOI: 10.1109/TNS.2021.3062014 (2021).

[16] Libano, F., Rech, P. et al.: How Reduced Data Precision and Degree of Parallelism Impact the Reliability of Convolutional Neural Networks on FPGAs, *IEEE Transactions on Nuclear Science*, Vol. 68, No. 5, pp. 865–872 (online), DOI: 10.1109/TNS.2021.3050707 (2021).

[17] Bolchini, C., Cassano, L. et al.: Error Modeling for Image Processing Filters accelerated onto SRAM-based FPGAs, *2020 IEEE 26th International Symposium on On-Line Testing and Robust System Design (IOLTS)*, pp. 140–145, July 2020 (online), DOI: 10.1109/IOLTS50870.2020.9159746.

[18] Aranda, L. A., Reviriego, P. et al.: Error Detection Technique for a Median Filter, *IEEE Transactions on Nuclear Science*, Vol. 64, No. 8, pp. 2219–2226 (online), DOI: 10.1109/TNS.2017.2666843 (2017).

[19] Aguero, C., Koenig, N. et al.: Inside the Virtual Robotics Challenge: Simulating Real-Time Robotic Disaster Response, *Automation Science and Engineering, IEEE Transactions on*, Vol. 12, No. 2, pp. 494–506 (online), DOI: 10.1109/TASE.2014.2368997 (2015).

[20] Tanaka, T., Liao, W. et al.: Impact of Neutron-Induced SEU in FPGA CRAM on Image-Based Lane Tracking for Autonomous Driving: From Bit Upset to SEFI and Erroneous Behavior, *IEEE Transactions on Nuclear Science*, Vol. 69, No. 1, pp. 35–42 (online), DOI: 10.1109/TNS.2021.3131346 (2022).

[21] Tanaka, T., Ikeno, I. et al.: Development of Autonomous Driving System Using Programmable SoCs, *2019 International Conference on Field-Programmable Technology (ICFPT)*, pp. 453–456, Dec. 2019.

[22] Yamawaki, A. and Serikawa, S.: A Describing Method of An Image Processing Software in C for A High-level Synthesis Considering A Function Chaining, *IEICE Transactions on Information and Systems*, Vol. E101D, No. 2, pp. 324–334 (online), DOI: 10.1587/transinf.2017RCP0001 (2018).

[23] Xilinx: Soft Error Mitigation Controller v4.1 LogiCORE IP Product Guide, *PG036* (2018).

[24] Chen, Y. P., Maillard, P. et al.: 64 MeV Proton Single-Event Upset Characterization of Customer Memory Interface Design on Xilinx XCKU040 FPGA, *2017 IEEE Radiation Effects Data Workshop (REDW)*, pp. 144–147, July 2017 (online), DOI: 10.1109/NSREC.2017.8115450.

[25] Leveugle, R., Calvez, A. et al.: Statistical Fault Injection: Quantified Error and Confidence, *2009 Design, Automation Test in Europe Conference Exhibition*, pp. 502–506, April 2009 (online), DOI: 10.1109/DATE.2009.5090716.

[26] Ramagond, S., Yellampalli, S. et al.: A Review and Analysis of Communication Logic between PL and PS in ZYNQ AP SoC, *2017 International Conference On Smart Technologies For Smart Nation (SmartTechCon)*, pp. 946–951, Aug. 2017 (online), DOI: 10.1109/SmartTechCon.2017.8358511.

[27] Fleming, S. T. and Thomas, D.: Injecting FPGA Configuration Faults in Parallel, *2018 International Conference on Field-Programmable Technology (FPT)*, pp. 198–205, Dec. 2018.

[28] Sakemi, Y., Itoh, M. et al.: High Intensity Fast Neutron Beam Facility at CYRIC, *Nuclear Technology*, Vol. 173, No. 2, pp. 210–217 (2014).

ⓒ 2022 Information Processing Society of Japan