

連想メモリベース超並列 SIMD 型演算コアの FPGA による動作検証

濱野 甫^{†1,a)} 荒井 聡太^{†1} 濱井 彰光^{†1} 蔭山 享佑^{†1} 孔 祥博^{†1,b)} 小出 哲士^{†2,c)}
熊木 武志^{†1,d)}

概要: 近年、半導体技術の発展とともに、スマートフォンやウェアブル端末を始めとして、家電や自動車などにも多くの組み込みプロセッサが搭載されてきている。それに伴い、ユーザが様々なマルチメディアアプリケーションをリアルタイムに処理するニーズが高まっている。また、カメラセンシング技術の進化によりエッジデバイス上で機械学習の処理が実行されることも増えてきた。そこで、我々は、プログラムを入れ替えることで効率よく複数のマルチメディアアプリケーション、及び機械学習を処理することが可能な組み込み機器向けのプロセッシングコアを開発している。本稿では、開発しているコアの実用化に向けて、FPGA で実装を行い動作検証を行う。

FPGA implementation of content addressable memory-based SIMD matrix processing core

1. はじめに

近年、半導体技術の発展とともに、スマートフォンやウェアブル端末を始めとして、家電や自動車などにも多くの組み込みプロセッサが搭載されてきている。それに伴い、ユーザが様々なマルチメディアアプリケーションをリアルタイムに処理するニーズが高まっている。また、カメラセンシング技術の進化によりエッジデバイス上で機械学習の処理が実行されることも増えてきた。そこで、本研究は、プログラムを入れ替えることで効率よく複数のマルチメディアアプリケーション、及び機械学習を処理することが可能な組み込み機器向けのプロセッシングコアを開発することを目的とした。先に述べたアルゴリズム群は、2種類の基本処理である、繰り返し算術演算とテーブル変換から構成される。我々は研究目的を達成するために、これらの両方を効率的に処理する事に着目して、連想メモリベースの超並列

SIMD 型演算コアを提案してきた [1]~[12]。本論文では、このコアの基本的な構成を紹介するとともに、FPGA による動作検証の結果を示す。

2. 連想メモリベース超並列 SIMD 型演算コア

連想メモリベース超並列 SIMD 型演算コアは汎用性を保ちつつも超並列処理を実現する。そのために機能メモリの一種である連想メモリの特徴を活かした構造を採用している。図 1 に本コアのブロック図を示す。この演算コアは、2つの連想メモリモジュールが多数の小型演算器を挟み込む形で左右に配置されている。2つの連想メモリモジュールは同一の機能を有しており、高速なデータの一致検索処理を可能にする回路である。また、データの一致検索時にマスクを施すことで、1ビット単位で検索するビット位置を指定することが可能である。小型演算器はビットシリアルに処理を行うものであり、加算、論理演算、シフト等が可能である。この演算器を垂直方向に多数配置し、SIMD 命令を行うことで超並列にデータを処理する。また、各演算器に Valid レジスタを持たせることで、このレジスタが H になっている演算器のみを動作させることができ、超並列かつ柔軟な処理を可能にしている。図 2 に本コアの動作例を示す。マスクデータの 1 ビット目が H なので、検

^{†1} 現在、立命館大学
Presently with Ritsumeikan University

^{†2} 現在、広島大学
Presently with Hiroshima University

a) ri0093fr@ed.ritsumei.ac.jp

b) kong@fc.ritsumei.ac.jp

c) koidecomputer.orgkoidehiroshima-u.ac.jp

d) kumaki@fc.ritsumei.ac.jp

素データの1ビット目のみが検索される。検索結果の一致信号を小型演算器のValidレジスタに格納し、そのレジスタがHの演算器のみが作動するこのコアは、ビットシリ

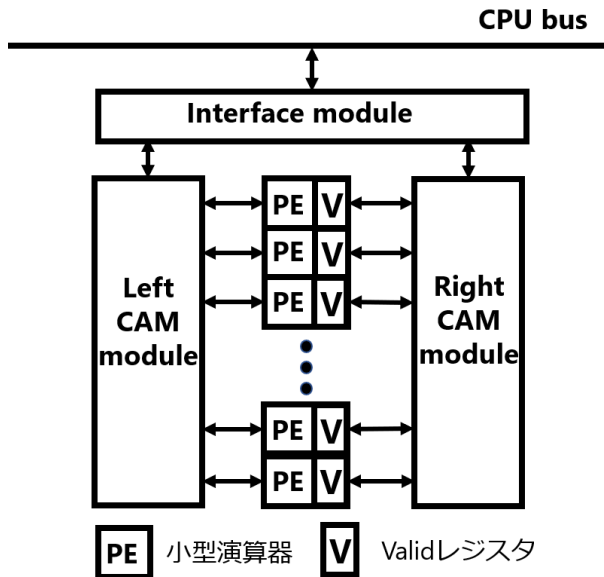


図 1 連想メモリベース超並列 SIMD 型演算コアの全体構成.
Fig. 1 Structure of content addressable memory-based SIMD matrix processing core.

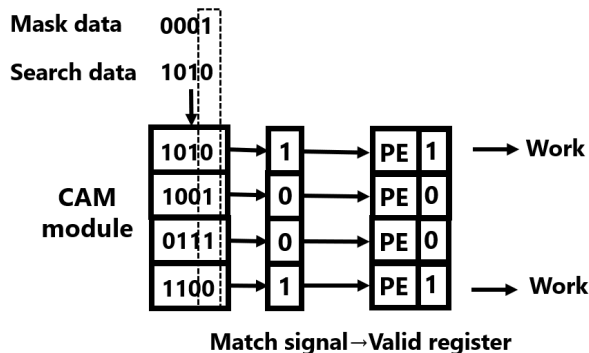


図 2 検索を用いた動作例.
Fig. 2 Example of search operation.

アルワードパラレルにデータを処理できるため、1ビット単位で処理するデータのビット幅を指定することが可能である。機械学習やマルチメディアアプリケーションのアルゴリズムは2種類の基本処理である、繰り返し算術演算とテーブル変換で構成されている(図3)。よって、連想メモリベースの本コアは2種類の処理をどちらも実行することが可能となる。これらの制御にはコントローラが用いられる。コントローラによってアルゴリズムに応じた連想メモリの読み書き処理が行われ、演算器にはコマンドが発行される。処理データはインターフェイスモジュールを介してCPUバスでやり取りされる。

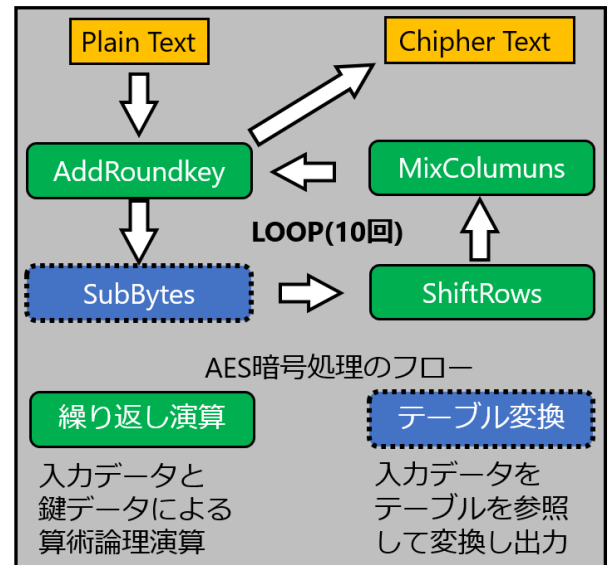


図 3 繰り返し算術演算とテーブル変換で構成される暗号処理の一例.
Fig. 3 Example of a cryptographic process consisting of iterative arithmetic operations and table look-up transformations.

3. FPGA による実装及び動作検証

本稿は、連想メモリベース超並列 SIMD 型演算コアのFPGAによる動作を検証した。本コアの関連研究ではシミュレーションによる評価まで行っていたため、実機による検証は初めてである。ターゲットのFPGAは、Xilinx社のSpartan6ファミリに含まれるXC6SLX150である。開発ツールにはXilinx社のISE14.7, ISim14.7, 及びIMPACTを用いた。また、今回用いたFPGA搭載評価ボードを図4に示す。ソケット内にFPGAが格納されており、入力に8入力DIPスイッチ、及び6つのプッシュスイッチ、出力に7セグメントLEDが2つ、及びLEDが8個搭載されている。これまでの関連研究では、コアの並列度が1,024で

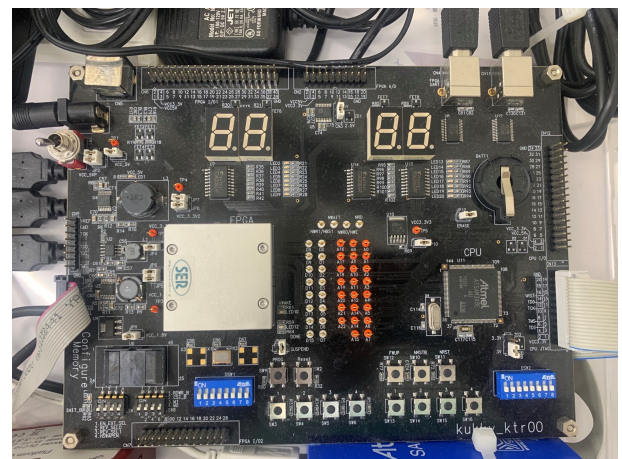


図 4 FPGA 搭載評価ボード
Fig. 4 Evaluation boards with FPGA

あったが、本稿では FPGA の容量制限もあり 64 とした。また、動作検証を行うにあたって、基本命令である加算を並列に実行した。図 5 に提案コアによって $23 + 42$ の加算結果を 10 進数で 7 セグメント LED に出力した例を示す。これより FPGA 上でも正しく動作することが確認された。今後は全てのコマンド機能の動作検証、及び提案コアによるアルゴリズムの実装検証を行う。

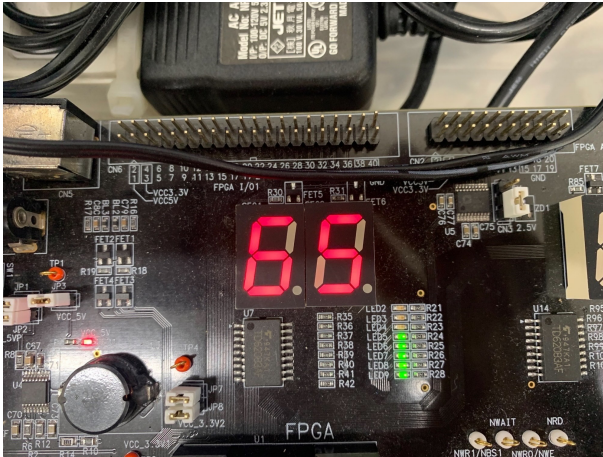


図 5 FPGA 上での加算結果を
10 進数で 7 セグメント LED に出力した例

Fig. 5 Example of outputting the result of addition on the FPGA to a 7-segment LED as a decimal number.

4. まとめ

本論文では、マルチメディアデータ処理、及び機械学習処理を、プログラムを置き換える事によって実行が可能な連想メモリベース超並列 SIMD 型演算コアを示し、FPGA による動作検証を行った。今後は自己組織化マップを始めとした、様々な機械学習アルゴリズムを提案コアに実装し、そのクロックサイクル、及び消費電力を比較することを目標として開発を進めていく。

謝辞 本研究の一部は、日本学術振興会科学研究費補助金(基盤研究(C))(19K04561, 2018)と2021年度村田学術振興財団研究助成の支援により行われた。

参考文献

- [1] 熊木武志, メモリベース超並列 SIMD 型演算コアの提案, FIT2016.
- [2] K. Kageyama, K. Watanabe, A. Hamai, T. Kumaki and T. Koide, "Acceleration of arithmetic processing with CAM-based massive-parallel SIMD matrix core," IEEE International Midwest Symposium on Circuits And Systems (MWSCAS), 2020.
- [3] K. Kageyama, A. Sekino, K. Watanabe, A. Hamai, T. Koide, and T. Kumaki, "Proposal of content addressable memory-based massive-parallel SIMD matrix core," RISP International workshop on Nonlinear Circuit, computer and Signal Processing (NCSP), 2020.
- [4] K. Watanabe, K. Kageyama, A. Sekino, A. Hamai and

- T. Kumaki, "Basic operation verification of content addressable memory-based massive-parallel SIMD matrix core for multimedia applications," International symposium on biomedical engineering (ISBE), 2019.
- [5] 荒井聡太, 濱井彰光, 渡辺健介, 孔 祥博, 熊木武志, "連想メモリベース超並列 SIMD 型演算コアによるブロック暗号の実装," 第 34 回回路とシステムワークショップ (KWS2021), pp. 184-189, Aug., 2021.
- [6] 関野 輝 "連想メモリベース超並列 SIMD 型演算コアの提案," VDEC デザイナーズフォーラム, 第 7 回 VDEC デザイナーワードアイディアコンテスト部門, Sept., 2017.
- [7] 関野 輝, 熊木武志, "超並列 SIMD 型演算コアと連想メモリを融合させたアーキテクチャの検討," LSI とシステムのワークショップ 2018, May, 2018.
- [8] 渡辺健介, 熊木武志, "連想メモリベース超並列 SIMD 型演算コアの開発について," 第 3 回 VLSI センターシンポジウム, Jan., 2019.
- [9] 関野 輝, 渡辺健介, 熊木武志, "連想メモリベース超並列 SIMD 型演算コアの動作検証について," 2019 年電子情報通信学会総合大会, pp. 64, Mar., 2019.
- [10] 渡辺健介, 関野 輝, 蔭山享佑, 小出哲士, 熊木武志, "連想メモリベース超並列 SIMD 型演算コアのシミュレーションによる動作検証について," LSI とシステムのワークショップ 2019, May, 2019.
- [11] 蔭山享佑, 関野 輝, 渡辺健介, 濱井彰光, 熊木武志, "超並列マルチメディア処理 CAM ベース SIMD 演算コア," VDEC デザイナーズフォーラム, 第 9 回 VDEC デザイナーワードアイディアコンテスト部門, Sept., 2019.
- [12] 濱野 甫, 熊木武志, "一度に 1000 以上のデータ処理を可能にする連想演算回路の開発," 超異分野学会大阪大会 2021, Apr., 2021.
- [13] A. Ahmed and E. Ahmed: A Survey on Mobile Edge Computing, 2016 10th International Conference on Intelligent Systems and Control(2016).
- [14] K. Uchiyama: Power-efficient heterogeneous parallelism for digital convergence, 2008 IEEE Symposium on VLSI Circuits pp.6-9(2008).