シミュレーティッド・アニーリングに向けた ReRAM Computation-in-Memory のマッピング手法の提案

三澤奈央子[†1]　松井千尋[†1]　竹内健[†1]

シミュレーティッド・アニーリング(SA)に向けた ReRAM Computation-in-Memory(CiM)のマッピング手法を提案する．組合せ最適化問題をハミルトニアン(磁性体のエネルギー)に定式化し，さらに量子化を行うことで，ReRAM CiM にマッピングする．これにより，エネルギーの計算を ReRAM CiM の積和演算にて行い，SA アルゴリズムを用いて組合せ最適化問題を解くことができる．ReRAM デバイスは，書き換え回数のストレスによりビット・エラーが起こる．最適解を得る確率(成功確率)により，許容できるビット精度と Bit-error rate, BER を評価した．BER が低ければ許容できるビット精度が 2 ビット向上し，ビット精度が高ければ許容できる BER が 2 倍向上する．

Mapping Method of ReRAM Computation-in-Memory for Simulated Annealing

NAOKO MISAWA[†1]　CHIHIRO MATSUI[†1]　KEN TAKEUCHI[†1]

Mapping method of ReRAM Computation-in-Memory (CiM) for Simulated Annealing (SA) is proposed. Combinatorial optimal problem is formulated and quantized as Hamiltonian, which is magnetic energy, and then mapped into ReRAM CiM. This enables ReRAM CiM to calculate Hamiltonian by multiply-accumulate (MAC) operation and to solve the combinatorial optimal problem by SA algorithm. In ReRAM device, bit-error occurs due to the stress of Set/Reset cycles. Acceptable bit precision and Bit-error rate (BER) are evaluated by the probability of finding the optimal answer of the combinatorial optimal problem (success probability). The result is that low BER improves the acceptable bit precision and high bit precision improves the acceptable BER.

1. はじめに

組合せ最適化問題は，選択肢が増えると組み合わせ爆発が起こり，計算量が爆発的に増加する．そこで，本論文では，組合せ最適化問題を効率的に解くためのアルゴリズムであるシミュレーティッド・アニーリング(SA)[1-3]に向けた，ReRAM(Resistive random access memory)デバイスを用いた Computation-in-Memory(CiM)[4-5]のマッピング方法を提案する[6]. ReRAM デバイスは，書き換え回数が増えると，ビット・エラーが起きる．組合せ最適化問題の最適解を得る確率(成功確率)により，許容できるビット精度と Bit-error rate, BER を評価した．

2. SA に向けた ReRAM CiM のマッピング手法

2.1 ハミルトニアンの定式化と量子化

本論文では，組合せ最適化問題の一つであるナップサック問題を解く(図 1). ReRAM CiM へマッピングするために，まず，ナップサック問題をハミルトニアン(磁性体のエネルギー)へ定式化する．ハミルトニアンは，アイテムの価値を表すコスト関数と，選択したアイテムの総重量をナップサック以内に収めるための重量に関するペナルティ関数からなる(Eq. 1)[7]．次に，定式化したハミルトニアンを二次形式に変形する (Eq. 2)．最後に，二次形式に変形したハミルトニアンの QUBO 行列を量子化する(Eq. 3).

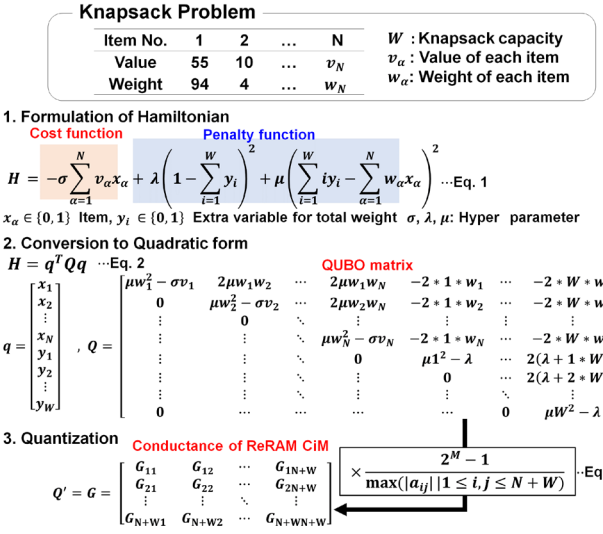

図 1　ハミルトニアンの量子化

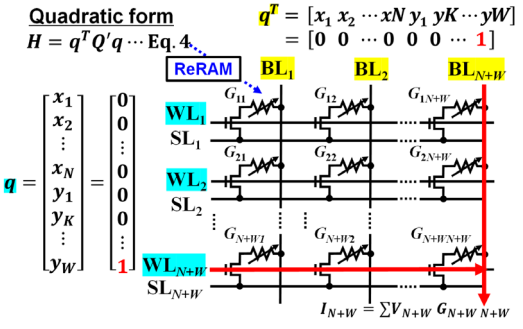

図 2　ReRAM CiM のマッピング

†1 東京大学大学院工学系研究科電気系工学専攻
Dept. of Electrical Engineering and Information Systems, Graduate School of Engineering, The University of Tokyo

ⓒ 2021 Information Processing Society of Japan

2.2 ReRAM CiM のマッピング

量子化したハミルトニアンを ReRAM CiM にマッピングする(図 2). ハミルトニアン(Eq. 4)の q^T, Q', q は，それぞれ Bit-line(BL), ReRAM のコンダクタンス, Word-line(WL)に対応する. q^T と q の要素は，BL および WL においては，0 を Low，1 を High で表し，ReRAM CiM の積和演算によりエネルギーが計算できる[4-5]. 温度減少に従い繰り返しエネルギーを計算し，温度が最小になったときに，最適解が求まる.

3. ReRAM CiM による SA 結果

3.1 ReRAM デバイス特性と SA

図 3 に，ReRAM の書き換え回数における測定電流値の累積度数分布を示す. ReRAM は書き換え回数が増えると Low resistance state(LRS)の BER は増加する. 一方，High resistance state(HRS)の BER は低い[8]. 図 4 に，10 ビット

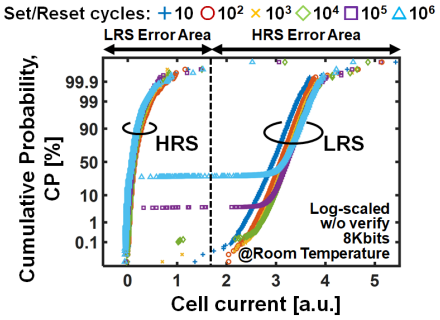

図 3 ReRAM の書き換え回数における測定電流値分布

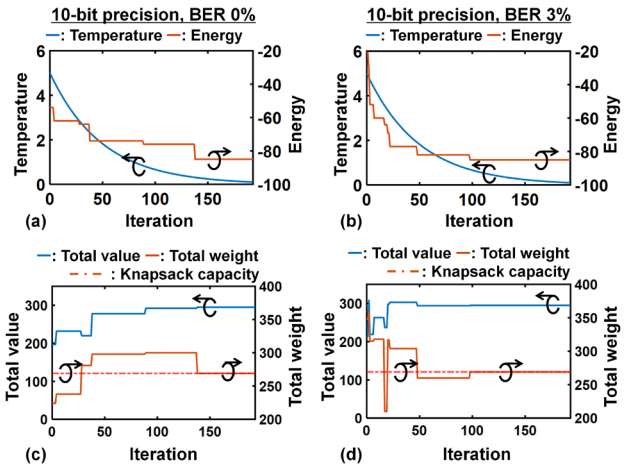

図 4 ReRAM CiM による SA 結果
(a)(c)BER=0%. (b)(d)BER=3%.
(a)(b)温度とエネルギー変化. (c)(d)総重量と総価値

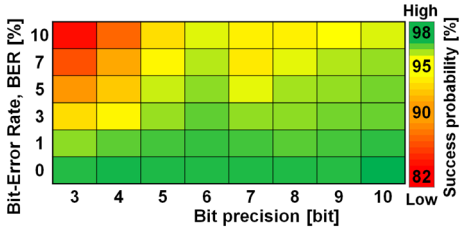

図 5 ReRAM CiM のビット精度と BER における成功確率

精度の ReRAM CiM による SA 結果を示す. BER は, (a)(c)0%, (b)(d)3%である. (a)(b)の温度とエネルギーの変化を見ると，BER が 3%の場合も，BER が 0%の場合と同様にエネルギーが最小化されることがわかる. また，エネルギーの最小化と同様に，(c)(d)の総価値と総重量も最終的に同じ値が得られる. つまり，3%の BER は許容され，最適解が求まる.

3.2 ReRAM CiM のビット精度と BER の成功確率の評価

図 5 に，ReRAM CiM のビット精度と BER における SA 結果の成功確率を示す. 成功確率は，同じナップサック問題を 1,000 回解き，最適解を得た割合と定義した. 10 ビット精度では，BER が 10%でも成功確率が 95%以上となる. 3 ビット精度では，成功確率 95%以上を満たすためには，BER は 1%以下にする必要がある. 言い換えれば，BER を 1%以下に出来れば，ビット精度を 3 ビットまで小さくすることができる.

4. おわりに

本論文では，組合せ最適化問題の一つであるナップサック問題を ReRAM CiM にマッピングする方法を提案した. SA における ReRAM CiM のビット精度と BER の影響を，ナップサック問題を解く際の成功確率にて評価した. その結果，BER が低ければ許容できるビット精度が 2 ビット向上し，ビット精度が高ければ許容できる BER が 2 倍向上する.

謝辞 安原隆太郎さん，三河巧さんの協力に深謝します. この成果は，国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものです.

参考文献

1) S. Kirkpatrick, C. D. Galatt Jr. and M.P. Vecchi, “Optimization by Simulated Annealing,” *Science*, vol. 220, pp. 671–680, May 1983.
2) S. Matsumoto, H. Gyoten, M. Hiromoto and T. Sato, “RRAM/CMOS-Hybrid Architecture of Annealing Processor for Fully Connected Ising Model,” IEEE International Memory Workshop (IMW), May 2018, pp. 1-4.
3) H. Gyoten, M. Hiromoto and T. Sato, “Enhancing the Solution Quality of Hardware Ising-Model Solver via Parallel Tempering,” IEEE/ACM International Conference on Computer-Aided Design (ICCAD), Nov. 2018, pp. 1-8.
4) R. Mochida et al., “A 4M Synapses integrated Analog ReRAM based 66.5 TOPS/W Neural-Network Processor with Cell Current Controlled Writing and Flexible Network Architecture,” IEEE Symposium on VLSI Technology, June 2018, pp. 175-176.
5) R. Yasuhara *et al*., “Reliability Issues in Analog ReRAM Based Neural-Network Processor,” *IEEE International Reliability Physics Symposium* (*IRPS*), March 2019, pp. 1-5
6) K. Taoka, N. Misawa, S. Koshino, C. Matsui and K. Takeuchi, “Simulated Annealing Algorithm & ReRAM Device Co-optimization for Computation-in-Memory,” *IEEE International Memory Workshop* (*IMW*), May 2021, pp.119-122.
7) A. Lucas, “Ising formulations of many NP problems,” Frontiers in Physics, vol. 2, pp. 1-15, Feb. 2014.
8) K. Kawai, et al., “Highly-reliable TaOX ReRAM Technology using Automatic Forming Circuit,” IEEE International Conference on IC Design & Technology (ICICDT), May 2014, pp. 1-4.

ⓒ 2021 Information Processing Society of Japan