

しきい値電圧差を利用した 時間領域処理による広い電源電圧で動作する CMOS 温度センサ

原田 彰吾^{1,a)} イスラム マーフズル¹ 久門 尚史¹ 和田 修己¹

概要: 近年, IoT デバイスなどの限られた供給エネルギーの下で, 広い電源電圧で動作が可能な低消費エネルギーの温度センサが求められている. 低エネルギーで広い電圧動作の実現には, 従来安定した参照電圧が使われるが, オンチップでの電圧生成と分配及び変換にエネルギーが消費される. また, デバイスの選択に使われるスイッチの特性がセンシング性能を悪化させるため, スイッチにおける面積オーバーヘッドが大きくなる. 本稿では, これらの問題を解決するために, 特定のしきい値電圧の差を持つトランジスタ及びコンパレータを利用した時間領域処理によるセンシング方式を提案する. 本稿では提案温度センサの動作を商用の 65nm プロセスを想定した回路シミュレーションにより確認し, 文献の温度センサに対して最も高いエネルギー効率を実現できることを確認する.

Time-domain Wide-supply-voltage CMOS Temperature Sensor utilizing Threshold Voltage Difference

SHOGO HARADA^{1,a)} MAHFUZUL ISLAM¹ TAKASHI HISAKADO¹ OSAMI WADA¹

Abstract: Recently, the need for low-power temperature sensors that can operate under wide supply voltage has been increasing. Voltage reference is commonly used to achieve wide voltage range operation. However, generation and distribution of reference voltage across the chip causes area and energy overhead. In addition, ON resistance of switch transistors at low voltage increases preventing low voltage operation. To solve the above problems, we propose a time-domain temperature sensor that chooses a suitable pair of MOSFETs so that additional bias voltage is not required. Furthermore, the conversion of MOSFET current to delay is performed only when the switch resistances are low utilizing different threshold comparators. Simulation results based on a commercial 65 nm process confirm our proposed sensor. The sensor achieves energy-efficient temperature sensing and wide voltage operation.

1. 序論

近年, IoT(Internet of Things) デバイスなどの限られた供給エネルギーの下で動作が可能な低消費エネルギーの温度センサが求められている. このようなシステムにおいて電源電圧に制約をもたず, 広い電源電圧で動作することが望まれる. 広い電源電圧動作を実現する方法として, 参照電圧を利用する方法が一般的である. しかし安定した参照

電圧の生成にエネルギーが消費される. また, システムオンチップ (SoC) において参照電圧がある場合でも, 参照電圧の分配にエネルギーが消費され, かつ所望の電圧レベルへの変換には面積と消費エネルギーのオーバーヘッドが発生する. そこで, 参照電圧を利用せず, しきい値電圧差を参照電圧の代わりに利用する方法が提案されている [1]. この手法では, [2] で提案された固定のゲートソース間電圧を利用した方式と異なり, 特定のしきい値電圧差を持つ MOSFET の組を統計的にする. その結果, 特定のアナログ電圧のオンチップ生成が不要となり, 消費エネルギーのさらなる削減が期待される. しかし, [1] の方法ではスイッ

¹ 京都大学大学院工学研究科 電気工学専攻
Department of Electrical Engineering, Graduate School of Engineering, Kyoto University
^{a)} harada@cct.kuee.kyoto-u.ac.jp

チのツリー構造を使っており、低い電源電圧での動作が困難となる。また、所定のパスの電流を増やすために、バイアス電圧を利用している。この方式では、バイアス電圧の値には依存しないが、バイアス電圧生成回路における温度依存性や電源電圧依存性が温度センサのエラーを増大させてしまう。本稿では、これらの問題を解決するために次の2つの方式を提案する。

- (1) 多数のトランジスタの中からしきい値電圧の低いトランジスタ組を選択することによりバイアス電圧なしでも大きな電流を実現する
- (2) 電流から遅延への変換の際、スイッチのゲートソース間電圧が大きい遅延区間を使用する

本稿では以上の方式を採用した温度センサの動作を商用の65nmプロセスを想定した回路シミュレーションにより確認し、温度センシングエラーを調べる。本温度センサはMOSFETのリーク電流を利用し、1回のセンシングに0.065 nJのエネルギーを消費する。^{*1}このエネルギー効率には世界に最も高いエネルギー効率であり、IoTデバイスのみではなく、チップ内の複数箇所の温度モニタリングへの応用も期待できる。

本論文の構成を示す。第2章に、提案する温度センサの原理を述べる。第3章に、所望のしきい値電圧を持つMOSFETの選出の原理を述べる。第4章に、温度センサ回路の設計について述べる。第5章に、温度センサ回路のシミュレーション結果について述べる。第6章に本稿の結論を述べる。

2. 温度センサ原理

2.1 しきい値電圧差の設定によるPTAT特性の実現

本温度センサの温度センシングの基本原理を述べる。本原理は文献[2]を参考としたものである。図1に示すように、しきい値電圧 V_{th1} , V_{th2} ($V_{th1} < V_{th2}$) を持つ2つのMOSFETがあるとす。これらの差を $\Delta V_{th} = V_{th1} - V_{th2}$ とおく。このときそれぞれのMOSFETはサブスレッショルド領域にあり、それぞれのドレイン電流 I_1 , I_2 は以下のように近似できる。

$$I_1 \simeq K \exp\left(\frac{-V_{th1}}{nkT/q}\right), \quad (1)$$

$$I_2 \simeq K \exp\left(\frac{-V_{th2}}{nkT/q}\right). \quad (2)$$

ここで T は絶対温度、 K はMOSFETのアスペクト比及びプロセスに依存する係数、 n はサブスレッショルド係数、 k はボルツマン定数、 q は電荷素量である。これらの電流比をとると、 T は以下の式で表される。

$$T \simeq \Delta V_{th} \cdot \frac{q}{nk} \ln\left(\frac{1}{I_2/I_1}\right). \quad (3)$$

^{*1} コア部のみ。制御部は含まない。

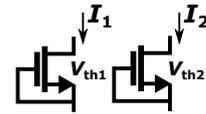


図1 しきい値電圧差 $\Delta V_{th} = V_{th1} - V_{th2}$ を持つ2つのMOSFET.

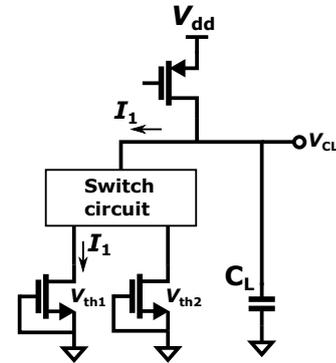


図2 温度センサ基本回路.

ここで ΔV_{th} がある範囲にあるとき、目的とする温度範囲内^{*2}において電流比 I_2/I_1 の近似的なPTAT(Proportional To Absolute Temperature)特性

$$T \propto \frac{I_2}{I_1}. \quad (4)$$

が得られる。

2.2 時間領域でのPTAT出力の処理

以上で述べた方式により温度センシングを実現するには、電流比 I_2/I_1 を測定することが必要である。しかしMOSFETに流れる電流値をオンチップで測定するには精度の高いADCが必要となるなど、実装面積や消費電力の増加をもたらす。そこでこの電流比 I_1 , I_2 を、時間領域で測定できるものに変換する。図2に示すように、2つのMOSFETをスイッチ回路を介してキャパシタCに接続する。スイッチ回路によりMOSFETへの放電経路を選択し、あらかじめ電源電圧 V_{dd} に充電しておいたキャパシタ C_L の電荷の放電を行う。このときそれぞれのMOSFETについて、 V_{CL} が V_{dd} からある値まで減少するのに要する時間を t_1 , t_2 とおくと、その比は

$$\frac{t_1}{t_2} \propto \frac{I_2}{I_1} \propto T \quad (5)$$

となり、時間比のPTAT特性が得られる。

2.3 電源電圧依存性の改善

図2の回路を構成するにあたり、スイッチトランジスタには図3に示すようにON時にはゲートに V_{dd} を与える。このとき V_{CL} が V_{dd} に近い時、スイッチトランジスタのソース電位が高いためオーバードライブ電圧 $V_{gs} - V_{th}$ が小さく、スイッチトランジスタのドレイン-ソース間に無視

^{*2} 本温度センサでは0~100°Cの温度レンジを考える。

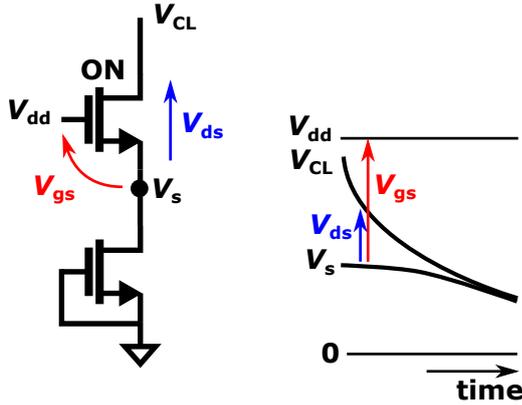


図 3 ON 状態のスイッチトランジスタの電圧降下.

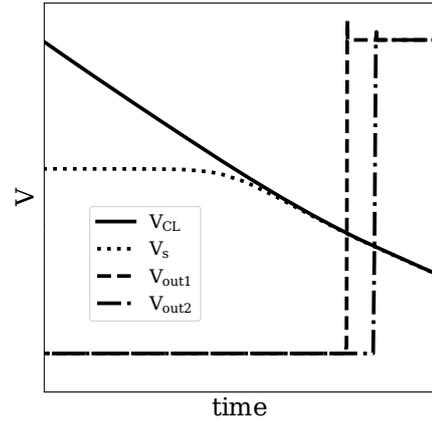


図 5 V_{CL} , V_s , V_{out1} , V_{out2} の波形.

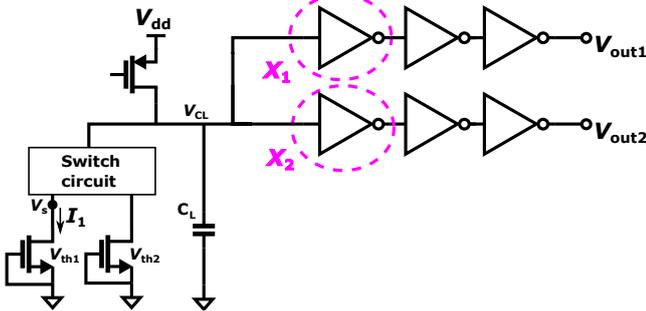


図 4 電源電圧依存性を改善した回路.

できない大きさの電圧降下が発生する。これにより上で述べた時間比 t_1/t_2 の PTAT 特性が電源電圧に依存して変化する。

そこでキャパシタ電荷の放電時間として、 V_{CL} が V_{dd} に対して十分小さい時に、 V_{CL} がある値からある値まで減少するのに要する時間を測定することとする。これによりスイッチトランジスタの ON 抵抗が無視できるため、PTAT 特性の電源電圧依存性が改善される。2つの MOSFET についてのこの時間をそれぞれ d_1 , d_2 とおくと、これらの比は近似的に

$$\frac{d_1}{d_2} \propto \frac{I_2}{I_1} \propto T \quad (6)$$

となり、PTAT 特性が実現される。PTAT 特性の電源電圧依存性を改善した回路が図 4 である。この回路では、電源電圧に対して十分小さい、異なる論理しきい電圧を持つ 2つのインバータの入力に V_{CL} を与え、これらのインバータの状態が反転する時間の差を測定する。 V_{CL} 、スイッチのソース電位 V_s 、 V_{out1} 、 V_{out2} の波形を図 5 に示す。2つの論理しきい電圧を利用して V_{CL} の大きさのしきい値を判定するため、レファレンスが不要となる。

3. MOSFET の選出

本温度センサ方式の実現のため、ある特定のしきい値電圧を持つ MOSFET を多数の MOSFET の中から統計的に選出する。しかしオンチップで MOSFET のしきい値電圧を直接測定するには高精度の ADC が必要となり、

消費電力、実装面積のオーバーヘッドをもたらす。そこでチップ上に作製した MOSFET のしきい値電圧が、プロセスと MOSFET の寸法に依存する標準偏差の正規分布に従ってばらつく [3], [4] という性質を用いる。しきい値電圧の分布が既知であるため、所望とするしきい値電圧を持つ MOSFET の選出には、作製した全 N 個の MOSFET をしきい値電圧についてソートすることができればよい。

N 個の MOSFET がしきい値電圧の順にソートされるとする。しきい値電圧 V_{th1} , V_{th2} ($V_{th1} < V_{th2}$) をこの中から選出することを考える。しきい値電圧が確率分布関数 $F(x)$ の正規分布に従ってばらつくとする、このとき所望の MOSFET の順位 m , n は、

$$m = \lfloor N \times F(x_1) \rfloor \quad (7)$$

$$n = \lfloor N \times F(x_2) \rfloor \quad (8)$$

で求められる。

ここで N 個の MOSFET のうち i 番目と j 番目のサブスレッショルド電流を I_i , I_j とすると、近似的に

$$I_i \simeq K \exp\left(\frac{-V_{thi}}{nkT/q}\right), \quad (9)$$

$$I_j \simeq K \exp\left(\frac{-V_{thj}}{nkT/q}\right). \quad (10)$$

となり、これらの比は

$$\frac{I_j}{I_i} \simeq \exp\left(\frac{V_{thi} - V_{thj}}{nkT/q}\right). \quad (11)$$

となる。さらにこれらの MOSFET について、(2.3) 節で示したようにあるキャパシタの電荷を一定値から一定値まで放電するのに要する時間をそれぞれ d_i , d_j とすると、

$$\frac{d_i}{d_j} \simeq \frac{I_j}{I_i} \simeq \exp\left(\frac{V_{thi} - V_{thj}}{nkT/q}\right). \quad (12)$$

と表され、時間 d としきい値電圧 V_{th} の順位は対応する。これを利用し、 N 個の MOSFET を時間 d の順にソートすることで、しきい値電圧に関するソートを行う。したがっ

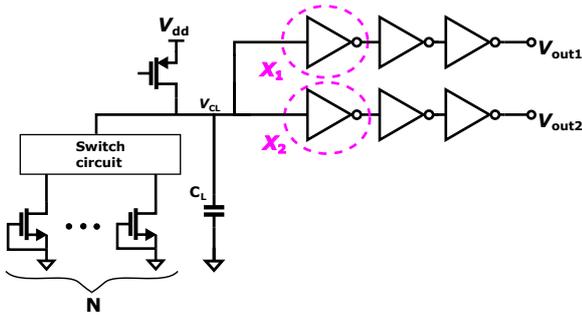


図 6 しきい値電圧に関してソートを行うための回路方式.

て各 MOSFET について時間 d がわかればよい. このために図 6 に示す様に全 N 個の MOSFET への放電経路をスイッチ回路によって選択し, それぞれの MOSFET について (2.3) 節で示した方法で時間 d を順に測定する. 温度センシングの際は, 以上の方法で図 6 の回路により選出した MOSFET への経路をスイッチ回路によって選択することで図 4 の回路を構成する. これら N 個の MOSFET を, 以後 DUT MOSFET と呼ぶこととする.

4. 回路設計

4.1 選出する MOSFET のパラメータ決定

DUT MOSFET の寸法と, 選出する 2 つの MOSFET のパラメータを決定する. DUT MOSFET は図 4, 図 6 に示すようにゲートバイアスゼロの状態で作動させる. しかしドレイン電流が他のリーク電流に対して相対的に小さくなるため, 所望の回路特性を得ることが難しくなる. そこでしきい値電圧を小さくすることを考える. しきい値電圧を小さくすることで, ドレイン電流をリーク電流に対して相対的に大きくすることができる.

まず, DUT MOSFET のしきい値電圧のゲート長変調を利用する. 本温度センサで用いる CMOS プロセスにおける MOSFET はゲート長が長くなるほどしきい値電圧 V_{th} が小さくなる特性を持つ. MOSFET のしきい値電圧の分布の標準偏差 σ はゲート面積が小さくなるほど大きくなる [4] ため, 広いしきい値電圧の分布を得るにはゲート面積を小さくすることが望ましいが, 以上の理由によりゲート長を最小寸法よりも長くすることを考える.

次に, 選出する DUT MOSFET のしきい値電圧を低めに設定することを考える. 本温度センサにおいて PTAT 特性を得る基本原理は式 (3) に示すように 2 つの MOSFET のしきい値電圧差 $\Delta V_{th} = V_{th1} - V_{th2}$ を調整することで PTAT 特性を得る. これら 2 つのしきい値電圧 V_{th1} , V_{th2} の中央値をしきい値電圧の分布の平均値 μ よりも低めに設定する. 2 つのしきい値電圧 V_{th1} , V_{th2} の中央値の, 分布の平均値 μ に対する差を $V_{th_offset} (< 0)$ と呼ぶこととする. [1] では図 7 のようにしきい値電圧の分布の中央値に対して対称な位置から V_{th1} , V_{th2} を得るため, MOSFET にゲートバイアス電圧を必要とする. 本方式では図 8 に示

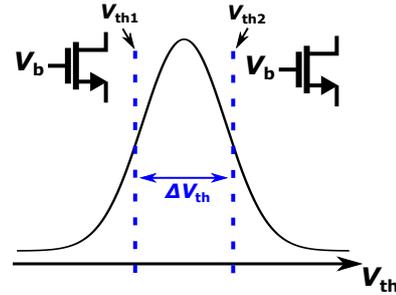


図 7 文献 [1] において選出されるしきい値電圧 V_{th1} , V_{th2} .

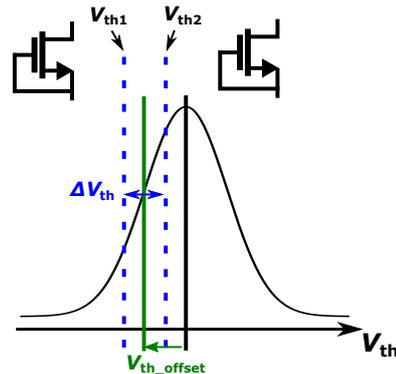


図 8 本方式において選出されるしきい値電圧 V_{th1} , V_{th2} .

すように V_{th_offset} を設けることで MOSFET のゲート電圧を不要とする. V_{th_offset} の絶対値が大きくなるほど選出した DUT MOSFET のオーバードライブ電圧が増え, PTAT 特性はよくなるが, しきい値の分布の平均値 μ からより離れた箇所のしきい値電圧 V_{th1} , V_{th2} を選出することになるため統計的に必要とされる DUT MOSFET の数 N が多くなる. そこで V_{th_offset} を変化させ, それぞれの V_{th_offset} において最適な ΔV_{th} に設定したときに必要な DUT MOSFET の数 N^{*3} が 2000 程度となる V_{th_offset} を調べ, このときに最適となる ΔV_{th} を用いる.

4.2 スイッチ回路の設計

全 N 個の MOSFET への電荷の放電パスを選択するスイッチ回路の設計を行う. スイッチ回路として, 図 9 に示すように, 放電を行う各 MOSFET に 1 つずつスイッチ用 MOSFET を直列に接続したものが考えられる. しかし図 9 中の MOSFET 数 N は 2000~3000 程度であるため, リーク電流が電荷放電特性に大きな影響を与える. そこで後で図 10 に示すようなツリー型のスイッチ回路を採用する. 分岐構造を用いることで, OFF 経路へ流れるリーク電流は ON 経路と分岐した数の和となり, リーク経路数を大幅に抑えられる. さらに上段の方で分岐した OFF 経路についてはスイッチ抵抗が大きいためリーク電流がさらに小さくなる. しかし段数が大きくなるほど, ON スイッチのも

*3 疑似的に正規分布に従ってばらつかせた中から選出した数値 V_{th1} , V_{th2} の差 ΔV_{th} の 95% 信頼区間が ± 5 mV 以内に収まるのに必要な N .

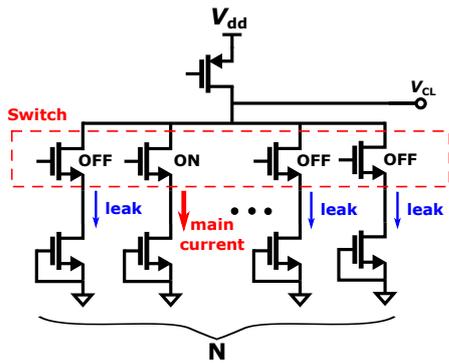


図 9 リーク電流が与える影響が大きいスイッチ回路.

つ電圧降下が放電特性に影響を与える．これらを考慮してスイッチ回路の段数を決定する．

4.3 温度センサ全体構成

図 10 に，温度センサコア部の回路図を示す．電荷の放電を行う DUT MOSFET，放電経路の選択を行うスイッチ回路，電荷充電の制御を行う pMOSFET，充放電時の電圧 V_{CL} のしきい値判定を行うインバータからなる．インバータ X_1 ， X_2 は電荷放電時間測定の際の始まりと終わりの時にそれぞれインバータ X_1 ， X_2 の状態が反転する．

図 11 に，制御部を含めた温度センサ全体構成を示す．インバータ X_1 ， X_2 の反転時刻差 d をカウンタ回路によってデジタル変換し，温度センシングの際は除算回路 (Divider) により時間比 d_1/d_2 の演算を行い，PTAT な出力をデジタル出力する．MOSFET 選出の際は X_1 ， X_2 の反転時刻差 d をソート回路によってソートし，所望の順位にある MOSFET のインデックスを得る．

4.4 制御部の設計

4.4.1 カウンタ回路

インバータ X_1 の出力が反転してから X_2 の出力が反転するまでの時間を，入力クロックによりカウントする．実装面積は $142 \mu\text{m}^2$ である．

4.4.2 スイッチコントローラ

スイッチ回路内の各 MOSFET のゲート入力を制御することで， N 個の DUT MOSFET への電荷放電経路の選択を行う．実装面積は 0.024mm^2 である．

4.4.3 除算回路

温度センシングの際，時間比 d_1/d_2 の演算を行う．この値は PTAT なデジタル値として温度センサ出力となる．除算には回復法アルゴリズムを用い，桁数にほぼ比例したクロックを要して除算を行う [5]．実装面積は $316 \mu\text{m}^2$ である．

4.4.4 ソート方式

MOSFET 選出の際，全 N 個の MOSFET についての電荷放電時間 d をソートし，所望の順位にある MOSFET のインデックスを出力する．アルゴリズムとして，全 N 個

の MOSFET についての d をレジスタに保存してからソートを行う方法，1 位ずつ順位を確定させ，そのたびに順位が確定していない MOSFET の d を測定し直す方法が考えられる．1 つの MOSFET についての d の測定に要する時間は数十～数百 μs である．前者の方法では d の測定は各 MOSFET について一度ずつで済むため，ソートに要する時間は 1 つの MOSFET についての測定時間の N 倍程度で済むが，16bit の d データを N 個分保存するためのレジスタが必要であり，実装面積が大きくなる．対して後者の方法では，1 位ずつ順位を確定させるたびに各 MOSFET の d を測定し直すため d 保存用のレジスタは 2 個で済む．しかしソートに要する時間が N が 2000 程度の場合，数十～数百秒程度となる．そこで d 保存用レジスタを 10 個とし，10 位ずつ順位を確定させるたびに各 MOSFET の d を測定し直す方法をとる．本方式のフローチャートを図 12 に示す．10 位ずつ順位を確定させるため，1 位ずつ確定させる方法に比べ d の測定回数は $1/10$ 程度となる．実装面積は 0.027mm^2 である．

5. シミュレーション

5.1 コア部消費電力

図 10 に示される温度センサコア部の消費エネルギーは，シミュレーションの結果，1 回のセンシングで 0.68nJ である．またコア部において，1 回のセンシングに要する時間は 0.34ms である．従ってコア部の消費電力は $2.01 \mu\text{W}$ である．

5.2 温度センシングエラー

本温度センサ方式は実装時にチップにより DUT MOSFET のしきい値電圧の分布が異なるため，選出されるしきい値電圧の組 (V_{th1}, V_{th2}) もチップによりばらつく．そこで以下の方法でシミュレーションを行い，発生する温度センシングエラーの確認を行う．

5.2.1 シミュレーション方法

設定した DUT MOSFET の数と選択するしきい値電圧の組において，選出されるしきい値電圧 V_{th1} ， V_{th2} の差 ΔV_{th} の 95% 片側信頼区間は 5mV となる．この値を MOSFET のしきい値電圧パラメータに与え，温度センシングのシミュレーションを行うことで 95% 信頼度で発生するエラーの幅を確認する．^{*4}

5.2.2 結果

MOSFET のしきい値電圧差 ΔV_{th} が 95% 信頼区間の最悪値にある場合の温度センシングエラーを図 13 に示す．2 点キャリブレーションを行い， $0 \sim 100 \text{ }^\circ\text{C}$ の温度範囲で電源電圧 0.8V において発生するエラーは 95% 信頼度で

^{*4} MOSFET 選出の際の DUT MOSFET のしきい値電圧と放電時間 d の相関関係における順位の入替わり，及び温度センシングの際の各素子のばらつきは考慮しない．

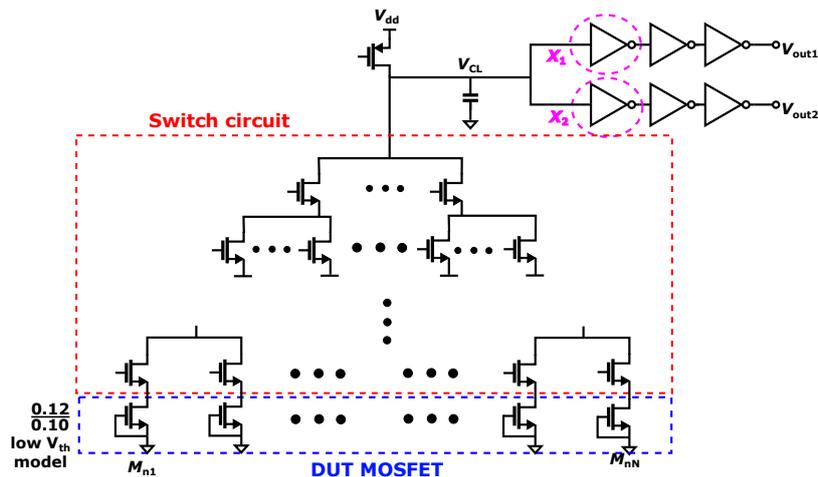


図 10 温度センサ コア部.

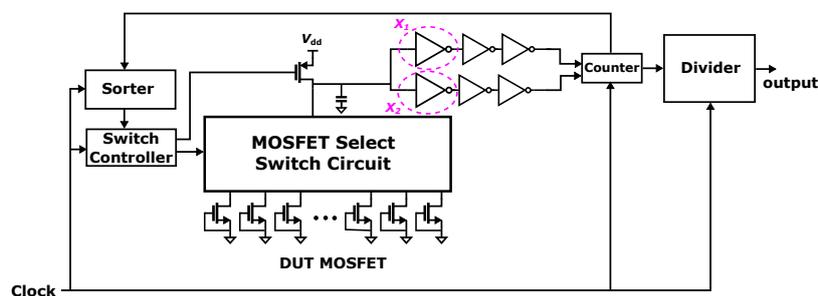


図 11 制御部を含めた温度センサ全体構成.

-2.5/1.4 °C である.

5.3 電源電圧依存性

理想的なしきい値電圧の組 (V_{th1}, V_{th2}) が選出された場合のしきい値電圧パラメータを MOSFET に与え、20 °C、電源電圧 0.6 ~ 1.0 V における温度センシングエラーから Line sensitivity [°C/V] を測定する. この場合、各素子のばらつきは考慮しない. シミュレーションの結果、20 °C、電源電圧 0.6 ~ 1.0 V においてエラー幅 -0.4/2.6 °C、Line sensitivity 7.6 °C/V が得られる.

5.4 他文献との比較

提案温度センサのシミュレーション結果をもとに他文献との比較を表 1 に示す.

6. 結論

本稿では MOSFET のしきい値電圧差を利用した従来の温度センサの広い電圧動作を実現する工夫を提案した. 提案方式では、しきい値電圧分布の中でしきい値電圧の低い 2 つ MOS トランジスタを選択することにより、バイス電圧を不要とした. 次に、ゲートソース間電圧が高い状態において遅延測定を行うことによりスイッチトランジスタの影響を抑えた. 提案方式による温度センサ回路を商用の 65 nm プロセスを想定したモデルを用いてシミュレ

ションし、センシングエラーは 95%信頼区間の最悪値で -2.5/1.4 °C であることを確認した. 1 回のセンシングあたりの消費エネルギーは 0.07 nJ である. 本温度センサは供給エネルギーの限られたバッテリー駆動のチップなどへの搭載が期待できる.

参考文献

- [1] S. Harada, M. Islam, T. Hisakado, and W. Osami, "MOSFET の統計的選択によるレファレンス不要な CMOS 温度センサの設計," 信学技報, vol. 119, no. 282, pp. 51-56, 2019.
- [2] W. Zhao, R. Pan, Y. Ha, and Z. Yang, "A 0.4V 280-nW frequency reference-less nearly all-digital hybrid domain temperature sensor," *Proceedings - 2014 IEEE Asian Solid-State Circuits Conference, A-SSCC 2014*, pp. 301-304, 2015.
- [3] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of 5σ V_{th} fluctuation in 65nm-MOSFETs using takeuchi plot," *2008 Symposium on VLSI Technology*, pp. 156-157, June 2008.
- [4] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1439, Oct 1989.
- [5] 鈴木 昌治, デジタル数値演算回路の実用設計 : 四則演算, 初等超越関数, 浮動小数点演算の作りかた, ser. Design Wave Advance. CQ 出版, 2006.
- [6] T. Someya, A. K. M. Islam, T. Sakurai, and M. Takamiya, "An 11-nW CMOS temperature-to-digital converter uti-

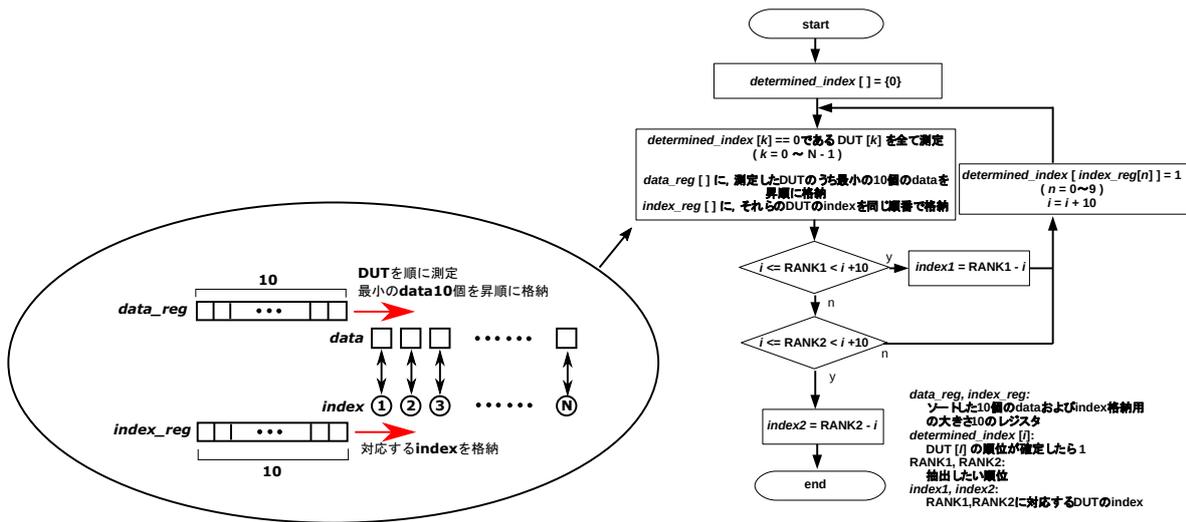


図 12 ソート方式.

表 1 温度センサ特性の比較.

	本センサ	[2]	[6]	[7]	[8]
Process	65 nm	65 nm	180 nm	180 nm	55 nm
Type	MOSFET	MOSFET	MOSFET	MOSFET	MOSFET
Range (°C)	0~100	0~100	-20~80	0~100	-40~125
Error (°C)	-2.5/1.4 ^{*1a,4,5}	-1.6/1.0 ^{*1a}	-0.9/1.2 ^{*1a}	-1.4/1.5 ^{*1a}	-0.7/0.7
Energy/Conversion (nJ)	0.065 ^{*3c}	7.0	8.9	2.2	12.2
Conversion time(ms)	2.4 ^{*3c}	25	839	30	1.31
Power (μW)	0.028 ^{*3c}	0.280	0.011	0.071	9.3
Area (mm ²)	Not evaluated	0.022 ^{*3a}	0.074 ^{*3a}	0.09 ^{*3a}	0.00177 ^{*3b}
Resolution (mK)	Not evaluated	250	145	300	16 ^{*2a}
Line sensitivity (°C/V)	7.6 ^{*5} (0.6~1.0V)	- ^{*6}	3.8 (0.7~1.5 V)	14 (1.0~1.4 V)	2.53 ~ 5.22, (0.8 ~ 1.3 V)

*1^a Peak to Peak

*1^a 3σ

*3^a Total area

*3^b コア部+ADC/FDC を含めたもの. ただしその他の制御部は除く.

*3^c 制御部は含まない. 電源電圧 0.8 V, 20 °C.

*4 95%信頼性区間の最悪値.

*5 スイッチのばらつきがない場合.

*6 電源電圧 0.4 V に限定.

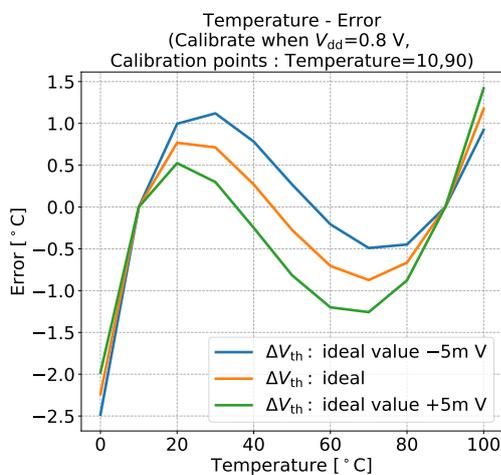


図 13 温度センシングエラー.

lizing sub-threshold current at sub-thermal drain voltage,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 3, pp. 613–622, 2019.

[7] S. Jeong, Z. Foo, Y. Lee, J. Y. Sim, D. Blaauw, and D. Sylvester, “A fully-integrated 71 nW CMOS temperature sensor for low power wireless sensor nodes,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 8, pp. 1682–1693, 2014.

[8] Z. Tang, S. Member, Y. Fang, S. Member, Z. Shi, X. P. Yu, N. N. Tan, S. Member, and W. Pan, “A 1770- μm² leakage-based digital temperature sensor with supply sensitivity suppression,” *IEEE Journal of Solid-State Circuits*, pp. 1–13, 2019.