コンパレータのオンチップ選択機構を有する順序統計に基づいたフラッシュ型ADCの設計

北村 健浩[1,a)]　イスラム マーフズル[1]　久門 尚史[1]　和田 修己[1]

概要：無線通信の高速化によって数 GS/s 程度の高速なフラッシュ型 ADC が求められているが，微細プロセスでは MOSFET の特性ばらつきが大きく小面積と線形性の両立が難しい．本研究では特性ばらつきを活用し，順序統計に基づきオフセット電圧の順位でコンパレータを選択するフラッシュ型 ADC を提案する．提案方式ではオフセット電圧の相対関係を推定するコンパレータ選択機構を用いるため，小面積かつオンチップで実装できる．商用の 65 nm プロセスを想定した回路シミュレーションにより提案方式を実現するコンパレータ選択機構とコンパレータの動作検証を行い，線形性を評価する．分解能が 5 bit，動作周波数が 2 GHz の場合，消費電力がコンパレータ部で 512 μW と低消費電力であり，IoT など限られた電力下での使用が期待できる．

キーワード：フラッシュ型 ADC，順序統計，オフセット電圧，オンチップ

Design of Flash ADC Based on Order Statistics with On-chip Comparator Selection

Takehiro Kitamura[1,a)]　Mahfuzul Islam[1]　Takashi Hisakado[1]　Osami Wada[1]

Abstract: Gigasample per second flash ADC is required for high-speed wireless communication systems. However, it is difficult to achieve both of low area and high linearity because of the increase of random mismatch in sub-micron process. In this research, we propose a flash ADC that utilizes the random mismatch by selecting comparators based on order statistics. The use of order statistics allows us to estimate the offset voltage in the time-domain. Thus, comparator selection mechanism can be implemented on-chip with small area. We verify our proposed comparator selection mechanism by using HSPICE simulation based on a commercial 65 nm process and evaluate the ADC performance. Our proposed architecture realizes a 5-bit ADC with power consumption of 512 μW at 2 GS/s.

Keywords: Flash ADC, Order Statistics, Offset Voltage, On-chip

1. 序論

無線通信の高速化によって数 GS/s 程度の高速なフラッシュ型 ADC が求められている [1]．しかし，微細プロセスでは MOSFET の特性ばらつきが大きく小面積と線形性の両立が難しい．図 1 に示す一般的なフラッシュ型 ADC では，MOSFET のサイズを大きくして特性ばらつきを抑制するように設計するのが一般的である．しかし，実装面積の増大は寄生容量を増大させるため，消費電力が大きい．また，高精度な抵抗ラダーが必要であるため実装面積と消費電力はさらに大きくなる．

特性ばらつきを抑制するのではなく利用するフラッシュ型 ADC が提案されている [2], [3]．文献 [2] の ADC は等間隔のオフセット電圧を参照電圧とすることで抵抗ラダーが不要で低消費電力動作を実現している．しかし，この方式はオフセット電圧の高精度な測定回路が必要であり，オンチップで実現するのは難しい．文献 [3] では正規分布の

1 京都大学大学院工学研究科電気工学専攻
Department of Electrical Engineering, Graduate School of Engineering, Kyoto University
a) kitamura@cct.kuee.kyoto-u.ac.jp

ⓒ 2020 Information Processing Society of Japan

累積関数を利用したフラッシュ型 ADC が提案されている．この方式ではコンパレータを最小サイズで設計できるが，必要数以上のコンパレータが動作するため消費電力削減の余地がある．

本研究では，特性ばらつきの本質的な解決策として，順序統計に基づきオフセット電圧の順位でコンパレータを選択するフラッシュ型 ADC を提案する．提案方式ではオフセット電圧を参照電圧とするため抵抗ラダーが不要である．また，高性能な DAC(Digital-to-Analog Converter) を用いずにオフセット電圧の相対関係を推定するコンパレータ選択機構を用いるため，小面積かつオンチップで実装できる．さらに，コンパレータを最小サイズで設計可能で冗長なコンパレータを動作させないため，低消費電力の ADC を実現できる．

本論文の構成を次に示す．第 2 章では順序統計に基づいたフラッシュ型 ADC を提案し，理論検討を行う．第 3 章では提案方式に用いるコンパレータについて述べる．第 4 章では提案方式について回路シミュレーションにより動作と性能を確認し，提案方式の有効性を示す．最後に第 5 章で本稿の結論を述べる．

2. 順序統計に基づいたフラッシュ型 ADC

2.1 提案する ADC におけるコンパレータの選択法

提案する ADC では，等間隔なオフセット電圧を持つコンパレータを抽出することでフラッシュ型 ADC を実現する．図 2 に提案する ADC の構造を示す．提案方式におけるコンパレータの選択法は次のとおりである．サイズが同じコンパレータが n 個あり，この中から $2^N - 1$ 個を選ぶことを考える．ただし，N は ADC の分解能を表す．まず，コンパレータをオフセット電圧の大小で昇順にソートする．コンパレータのオフセット電圧 $V_{\mathrm{os}\,1}, V_{\mathrm{os}\,2}, \cdots V_{\mathrm{os}\,n}$ が期待値 $\mu = 0$，標準偏差 σ_{os} の正規分布に従っているとすると，オフセット電圧の確率密度関数 $f(v_{\mathrm{os}})$ と累積関数 $F(v_{\mathrm{os}})$ は次のように表せる．

$$f(v_{\mathrm{os}}) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left(-\frac{x^2}{2\sigma^2}\right), \tag{1}$$

$$F(v_{\mathrm{os}}) = \frac{1}{2}\mathrm{erfc}\left(-\frac{x}{\sqrt{2}\sigma}\right). \tag{2}$$

よって，目標電圧 V_{T} のオフセット電圧を持つコンパレータを取り出すための順位 k は，

$$k = \mathrm{round}(nF(V_{\mathrm{T}})) \tag{3}$$

と近似的に求めることができる．コンパレータをオフセット電圧の大小でソートした後に $k_1, k_2, \cdots, k_{2^N-1}$ 番目を抽出することで，等間隔のオフセット電圧 $V_{\mathrm{T}1}, V_{\mathrm{T}2}, \cdots, V_{\mathrm{T}2^N-1}$ を持つコンパレータの組を得ることができる．これらのコンパレータを用いて入力端子の比較を行い，反転したコンパレータの数を計上することで AD 変換を実現する．

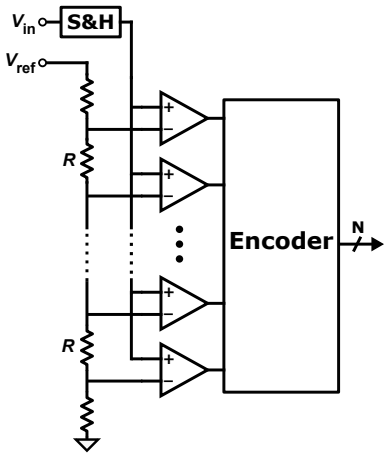

図 1　一般的なフラッシュ型 ADC

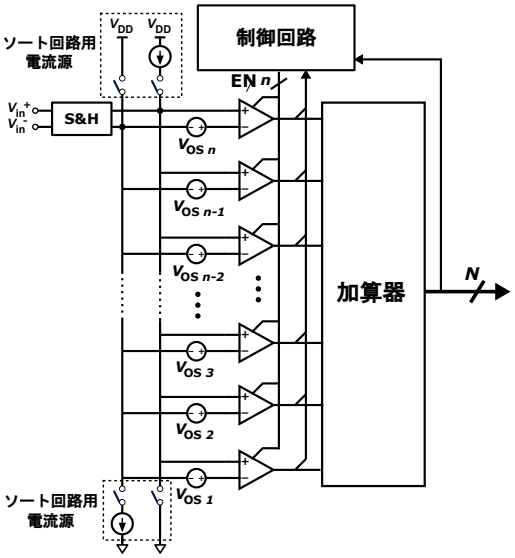

図 2　提案する ADC の構成

2.2 提案するコンパレータのソート法

提案する ADC ではコンパレータをオフセット電圧の大小によってソートする必要がある．本節ではソートを行うためにオフセット電圧の相対値を推定するソート回路について述べる．ソート回路は図 2 の電流源及び制御回路から構成される．ソート時は電流源を用いてコンパレータの入力端子を充電していき，クロックの立ち上がり時にコンパレータの出力を判定する．これによって，図 3 に示すようにオフセット電圧によって出力が反転する時間が変化するため，オフセット電圧を時間領域に変換できる．本ソート回路では，コンパレータの入力端子電圧が単調に増加または減少すればよいため高い線形性が必要なく，オンチップで容易に実装可能である．また，AD 変換時と同じ周波数でオフセット電圧の相対値を取得できるため，実際の動作速度における動的な特性も反映してオフセット電圧を推定することができる．

ⓒ 2020 Information Processing Society of Japan

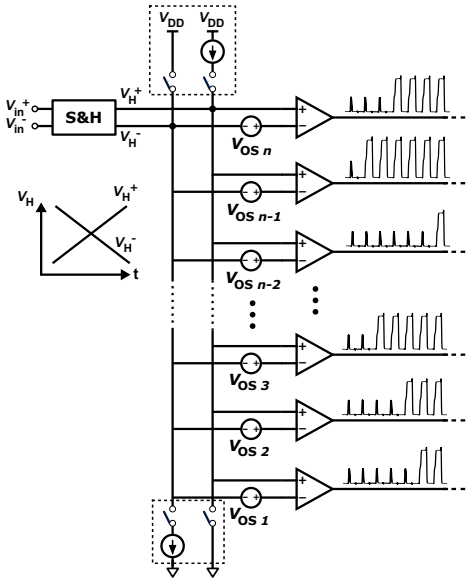

図 3　ソート時におけるコンパレータの出力

2.3　順序統計に基づいた理論検討

提案する ADC の線形性はオフセット電圧を等間隔に選択できるかに大きく依存する．これには入力電圧幅とコンパレータの数 n が大きく影響する．本節では，入力電圧幅とコンパレータの数，性能指標の関係を順序統計量に基づいて理論的に導く．順序統計量は確率分布に従う標本を昇順に並び替えたものであり，次のように表す．

$$V_{\mathrm{os}(1)} \leq V_{\mathrm{os}(2)} \leq \cdots \leq V_{\mathrm{os}(k)} \leq \cdots \leq V_{\mathrm{os}(n)}. \tag{4}$$

以降では k 番目のオフセット電圧 $V_{\mathrm{os}(k)}$ が従う確率密度分布を $f_k(v_{\mathrm{os}(k)})$，累積分布関数を $F_k(v_{\mathrm{os}(k)})$ で表すとする．

2.3.1　提案する ADC における入力電圧幅

提案方式の入力電圧幅は，オフセット電圧の標準偏差 σ_{os} を基準に $-a\sigma_{\mathrm{os}} < V_{\mathrm{in}} < a\sigma_{\mathrm{os}}$ のように可変に設定できる．ただし，入力電圧幅が小さいとノイズの影響を受けやすくなるため a の最小値はノイズに制限される．ここで，熱雑音によるノイズを量子化ノイズに置き換えると，

$$\frac{V_{\mathrm{LSB}}^2}{12} = \frac{2kT}{C} \tag{5}$$

となる．ここで V_{LSB} は LSB の電圧幅を表す．上式より必要な LSB の最小幅は $C = 0.1$ pF とすると 1.02 mV である．このとき，4 章での結果より $\sigma_{\mathrm{os}} = 74.9$ mV であるため，分解能が 5 bit であれば十分な LSB 幅を確保できる．

2.3.2　順序統計に基づいた INL の評価

提案する ADC における INL を順序統計の理論により導出する．提案方式の INL[i] は，

$$\mathrm{INL[i]} = \frac{V_{\mathrm{os}(k_i)} - V_{\mathrm{T}i}}{V_{\mathrm{LSB}}} \tag{6}$$

で表せる．上記のオフセット電圧の順序統計量において，k_i 番目の分布関数 $F_{k_i}(v_{\mathrm{os}})$ と確率密度関数 $f_{k_i}(v_{\mathrm{os}})$ は，以下のように表される [4].

$$F_{k_i}(V_{\mathrm{os}(k_i)}) = \sum_{l=k_i}^{n} n\mathrm{C}_l F(V_{\mathrm{os}(k_i)})^l (1 - V_{\mathrm{os}(k_i)})^{n-l}. \tag{7}$$

$$f_{k_i}(V_{\mathrm{os}(k_i)}) = \frac{n!}{(k_i-1)!(n-k_i)!} F(V_{\mathrm{os}(k_i)})^i (1 - F(V_{\mathrm{os}(k_i)}))^{n-k_i} f(V_{\mathrm{os}(k_i)}). \tag{8}$$

これにより，

$$v_{\min(k_i)} = F_{k_i}^{-1}(0.025),\ v_{\max(k_i)} = F_{k_i}^{-1}(0.975) \tag{9}$$

となる $v_{\min(k_i)}$，$v_{\max(k_i)}$ を i についてそれぞれ求めると，INL[i] は 95% の確率で

$$\frac{v_{\min(k_i)} - V_{\mathrm{T}i}}{V_{\mathrm{LSB}}} < \mathrm{INL}[i] < \frac{v_{\max(k_i)} - V_{\mathrm{T}i}}{V_{\mathrm{LSB}}} \tag{10}$$

の範囲に存在する．

上記の結果を用いて，提案する ADC のコンパレータの数と INL の関係を評価する．式 (7) の累積関数に式 (2) を代入し，数値計算によりすべての INL[i] の 95 % 信頼区間を求める．その後，それらの最小値，最大値を求め，min {INL[i]} と max {INL[i]} を評価する．解析条件は分解能を 5 bit とし，入力電圧幅を $2a\sigma_{\mathrm{os}}$ として $a = 0.75, 1.0, 1.5, 2.0$ であるとする．コンパレータの数と INL の関係を図 4 に示す．横軸にコンパレータの数，縦軸に INL を表し，min {INL[i]} と max {INL[i]} をそれぞれの入力電圧幅についてプロットしている．グラフより $a = 1.5$ のときすなわち入力電圧幅が $3\sigma_{\mathrm{os}}$ のとき INL が一番小さくなり，コンパレータの数が 1000 個のとき INL は 95 % の確率で −1.23 LSB/+1.24 LSB の範囲に収まる．

次に，線形性の改善のために 1 次のフィッティングを行うことを考える．以降ではフィッティングを行った後の INL を fitting-INL と定義する．提案する ADC におけるコンパレータの数と fitting-INL の関係を評価する．正規分布に従う乱数を生成しソートした後 k_i 番目を取り出す操作を 10000 回行って fitting-INL を導出し，それらの 2.5 パーセンタイルと 97.5 パーセンタイルを求める．fitting-INL とコンパレータの数の関係を図 5 に示す．この結果，入力電圧幅が $3\sigma_{\mathrm{os}}$ のとき fitting-INL は最も小さくなり，コンパレータの数が 1000 個のとき 95 % の確率で −0.73 LSB/+0.77 LSB の範囲に収まる．

2.3.3　順序統計量による DNL の評価

提案する ADC の DNL は，$V_{\mathrm{os}(k_i)}$，$V_{\mathrm{os}(k_{i+1})}$ の差 $W_{k_i,k_{i+1}} = V_{\mathrm{os}(k_{i+1})} - V_{\mathrm{os}(k_i)}$ の分布となる，$W_{k_i,k_{i+1}}$ の確率密度分布は次のように求められる [4].

ⓒ 2020 Information Processing Society of Japan

$$
\begin{aligned}
&g_{k_i,k_{i+1}}(v_{\mathrm{os}(k_i)}, w_{k_i,k_{i+1}}) \\
&= \frac{n!}{(k_i-1)!(k_{i+1}-k_i-1)!(n-k_{i+1})!}\int_{-\infty}^{\infty} F(v_{\mathrm{os}(k_i)})^{k_i-1} \\
&\quad \left\{F(v_{\mathrm{os}(k_i)}+w_{k_i,k_{i+1}}) - F(V_{\mathrm{os}(k_i)})\right\}^{k_{i+1}-k_i-1} \\
&\quad (1-F(v_{\mathrm{os}(k_i)}+w_{k_i,k_{i+1}}))^{n-k_{i+1}} f(v_{\mathrm{os}(k_i)}) \\
&\quad f(v_{\mathrm{os}(k_i)}+w_{k_i,k_{i+1}})\mathrm{d}v_{\mathrm{os}(k_i)}. \qquad (11)
\end{aligned}
$$

また，$W_{k_i,k_{i+1}}$ の確率分布 $G(w)$ は

$$G_i(w) = \int_0^w g_{k_i,k_{i+1}}(v_{\mathrm{os}(k_i)}, w_{k_i,k_{i+1}})\mathrm{d}w_{k_i,k_{i+1}} \qquad (12)$$

と表すことができる．これにより，$0 < i < 2^N - 2$ について

$$w_{\min} = G_i^{-1}(0.025),\ w_{\max} = G_i^{-1}(0.975) \qquad (13)$$

となる $w_{\min}$，$w_{\max}$ をそれぞれ求めると，DNL$[i]$ は 95% の確率で

$$\frac{w_{\min}}{V_{\mathrm{LSB}}} - 1 < \mathrm{DNL}[i] < \frac{w_{\min}}{V_{\mathrm{LSB}}} - 1 \qquad (14)$$

の範囲に存在する．

上記の結果を用いて，提案する ADC におけるコンパレータの数と DNL の関係を求める．式 (12) の累積関数に式 (2) を代入し，数値計算によりすべての DNL$[i]$ の 95 % 信頼区間を求め，その最小値と最大値を求める．INL の評価時と同様にして，分解能は 5 bit，入力電圧幅は $2a\sigma$ として $a = 0.75, 1.0, 1.5, 2.0$ とする．コンパレータの数と DNL の関係を図 6 に示す．横軸にコンパレータの数，縦軸に DNL を表し，min {DNL$[i]$} と max {DNL$[i]$} をそれぞれの入力電圧幅についてプロットしている．コンパレータの数が 1000 個のとき，DNL は 95 % の確率で −0.47 LSB/+0.53 LSB の範囲に収まる．DNL は入力幅が $2a\sigma_{\mathrm{os}}$，$3a\sigma_{\mathrm{os}}$ のときで大きな差異はない．したがって，INL との結果と合わせると入力幅が $3a\sigma_{\mathrm{os}}$ のときが線形性が一番良い．

3. コンパレータの設計

本節では，提案する ADC におけるコンパレータ回路について述べる．コンパレータは非同期型コンパレータと同期型コンパレータに大別できる．非同期型コンパレータは入力電圧がしきい値電圧に近いとき，ノイズによって出力が何度も切り替わってしまい安定しない．したがって，本方式では同期型コンパレータを用いる．同期型コンパレータの利点として定常状態の消費電力がリーク電流のみであることと，出力がフルスイングすることが挙げられる [5]．一般的に同期型コンパレータは，図 7 に示すようにサンプル & ホールド回路 (S&H 回路) とプリアンプ，ラッチステージで構成される [6]．プリアンプの役割は，ラッチステージ内部のノードにおける電位の急峻な変化が入力電圧に与えるキックバックノイズを抑制することである．

次に，図 7 の接続におけるラッチ・コンパレータのオフセット電圧について考える．コンパレータのオフセット電

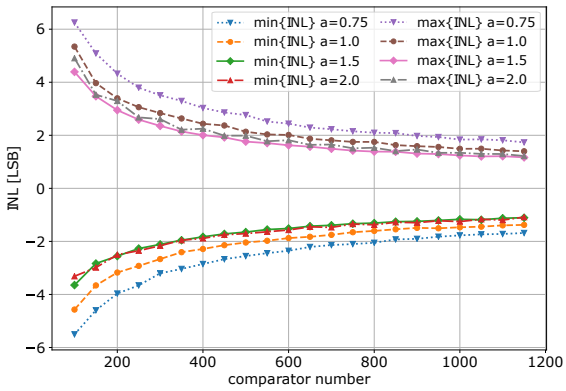

図 4　INL とコンパレータの母集団の数の関係

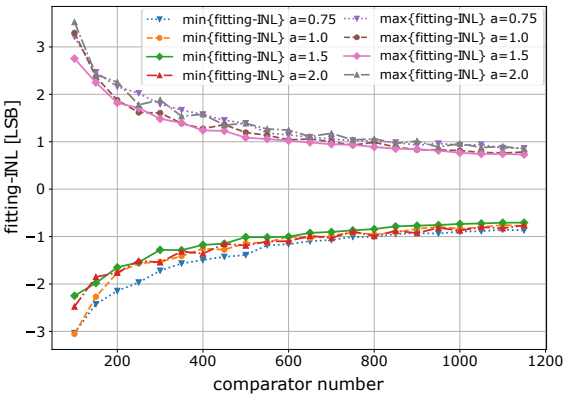

図 5　fitting-INL とコンパレータの母集団の数の関係

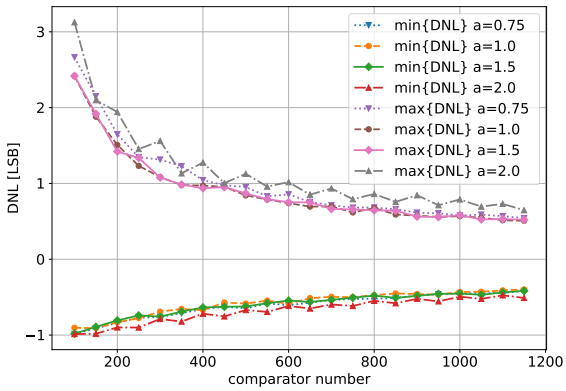

図 6　DNL とコンパレータの数の関係

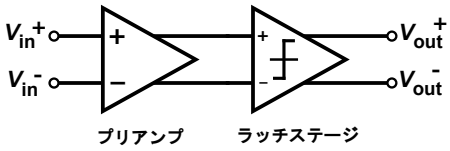

図 7　ラッチ・コンパレータの構成図

ⓒ 2020 Information Processing Society of Japan

圧 V_{os} は，プリアンプのオフセット電圧 $V_{os,\,amp}$ とラッチステージのオフセット電圧 $V_{os,\,lat}$，プリアンプのゲイン G によって決まり，

$$V_{os} = V_{os,\,amp} + \frac{1}{G}V_{os,\,lat} \tag{15}$$

と表される．ここで，プリアンプとラッチステージのオフセット電圧は共に正規分布に従うとし，それぞれの標準偏差を σ_{amp}，σ_{lat} とする．このとき，コンパレータ全体のオフセット電圧の標準偏差 σ は

$$\sigma = \sqrt{\sigma_{amp}^2 + \frac{1}{G^2}\sigma_{lat}^2} \tag{16}$$

となる．ただし，上式ではゲインのばらつきは十分小さいとする．以降ではまずプリアンプについて検討する．

3.1 プリアンプ

3.1.1 一般的なプリアンプの設計方針

一般的なフラッシュ型 ADC におけるコンパレータでは，オフセット電圧を 0 に近づける必要がある．式 (15) から，プリアンプのゲインを大きくするとラッチステージのオフセット電圧の影響を小さくできる．また，ゲインが高いとラッチステージに与えられる電圧差 ΔV_{in} が増幅され，ラッチが高速に切り替わる．したがって，通常のプリアンプはゲインが高い方が望ましい．高速動作が必要な場合は GBW(Gain Band Width) によってゲインが制限されるため，ゲインは 2 ~ 10 程度に設定されることが多い [7]．このとき，ラッチステージのオフセット電圧の寄与は小さく，コンパレータのオフセット電圧はプリアンプのオフセット電圧によって支配的に決定されるため，プリアンプのオフセット電圧を小さくする必要がある．したがって，オフセット電圧が小さくかつゲインが高いプリアンプが必要となる．しかし，これを実現するには MOSFET のサイズを大きくする必要があるため実装面積と消費電力が大きくなる．

3.1.2 提案する ADC におけるプリアンプの設計

提案するフラッシュ型 ADC では，コンパレータのオフセット電圧のばらつきが大きいほうが望ましい．したがって式 (15) から，コンパレータのオフセット電圧はプリアンプのゲインが低い方が大きい．低ゲインの差動増幅器としては，図 8 に示すような差動増幅対に負荷としてダイオード接続の n 型 MOSFET を接続した回路がよく用いられる [7]．図 8 のプリアンプはゲインが 1 以下の場合，商用の 65nm プロセスにおいて最小サイズに近い MOSFET で設計が可能である．ただし，ゲインを極端に低くするとラッチステージの動作速度が遅くなる．また，バイアス条件や入出力のコモンモード電圧の条件からゲインを極端に低くするのは難しいため，ゲインは 0.5 ~ 1 のものを考える．プリアンプを構成する MOSFET のサイズは図 8 に示すとおりである．このプリアンプの低周波でのゲインは

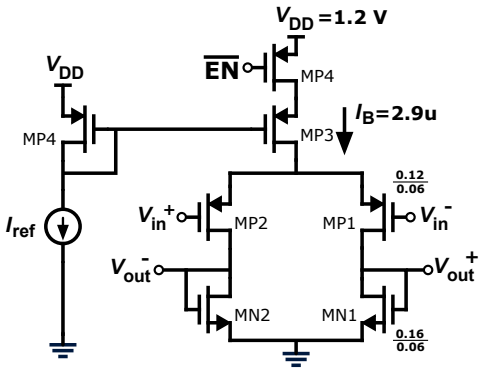

図 8　プリアンプ

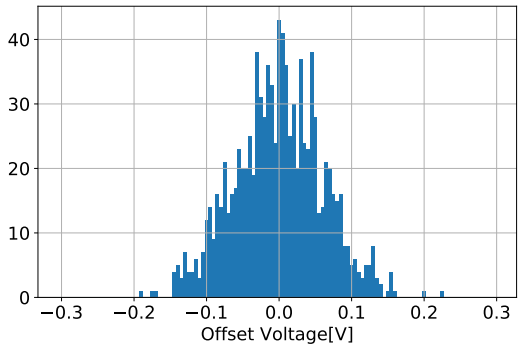

図 9　プリアンプのオフセット電圧の分布

$G = 0.73$ である．また，このプリアンプにはスイッチング用の MOSFET を挿入しており，使用しないコンパレータの消費電力を抑えることができる．

設計したプリアンプのオフセット電圧の分布を求める．MOSFET のしきい値電圧が正規分布に従うことから，プリアンプのオフセット電圧も正規分布に従うことが予想される．プリアンプのオフセット電圧を MOSFET の特性ばらつきを考慮してモンテカルロ解析により 1000 回求める．解析にはファブから提供されているばらつきモデルを利用する．解析条件は電源電圧を $V_{DD} = 1.2$ V，V_{in}^{+} と V_{in}^{-} のコモンモード電圧 V_c を $V_c = 0.4$ V として，入力電圧差 ΔV_{in} を 1 mV 間隔でスイープさせて出力が反転したときの入力電圧差をオフセット電圧とする．シミュレーションの結果得られたプリアンプのオフセット電圧の分布を図 9 に示し，オフセット電圧の正規 qq-plot を図 10 に示す．これらの結果よりプリアンプのオフセット電圧は正規分布に従っている．このプリアンプのオフセット電圧の不偏標準偏差は $\hat{\sigma}_{amp} = 61.0$ mV である．

3.2 ラッチステージ

提案方式におけるコンパレータではプリアンプのゲインを低くすることで，ラッチステージのオフセット電圧がコンパレータのオフセット電圧に大きく影響するように設計する．よって，ラッチステージにはオフセット電圧の正規性

ⓒ 2020 Information Processing Society of Japan

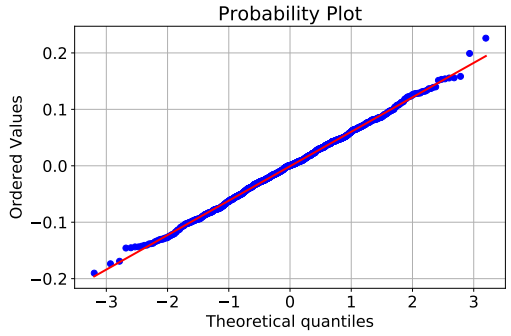

図 10　プリアンプのオフセット電圧の正規 qq-plot

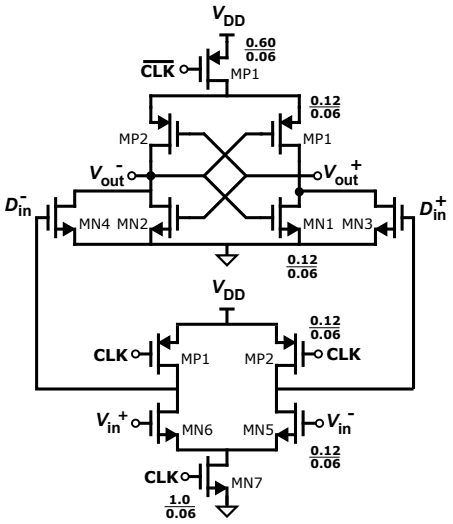

図 11　Double-tail 型ラッチ

と高速動作が求められる．また，同じコンパレータが多数必要となるため最小サイズで設計する必要がある．上記を満たすラッチステージとして図 11 に示す Double-tail 型ラッチを検討する．Double-tail 型ラッチは StrongARM 型ラッチのカスコードの入力差動対をカスケードに接続しているため，低い電源電圧でも高速に動作できる [8]．このラッチステージに関して MOSFET の製造ばらつきを考慮し，オフセット電圧をモンテカルロ解析により 1000 回シミュレーションして，オフセット電圧の分布を求める．Double-tail 型のオフセット電圧の分布と正規 qq-plot をそれぞれ図 12 と図 13 に示す．これらの結果より，Double-tail 型のオフセット電圧の分布は正規分布に従っている．ラッチステージのオフセット電圧の不偏標準偏差 $\hat{\sigma}_{\mathrm{lat}}$ は $\hat{\sigma}_{\mathrm{lat}} = 51.5$ mV である．

3.3　プリアンプとラッチステージの接続

プリアンプには図 8，ラッチステージには図 11 の回路を用いて，図 7 のように接続しコンパレータを構成する．このコンパレータのオフセット電圧の分布を調べる．プリアンプとラッチステージのオフセット電圧が正規分布に従っていることから，上記のコンパレータのオフセット電圧は正規分布に従うことが予想される．プリアンプのときと同様に MOSFET の特性ばらつきを考慮して，オフセット電圧をモンテカルロ解析により 1000 回シミュレーションする．コンパレータ全体のオフセット電圧の分布と正規 qq-plot をそれぞれ図 14 と図 15 に示す．これより，このコンパレータのオフセット電圧の分布は正規分布に従っており，提案方式に使用できる．このときのオフセット電圧の不偏標準偏差は $\hat{\sigma}_{\mathrm{os}} = 74.9$ mV である．プリアンプ，ラッチステージのオフセット電圧の不偏標準偏差はそれぞれ $\hat{\sigma}_{\mathrm{amp}} = 61.0$ mV，$\hat{\sigma}_{\mathrm{lat}} = 51.5$ mV であるため，プリアンプを挿入することによってオフセット電圧のばらつきが大きくできることが確認された．

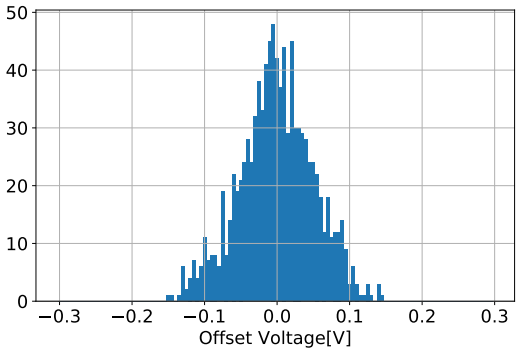

図 12　Double-tail 型ラッチのオフセット電圧の分布

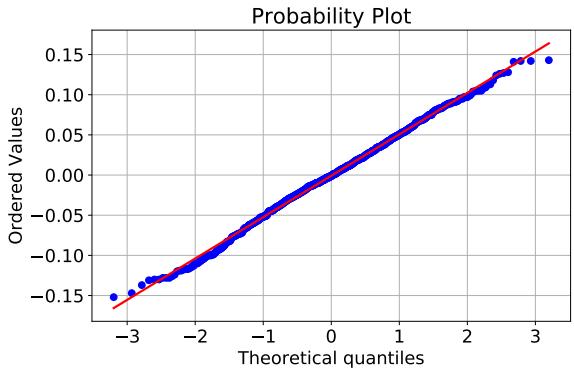

図 13　Double-tail 型ラッチのオフセット電圧の正規 qq-plot

4.　シミュレーション結果

3 章で設計したコンパレータを用いて分解能が 5 bit の提案する ADC の回路シミュレーションを行い，線形性を評価する．解析条件は，コンパレータの数を 1023 個，入力電圧幅は $3\sigma_{\mathrm{os}}$ とし，クロック周波数は $f_{\mathrm{clk}} = 2$ GHz である．コンパレータのオフセット電圧の標準偏差 σ_{os} は 3 章の結果を用いて $\sigma_{\mathrm{os}} = 74.9$ mV とする．まず，2 章で述べたソート回路を用いてコンパレータをオフセット電圧の大小によりソートする．ソート結果を用いて正規分布の累積関数からオフセット電圧が等間隔となるような順

ⓒ 2020 Information Processing Society of Japan

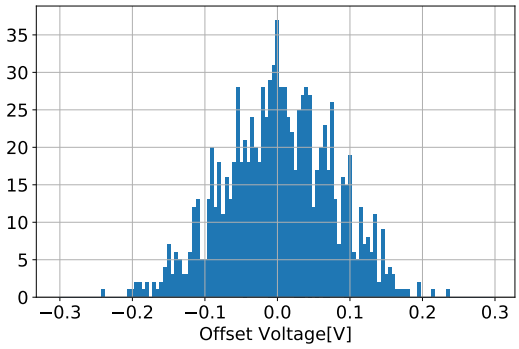

図 14　設計したコンパレータのオフセット電圧の分布

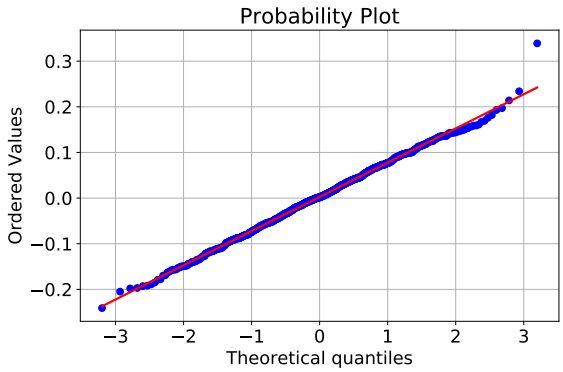

図 15　設計したコンパレータのオフセット電圧の正規 qq-plot

位 k_i を算出し，k_i 番目のコンパレータを選ぶ．その後，コンパレータの入力電圧差を 0.1 mV 間隔でスイープさせ ADC の入出力特性を求める．また，ソート回路の検証のために入力電圧をスイープさせてオフセット電圧を別途測定し，計算機によって理想的にソートしてコンパレータを選択した場合と比較する．提案する ADC の入出力特性を図 16 に示す．横軸は入力電圧 V_{in}，縦軸は ADC の出力コードを表しており，点線がソートが理想的な場合の入出力特性，実線がソート回路を用いた場合の入出力特性を表している．ソート回路を用いた場合とソートが理想的な場合では入出力特性が大方同じであるため，ソート回路によってオフセット電圧のソートが正常にできている．このサンプルの性能は DNL = −0.420 LSB/+0.651 LSB，fitting − INL = −0.989 LSB/+1.09 LSB であり，提案手法の妥当性を示すことができた．また，動作周波数が f_{clk} = 2 GHz のときのコンパレータ 1 つあたりの消費電力は 16.5 μW であるため動作時の消費電力はコンパレータ部のみで 521 μW と概算できる．

5.　結論

本稿では微細化による MOSFET の特性ばらつきの問題に対して，順序統計を利用してコンパレータを選択するフラッシュ型 ADC を提案した．提案する ADC の性能評価を行った結果，分解能が 5 bit で動作周波数が 2 GHz の場合，消費電力がコンパレータ部で 512 μW と低消費電力であり，線形性は DNL = −0.420 LSB/+0.651 LSB，fitting-INL= −0.989 LSB/+1.09 LSB を実現できる．

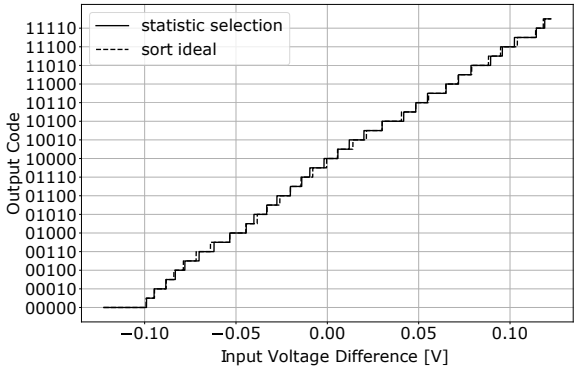

図 16　提案する ADC の入出力特性

提案する ADC では，コンパレータを最小サイズで設計可能であり動作するコンパレータも最小数であるため，小面積かつ低消費電力でありオンチップで実装できる．さらに，従来のオフセット電圧を抑制する方式とは異なりスケーリング則が成立するため，プロセスが微細化すればさらに小面積かつ低消費電力での実装が期待できる．

謝辞　本研究は JSPS 科研費 19K20233 の助成を受けたものである．本研究の一部は東京大学大規模集積システム設計教育研究センターを通し，シノプシス株式会社の協力で行われたものである．

参考文献

[1] J. Proesel, G. Keskin, J. O. Plouchart, and L. Pileggi, “An 8-bit 1.5GS/s flash ADC using post-manufacturing statistical selection,” in *Proceedings of the Custom Integrated Circuits Conference*, vol. 4, 2010, pp. 8–11.

[2] V. H. Chen and L. Pileggi, “An 8.5mW 5GS/s 6b Flash ADC with Dynamic Offset Calibration in 32nm CMOS SOI,” in *IEEE Symposium on VLSI Circuits*, 2013, pp. 264–265.

[3] T. Sundström and A. Alvandpour, “Utilizing process variations for reference generation in a flash ADC,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 5, pp. 364–368, 2009.

[4] N. Balakrishnan and A. Cohen, *Order Statistics & Inference: Estimation Methods*. Elsevier Science, 2014.

[5] B. Razavi, “The strongarm latch [a circuit for all seasons],” *IEEE Solid-State Circuits Magazine*, vol. 7, no. 2, pp. 12–17, 2015.

[6] *LSI 設計者のための CMOS アナログ回路入門*, ser. 半導体シリーズ. CQ 出版, 2005.

[7] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc, 2012.

[8] D. Schinkel, E. Mensink, E. Klumperink, E. Van Tuijl, and B. Nauta, “A double-tail latch-type voltage sense amplifier with 18ps setup+ hold time,” in *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, 2007, pp. 314–605.

ⓒ 2020 Information Processing Society of Japan