

P/N ウェル電圧を独立に制御可能な DLL 型基板電圧生成回路

永井 健太郎^{1,a)} 塩見 準¹ 小野寺 秀俊¹

概要: 本稿では, P/N ウェル電圧を独立に制御可能な DLL 型の基板電圧生成回路を提案する. 所定の速度制約を満足させるように基板電圧を調節する場合, P/N ウェル電圧を独立に制御することによって対象となる回路のリークエネルギーの増加を抑えることができる. 本稿では, pMOS トランジスタのしきい値電圧と nMOS トランジスタのしきい値電圧, そしてクリティカルパス遅延をモニタし, P/N ウェル電圧を独立に制御する方法について提案する. 65 nm SOI プロセスで設計した提案回路をシミュレーションによって性能評価を行い, 提案手法によって従来手法に比べてリークエネルギーの増加を抑えることができることを検証する.

DLL-based Body Bias Generator for Independent N-Well And P-Well Biasing

NAGAI KENTARO^{1,a)} SHIOMI JUN¹ ONODERA HIDETOSHI¹

Abstract: In this paper, we proposed DLL-based body bias generator for independent N-well and P-well biasing. Independent N-well and P-well biasing can meet delay constraint without large leakage overhead. We proposed a method of independent N-well and P-well biasing with monitoring threshold voltage of nMOS-FET and pMOSFET and critical path delay. Circuit simulation for proposed circuit designed with a 65-nm SOI process demonstrate that the proposed method save leakage than the conventional critical path delay based method.

1. 序論

近年の情報化社会において集積回路は重要な役割を担っている. 最近の製造プロセスにより, LSI の微細化が進行し高集積化とそれに伴う高機能化に寄与している. 一方で微細化に伴い, トランジスタのばらつきやトランジスタのリーク電流の増加といった問題が顕著になりその影響が無視できなくなってきた. トランジスタのばらつきには, チップ間のばらつきからチップ内の大域的なばらつき, さらにランダムなばらつきの存在も明らかになってきた [1]. ランダムなばらつきは, 主に不純物の原子 1 個単位での個数の不確定性によるものであると言われている. ランダムなしきい値電圧のばらつきは正規分布に従うとされ, 統計的マージンを取って設計することによって対策で

きる [2]. 一方でチップ間のばらつきやチップ内の大域的なばらつきを補償する有効な方法として, 基板電圧を制御する方法が提案されている [3]. これは, 製造後に基板の電圧を変化させ, トランジスタのしきい値電圧を調節することにより先述のばらつきを補償するというものである.

基板電圧を設定する上では, 遅延時間とリークエネルギーの増加のトレードオフを考慮する必要がある. 文献 [4] において pMOS トランジスタと nMOS トランジスタのしきい値電圧の差が大きい場合に, pMOS トランジスタと nMOS トランジスタの基板に同じ大きさの基板バイアスを加えるとリークエネルギーが増大することが示されている. また, 文献 [5] においては pMOS トランジスタと nMOS トランジスタの基板電圧を独立に設定することによってリークエネルギーを最小化する手法が示されている. よって対象となる回路を最小エネルギーで動作させるためには, pMOS

¹ 京都大学大学院情報学研究科

^{a)} k_nagai@vlsi.kuee.kyoto-u.ac.jp

トランジスタと nMOS トランジスタの基板電圧を独立に設定できることが望まれる。

基板電圧を設定する回路として基板電圧生成回路 (BBG:Body Bias Generator) が研究されている。従来の BBG には様々な回路が提案されており、それらを大きく分類するとデジタル-アナログコンバータ (DAC) から直接基板電圧を生成するものと [6], [7] とチャージポンプ (CP) から基板へ電荷の注入や放電を逐次的に行い電圧を制御するもの [8], [9], [10] に分けられる。DAC から直接基板電圧を与えるものでは pMOS トランジスタの基板電圧を制御する DAC と nMOS トランジスタの基板電圧を制御する DAC を用意し、デジタル信号で直接基板電圧を設定することで各基板電圧を独立に設定することができる。しかし、DAC に常に電流が流れておりまた文献 [7] ではアナログ回路用の追加の電源が必要となるため BBG 自体の消費電力オーバーヘッドが大きくなることが懸念される。

一方で、CP で基板に逐次的に電荷を注入、放電する方式では CP を除いた全ての回路がデジタル回路で構成されているため消費電力オーバーヘッドが小さくなる。しかし、文献 [9], [10] では pMOS トランジスタと nMOS トランジスタの電圧を個別に調節できないためばらつきに対して適切な補償を行えないことが懸念される。また文献 [8] においては pMOS トランジスタと nMOS トランジスタに同じ大きさの基板電圧を設定できるが、プロセスばらつきによってはリークエネルギーの増加が懸念される。

そこで本稿では、CP を基本とした pMOS トランジスタと nMOS トランジスタの基板電圧を独立に設定可能な DLL(Delay Locked Loop) 型の基板電圧生成回路について提案を行う。本稿の構成を以下に示す。2 章では、基板電圧制御のモデルと独立基板電圧制御の重要性について述べる。3 章では、提案する基板電圧生成回路の構成と動作について説明を行う。4 章では、シミュレーションによる性能評価を行い、提案手法により独立に基板電圧を設定しリークエネルギーの増加を抑制できるか検証を行う。5 章で結論を述べる。

2. 基板電圧制御の概要

本章では基板電圧を制御することによる効果と、P ウェルと N ウェルの電圧を独立に制御することの重要性について述べる。

2.1 基板電圧制御の効果とモデル

基板電圧制御は MOS トランジスタの基板の電圧を制御することによって、トランジスタのしきい値電圧を変動させる技術である。図 1 に SOI(Silicon On Insulator) プロセスのトランジスタの断面図を示す。nMOS トランジスタの基板電圧を VPW とした時、VPW がソースの電圧より高ければ nMOS トランジスタのしきい値電圧は下がる。同

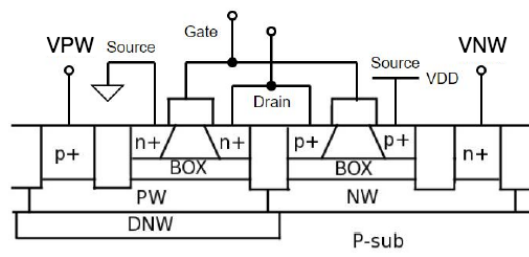


図 1 SOI プロセスのトランジスタ断面図

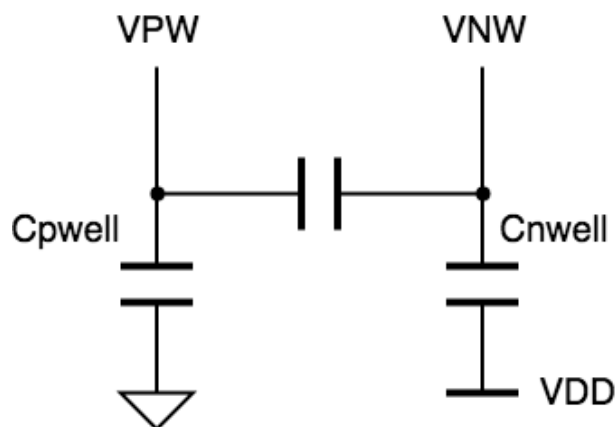


図 2 基板の負荷容量モデル

様に pMOS トランジスタの基板電圧を VNW とした時、VNW がソースの電圧より低ければ pMOS トランジスタのしきい値電圧は下がる。しきい値電圧を下げる基板電圧の向きを順方向、逆にしきい値電圧を上げる基板電圧の向きを逆方向という。順方向の基板電圧を加えると、トランジスタのしきい値電圧が下がるので対象となる回路の動作速度は向上する一方でリーク電流が増加する。逆に逆方向の基板電圧を加えるとリーク電流を抑えることができるが動作速度は下がる。

基板電圧を制御するために基板をモデル化することを考える。図 1 を見ると VPW, VNW とソースの間には複数の PN 接合が存在し、それらをキャパシタとして近似すると図 2 のようなモデルとなる [7]。図 2 のキャパシタに電荷を注入・放電を行うことによって基板電圧制御が行われている。通常、図 2 における VPW の負荷となるキャパシタ C_{pwell} と VNW の負荷となるキャパシタ C_{nwell} の容量は、対象となる回路の規模やレイアウトに依存する。

2.2 独立基板電圧制御の重要性

本節では、独立基板電圧制御の重要性について述べる。図 3 に nMOS トランジスタと pMOS トランジスタのしきい値電圧が揃っている条件 (TT 条件) と nMOS トランジスタのしきい値電圧が高く、pMOS トランジスタのしきい値電圧が低い条件 (SF 条件) における 2 入力 NAND ゲートリングオシレータの発振周波数とリークエネルギーをそれ

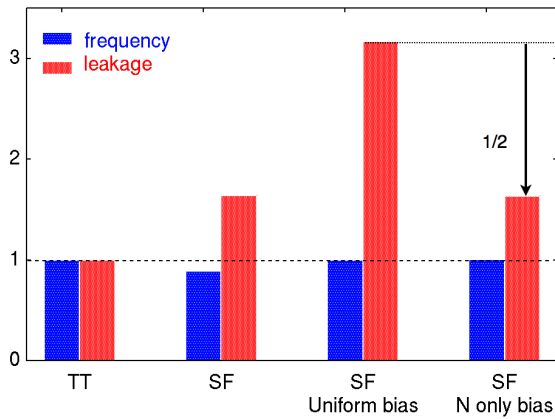


図 3 プロセスばらつきによるリーク電流と動作周波数

ぞれ示す. この時, ある活性化率 1% のプロセッサを電源電圧 0.7 V, クロック周波数 100 MHz で動かした時に最小エネルギーを達成するしきい値電圧を TT 条件とした [11]. 以後本稿において, この時のしきい値電圧を TT 条件とする. 図 3 からわかるように SF 条件では TT 条件より周波数は低く, リークエネルギーは大きい. そこで, 文献 [8] のように周波数が TT 条件と同じとなるよう nMOS トランジスタ, pMOS トランジスタに同じ大きさの順方向の基板電圧を加えると図 3 の 'Uniform bias' の時のようにリークエネルギーが 3 倍となる. 一方で, nMOS トランジスタのみに順方向の基板電圧を加えるとリークエネルギーは 1.52 倍となり同じ大きさの基板電圧を加えた場合に比べてリークエネルギーの増加を抑えることができています.

以上のことから, リークエネルギーを抑えつつ要求周波数を達成するには P ウェル電圧と N ウェル電圧を独立に制御する必要がある. また, 基板電圧を制御する回路の電力オーバーヘッドを抑える必要がある.

3. P/N ウェル電圧を独立に制御可能な基板電圧生成回路の設計

本章では提案する P/N ウェル電圧を独立に制御可能な基板電圧生成回路のアーキテクチャと回路実装例について述べる.

3.1 提案する基板電圧生成回路の概要

図 4 に提案する基板電圧生成回路のブロック図を示す. 提案する基板電圧生成回路は, ターゲットとなる回路のクリティカルパスレプリカ, 位相周波数比較器, 各トランジスタのしきい値電圧センサー, しきい値電圧比較器, チャージポンプ制御回路, チャージポンプからなる. 提案手法では対象となる回路のクリティカルパス遅延と nMOS トランジスタと pMOS トランジスタのしきい値電圧をモニタすることによって対象回路が遅延制約を満たしつつ不必要なリークエネルギーが発生しないように基板電圧を制

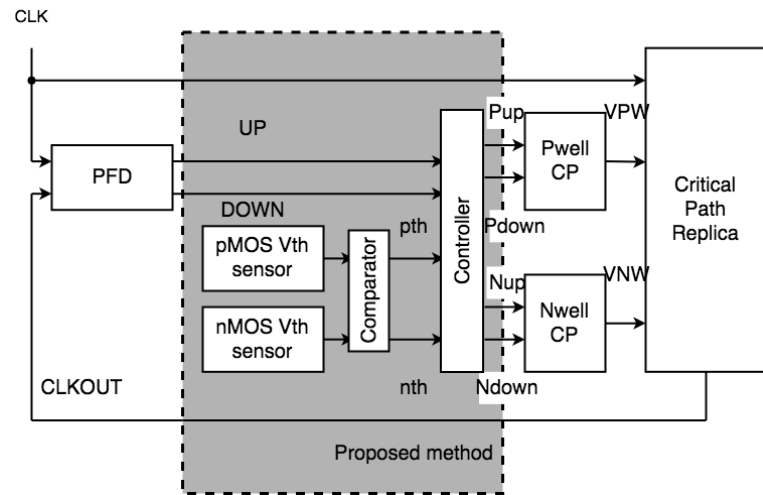


図 4 提案手法のブロック図

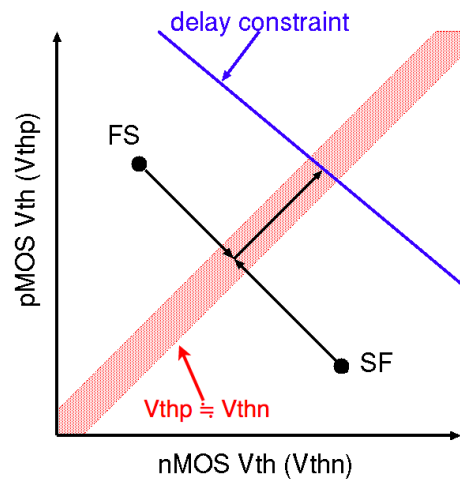


図 5 提案手法によるしきい値電圧の調整

御する.

図 4 の回路要素のうちチャージポンプを除いた全てをデジタル回路で実装することができるため, アナログ回路による設計コストの増大や電力オーバーヘッドの増加を抑えることができる.

3.2 提案手法のアーキテクチャ

本節では, 提案手法のアーキテクチャについて述べる. 図 5 に提案手法によるしきい値電圧の変化の概念図を示す. 入力として要求される遅延制約に等しいパルス幅を持つクロック信号 'CLK' を用意しクリティカルパスレプリカに入力する. 位相比較器で 'CLK' とクリティカルパスレプリカからの出力信号 'CLKOUT' を比較する. しきい値電圧センサーで pMOS トランジスタと nMOS トランジスタのしきい値電圧を比較する. しきい値電圧が揃っている場合は, クリティカルパスレプリカが遅延制約を満たすように P ウェル用チャージポンプと N ウェル用チャージポンプを制御する. 一方でしきい値電圧が揃っていない場合はまず pMOS トランジスタと nMOS トランジスタのしきい

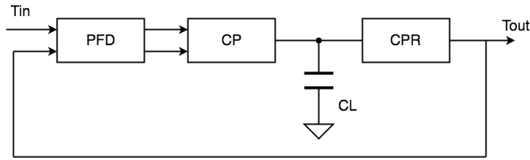


図 6 一般的な DLL のブロック図

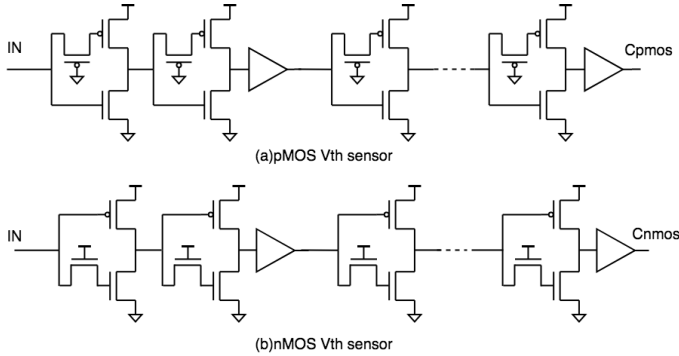


図 7 しきい値電圧センサーの回路図

値電圧が揃うように各チャージポンプを独立に制御する。このようにして、しきい値電圧のばらつきを補償しつつクリティカルパス遅延が目標遅延となるように基板電圧を制御できる。

3.3 提案手法の閉ループ伝達関数

本節では提案手法の閉ループ伝達関数を求める。図 5 においてしきい値電圧が揃った場合、図 4 は図 6 のような一般的なアナログ型 DLL と同じ閉ループを構成する。文献 [12] より、DLL の閉ループ伝達関数 $H(s)$ は式 (1) で表される。

$$H(s) = \frac{1}{s\tau + 1}. \quad (1)$$

この時、 τ はチャージポンプの電流量を I_{cp} 、基板容量を C_L 、入力するクロックの周期を T_{in} 、クリティカルパスレプリカの基板電圧の変化に対する遅延変動の比例係数を K_{cpr} とすると式 (2) のように表される。

$$\tau = \frac{C_L T_{in}}{I_{cp} K_{cpr}}. \quad (2)$$

式 (2) より入力するクロックの周期やチャージポンプを変更することによって要求される応答速度を実現できる。

3.4 提案手法の回路実装例

3.4.1 しきい値電圧センサーとクリティカルパスレプリカ

図 7 に pMOS しきい値電圧センサーと nMOS しきい値電圧センサーの回路図を示す。しきい値電圧センサーには文献 [4] で用いられているしきい値電圧の変動に対して遅延時間が大きく変動するインバータセルを用いた。nMOS しきい値電圧センサーの場合、図 7(a) のように通常のインバータの前にパストランジスタとして nMOS トランジスタ

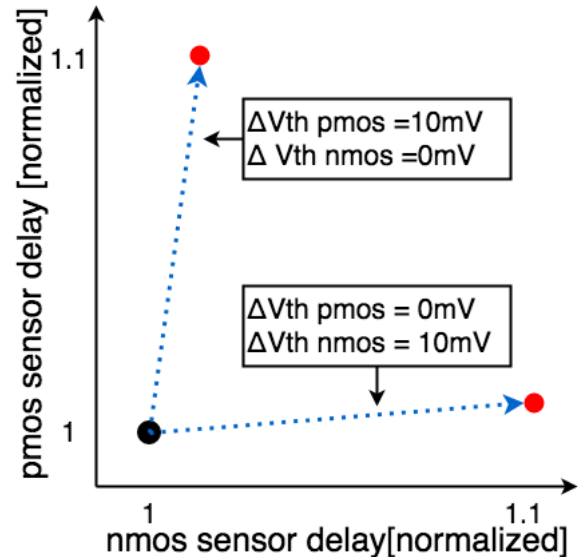


図 8 しきい値電圧センサーの遅延変動

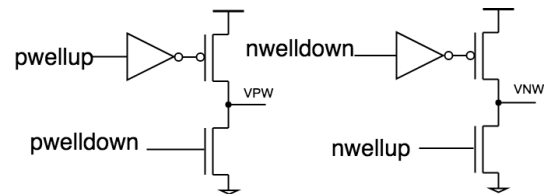


図 9 チャージポンプの回路図

を挿入することで、プルダウンする nMOS のゲート電圧が電源電圧から nMOS トランジスタのしきい値電圧分下がる。よって、通常のインバータに比べて立ち下がり遅延が大きいインバータとなりその遅延量は nMOS トランジスタのしきい値電圧によって変動する。同様に、pMOS しきい値電圧センサーも図 7(b) のように設計できる。図 8 にしきい値電圧を変動させた時のしきい値電圧センサーの遅延の変化を示す。図 8 からわかるように各トランジスタのわずかなしきい値電圧の変化に対して、各しきい値電圧センサーの遅延量は大きく変動することがわかる。

またクリティカルパスレプリカは、TT 条件である活性化率 1% のプロセッサを電源電圧 0.7 V で遅延制約を 10 ns で動かすことを想定し、300 段の fo4 インバータチェーンを用いた。

3.4.2 位相比較器としきい値比較器

位相比較器としきい値比較器として、Phase-Locked Loop(PLL) などを利用されるものを利用した。本回路で 'CLK' と 'CLKOUT' を比較してその結果を 'UP' と 'DOWN' 信号としてチャージポンプ制御回路に送る。また、しきい値比較器も図 7 の 'Cpmos' と 'Cnmos' を比較してその結果を 'pthhigh' と 'nthhigh' 信号としてチャージポンプ制御回路に送る。

3.4.3 チャージポンプ

チャージポンプは図 9 のような PLL など用いられる

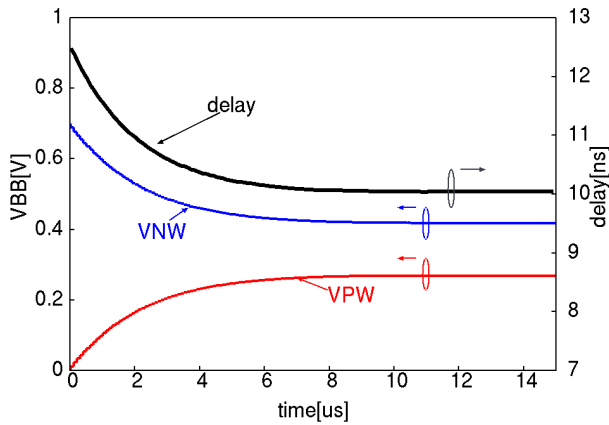


図 10 提案手法による基板電圧とクリティカルパス遅延の変化

最も単純なものを利用する．チャージポンプのゲート幅は提案システムがマイクロ秒オーダーで収束することを目標に基板の負荷容量 C_L は 20 pF 程度であると仮定して式 (2) に基づいて決定する．前節で決定したクリティカルパスレプリカの電源電圧 0.7 V における比例係数が、 $K_{cpr} = 7.03 \text{ ns/V}$ であることよりチャージポンプのオン電流が 150 μA 程度になるようにゲート幅を決定した．この時、式 (2) より $\tau = 1.89 \times 10^{-6} \text{ s}$ となった．またチャージポンプの出力電圧範囲は電源電圧からグラウンド電圧までの間であるため、本稿における基板電圧は順方向の基板電圧のみを生成する．

4. シミュレーションによる性能評価

4.1 シミュレーション条件

本章では前章で示した DLL 型基板電圧生成回路の 65nm Silicon On Insulator(SOI) プロセスを用いたシミュレーションによる性能評価を行う．入力信号として、パルス幅が 10 ns、周波数が 10 MHz のクロック信号を用いる．この時、クリティカルパス遅延の目標遅延は 10 ns である．基板容量を対象となるクリティカルパスレプリカに用いるインバータの pMOS トランジスタと nMOS トランジスタのゲート幅比が 3:2 であることから $C_{nwell}=12 \text{ pF}$ 、 $C_{nwell}=8 \text{ pF}$ と仮定しトランジスタの製造条件を TT 条件、SF 条件、FS 条件、SS 条件の 4 条件と変更しながら、クリティカルパス遅延が目標遅延となるような基板電圧を与えることができるか評価した．この時電源電圧 V_{dd} は 0.7 V とした．

4.2 基板電圧制御の性能とオーバーヘッド

図 10 に SS 条件の場合の 'VPW'、'VNW' の波形、そしてクリティカルパスレプリカの遅延時間の変化を示す．図からわかるように前章で提案した方法でクリティカルパス遅延が目標値となるように基板電圧を制御できていることがわかる．またクリティカルパス遅延が目標値の 90% となるまでに 4.28 μs を要した．よって設計目標であったマ

表 1 各プロセスばらつきに対する基板電圧収束結果

	nMOS bias [V]	pMOS bias [V]
TT	0	0
SS	0.27	0.28
FS	0	0.23
SF	0.14	0

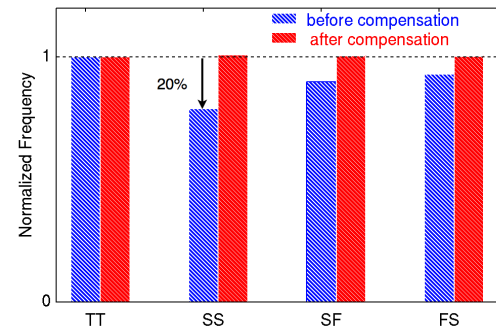


図 11 各製造条件におけるクリティカルパス周波数

イクロ秒オーダーでの応答を達成できていると言える．またこの時の定常状態での基板電圧生成回路全体の消費電力は 10.4 μW となり文献 [6] の DAC を用いた手法に比べて電力オーバーヘッドが小さいことがわかる．

4.3 プロセスばらつきに対する効果

表 1 に各プロセスばらつきに対して基板電圧制御を行った時の収束結果を示す．表 1 からわかるように SS 条件の場合はどちらのトランジスタも順方向に、FS 条件の場合は pMOS トランジスタのみ順方向に SF 条件の場合は nMOS トランジスタのみ順方向に基板電圧を加えることができています．また、クリティカルパスの周波数の変化を図 11 に示す．この周波数は、目標値によって正規化されている．SS 条件の場合は 20 % も TT 条件より遅かったが提案手法を用いて図 7 に示されている基板電圧を加えることによって目標値に近づいていることがわかる．他の SF、FS 条件に対しても同様のことが言える．

4.4 リーク電流の変化

基板電圧を加えることによるクリティカルパスレプリカのリーク電流の変化を評価する．本節では、提案手法で基板電圧を加えた場合と従来の nMOS トランジスタと pMOS トランジスタに同量の基板電圧を加えてクリティカルパス遅延が目標値となった場合を比較する．図 12 に SF 条件、FS 条件の際のリーク電流の変化を示す．リーク電流の大きさは、TT 条件で無バイアス時のリーク電流の大きさを正規化されている．図 12 からわかるようにいずれの場合も順方向に基板電圧を加えているため無バイアス時に比べてリーク電流が大きくなっている．しかし、同量の基板電圧を加えた場合に比べて提案手法を用いることでリーク電流の増加を抑えることができています．SF 条件におい

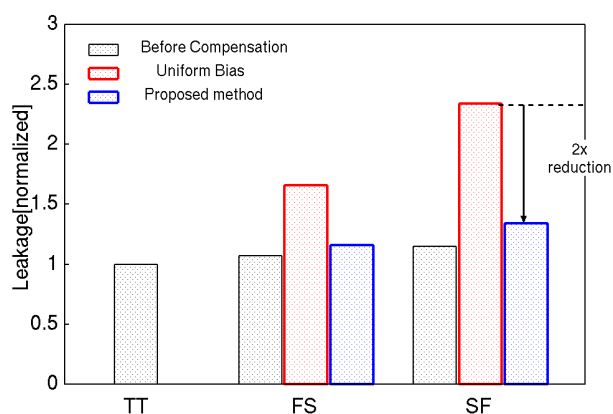


図 12 各製造条件におけるクリティカルパスのリーク電流

ては、約 50 % のリーク電流の増加を抑えることができています。

5. 結論

本稿では、pMOS トランジスタと nMOS トランジスタの基板電圧を独立に制御することが可能な DLL 型基板電圧生成回路を提案した。提案手法では、基板電圧の制御対象である回路のクリティカルパス遅延と nMOS トランジスタと pMOS トランジスタのしきい値電圧をそれぞれモニタすることによって対象回路が遅延制約を満たしつつ不必要なリークエネルギーが発生しないように基板電圧を制御する。また、回路を構成する要素がチャージポンプを除いて全てデジタル回路でアナログ回路による設計コストや電力オーバーヘッドの増大を抑えることができる。電源電圧 0.7 V としたシミュレーションにおいて、クリティカルパスレプリカに対して与えられた遅延制約を満たす基板電圧を数マイクロ秒で生成することが可能であることがわかった。この時、提案手法の電力オーバーヘッドは従来の DAC を用いた手法に比べて小さいことがわかった。また、プロセスばらつきに対してそれらを適切に補正する nMOS トランジスタと pMOS トランジスタの基板電圧を独立に設定することで、リーク電流も SF 条件において従来手法に比べて 50 % 削減することができるとわかった。今後は、逆方向の基板電圧も生成可能な回路を設計しあらゆる条件に対しても遅延制約を満たしリーク電流が最小となるような基板電圧を生成することが課題である。

謝辞 本研究は科研費 (16H01713) による支援によって行われた。また、設計実験は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

[1] B Walsh, H Utomo, E Leobandung, A Mahorowala, D Mocuta, K Miyamoto, M Kumar, S Huang, M Gri-belyuk, A Gabor, et al. Rta-driven intra-die variations in stage delay, and parametric sensitivities for 65nm tech-

nology. In *2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers.*, pp. 170–171. IEEE, 2006.

[2] David Blaauw, Kaviraj Chopra, Ashish Srivastava, and Lou Scheffer. Statistical timing analysis: From basic principles to state of the art. *IEEE transactions on computer-aided design of integrated circuits and systems*, Vol. 27, No. 4, pp. 589–607, 2008.

[3] James W Tschanz, James T Kao, Siva G Narendra, Raj Nair, Dimitri A Antoniadis, Anantha P Chandrakasan, and Vivek De. Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage. *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 11, pp. 1396–1402, 2002.

[4] Islam AK M Mahfuzul, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera. A built-in self-adjustment scheme with adaptive body bias using p/n-sensitive digital monitor circuits. In *2012 IEEE Asian Solid State Circuits Conference (A-SSCC)*, pp. 101–104. IEEE, 2012.

[5] Yosuke Okamura, Tohru Ishihara, and Hidetoshi Onodera. Independent n-well and p-well biasing for minimum leakage energy operation. In *2018 IEEE 24th International Symposium on On-Line Testing And Robust System Design (IOLTS)*, pp. 177–182. IEEE, 2018.

[6] Norihiro Kamae, Akira Tsuchiya, and Hidetoshi Onodera. A body bias generator compatible with cell-based design flow for within-die variability compensation. In *2012 IEEE Asian Solid State Circuits Conference (A-SSCC)*, pp. 389–392. IEEE, 2012.

[7] Milovan Blagojević, Martin Cochet, Ben Keller, Philippe Flatresse, Andrei Vladimirescu, and Borivoje Nikolić. A fast, flexible, positive and negative adaptive body-bias generator in 28nm fdsoi. In *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)*, pp. 1–2. IEEE, 2016.

[8] Anthony Quelen, Gaël Pillonnet, Philippe Flatresse, and Edith Beigné. A 2.5 μw 0.0067 mm 2 automatic back-biasing compensation unit achieving 50% leakage reduction in fdsoi 28nm over 0.35-to-1v v dd range. In *2018 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 304–306. IEEE, 2018.

[9] Hayate Okuhara, Akram Ben Ahmed, and Hideharu Amano. Digitally assisted on-chip body bias tuning scheme for ultra low-power vlsi systems. *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 65, No. 10, pp. 3241–3254, 2018.

[10] Joan Mauricio and Francesc Moll. Local variations compensation with dll-based body bias generator for utbb fd-soi technology. In *2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS)*, pp. 1–4. IEEE, 2015.

[11] Mahfuzul Islam AKM and Hidetoshi Onodera. Circuit techniques for device-circuit interaction toward minimum energy operation. *IPSS Transactions on System LSI Design Methodology*, Vol. 12, pp. 2–12, 2019.

[12] David Harris and N Weste. Cmos vlsi design. *Pearson Education, Inc*, 2010.