

広範囲な電圧領域で動作する フリップフリップのタイミング特性モデル

内田 翼^{1,a)} 塩見 準¹ 石原 亨² 小野寺 秀俊¹

概要：フリップフロップ (Flip-Flop: FF) は集積回路設計において欠かすことのできない記憶素子である。本稿は、FF のタイミング特性のうち最小遅延規約に関わるホールド時間のモデルを構築する。FF を構成する論理ゲートの伝搬遅延を用いて、幅広い電圧領域で論理値 1 を FF に書き込む際のホールド時間を表現する単純な解析モデルを構築する。65-nm プロセステクノロジーを用いたトランジスタレベル回路シミュレーションにより、提案モデルの検証を行う。1.0 V から 0.2 V の電源電圧領域に対し、高々論理ゲート 1 個分の 30% で解析可能であることをシミュレーションにより示す。

1. 序論

集積回路は今や我々の日常生活に溶け込むキーマイクデバイスである。スマートフォンといった情報通信端末だけでなく、ヘルスケアモニタやワイヤレスセンサネットワークなど、バッテリー駆動するモバイル端末の急速な発展により、省エネルギー動作する集積回路の需要が高まっている。電源電圧としきい値電圧の動的なスケールリング技術は、集積回路のエネルギー効率を改善する有効な手法である [1]。しかし、デジタル集積回路を設計する際に必要不可欠な記憶素子であるフリップフロップ (Flip-Flop: FF) が低電圧領域でタイミング違反を起こし、正常動作しない問題が存在する [2]。

本稿では、幅広い電圧領域で FF のホールド時間を見積もる解析モデルを提案する。ホールド時間は、集積回路の最小遅延制約に関連するタイミング特性である。集積回路の最大遅延制約が満たされない場合、クロック周波数を遅くすることで最大遅延制約を緩和できるが、クロック周波数の調整では最小遅延制約を緩和することができない。最小遅延制約の緩和には多くの遅延素子が必要となり消費エネルギーと回路面積の増大を招く。回路設計段階で、ホールド時間を含めた最小遅延制約を注意深く考慮することが必要である。幅広い動作電圧で FF のタイミング特性を最適化させる手法は十分に検討されていない。これは論理ゲートの遅延の変化に伴いタイミング特性が動作電圧によって

大幅に影響を受け、モデル化が困難なためである。本稿は FF の中でも幅広く用いられるトランスミッションゲートフリップフロップ (Transmission Gate Flip-Flop: TGFF) を対象とする [3]。

本稿では特に、FF に論理値 1 を書き込む際のホールド時間のモデル化を行う本論文の構成を以下に示す。まず、第 2 章で関連研究と本研究の成果を述べる。第 3 章で TGFF のタイミング故障機構をタイミングチャートを用いて述べ、故障機構に基づき論理値 1 を書き込む際のホールド時間のモデル化を行う。第 4 章で 65-nm プロセステクノロジーを用いたシミュレーション実験を行い、1.0 V から 0.2 V の電圧領域に対し、最悪ケースでインバータ 1 個の伝搬遅延の 30% の誤差でホールド時間をモデル化できることを示す。最後に、第 5 章で本論文のまとめを行う。

2. 関連研究と研究成果

FF の特性最適化についての研究は古くから活発に行われてきた。文献 [4] ではトランジスタのゲート幅を最適化させることによって、幅広い電圧に対して C2Q (Clock to Q) 時間や D2Q (Data to Q) 時間等のタイミング性能の最適化手法が提案されている。文献 [5] では低消費電力化に向けてトランジスタが弱反転領域で動作するような低電圧で動作する FF の設計手法が提案されている。また、極低電圧領域で FF が値を保持できる確率 (リテンションの確率) を解析的に求め、回路設計にフィードバックする研究も行われている [6]。しかし、幅広い電圧領域で動作する FF の実現に向けたタイミング特性、特にホールド時間に向けた解析モデルは十分に検討されていない。その原因として、動作電圧によって大幅に変化しモデル化が困難なことが挙げ

¹ 京都大学大学院情報学研究科
Graduate School of Informatics, Kyoto University

² 名古屋大学大学院情報学研究科
Graduate School of Informatics, Nagoya University

a) t-uchida@vlsi.kuee.kyoto-u.ac.jp

られる。

論理ゲートの伝搬遅延は強反転領域で動作させる場合 [7] や弱反転領域で動作させる場合 [8] など、動作電圧によって性質が大きく異なる。そのため、動作電圧によって LSI の遅延特性は大幅に変化する。したがって、FF のタイミング特性も大幅に変化することが予想され、動作電圧を変化させた際のタイミング故障の原因となる。本稿では、広範囲な電圧領域で FF のタイミング特性を正確に表現できる解析モデルの構築を行う。解析モデルの導出により、例えばトランジスタのゲート幅最適化による、FF のタイミング設計最適化が可能になる。本稿では、FF として幅広く用いられているトランスミッションゲートフリップフロップ (Transmission Gate Flip-Flop: TGFF) を対象とし、タイミング特性のうち最小値遅延制約に関連するホールド時間をモデル化する。

本稿の研究成果を以下に示す。

- TGFF に論理値 1 を書き込む際のホールド時間の解析モデルを提案する。TGFF を構成する論理ゲートの伝搬遅延を用いた単純なホールド時間の解析モデルを提案する。
- 65-nm プロセステクノロジーを用いてモデル式の検証実験を行い、提案モデルを用いたホールド時間の見積もり誤差が最悪ケースで論理ゲート 1 個の伝搬遅延の 30% であることを示す。

3. FF のタイミング解析とタイミング特性モデル化

本章では、まず図 1 に示す TGFF のシミュレーション結果を示し、タイミング違反の発生機構を 3.1 節にて説明する。タイミング違反の発生機構に基づき、ホールド時間の解析モデルを 3.2 節で述べる。

3.1 タイミング違反発生機構の解析

本節では、FF のホールド違反の発生機構を述べ、ホールド時間モデル化に向けた準備を行う。FF のタイミング特性を表す指標として以下の 3 つが挙げられる。

D2C (Data to Clock) 遅延：データが入力されてからク

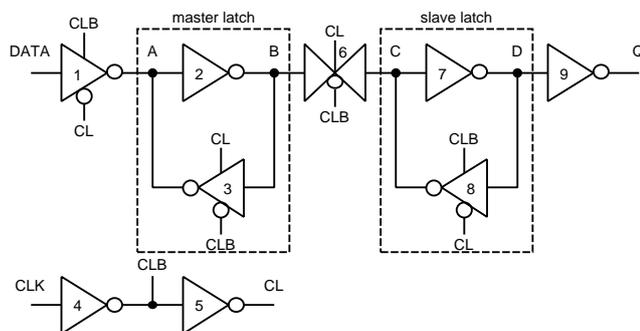


図 1 TGFF の構造図。

ロックが立ち上がるまでの時間。

C2Q (Clock to Q) 遅延：クロックが立ち上がってから出力に伝わるまでの時間。

D2Q (Data to Q) 遅延：データが入力されてから出力に伝わるまでの時間。

本稿では、ホールド時間に注目して解析を行う。D2C 遅延を小さくすると C2Q 遅延は増加し、このときホールド時間は一般的に以下のように定義される [3]。

- C2Q 遅延が最小値から 5% 増加したときの D2C 時間。

クロックの立ち上がりからホールド時間で決められた時間だけ、書き込みたい値を保持する必要がある。この制約が満たされない場合 C2Q 遅延が急激に増大して最終的に無限大に発散し、FF に入力データを正常に書き込むことができない。本稿では C2Q 遅延が 5% 以上悪化する状態をホールド違反と定義し、ホールド違反の発生機構を TGFF のシミュレーション結果に基づき述べる。65-nm プロセステクノロジーを用い、電源電圧を 1.0 V と設定している。

図 2 に十分長い時間入力値を保持した場合、すなわち D2C 遅延を無限大として最小の C2Q 遅延で 1 を書き込んだ場合 (青色の破線) と、短くして C2Q 遅延が最小値から 5% 増加し、ホールド違反となった場合 (赤色の実線) のタイミングチャートを重ねたものを示す。クロック信号 (黒色の実線) が入力されたタイミングはどちらの場合も同じとした。信号波形の左側に示した DATA, A, B, C, D, Q, CLK, CLB, CL はそれぞれ図 1 に示した各ノードを表す。以下では、各論理ゲートは図 1 に示した番号で表すとする。

青の破線 (D2C 遅延が無限大) の場合、以下に示す機構で値の書き込みが行われる。

- (1) DATA が常に V_{DD} に保たれたため、A は V_{SS} にプルダウン、B は V_{DD} にプルアップされる。
- (2) CLB が立ち下がり、6 番のトランスミッションゲートの pMOSFET が導通してノード B の信号が C に伝搬。
- (3) CL が立ち上がり、1 番のクロックインバータは

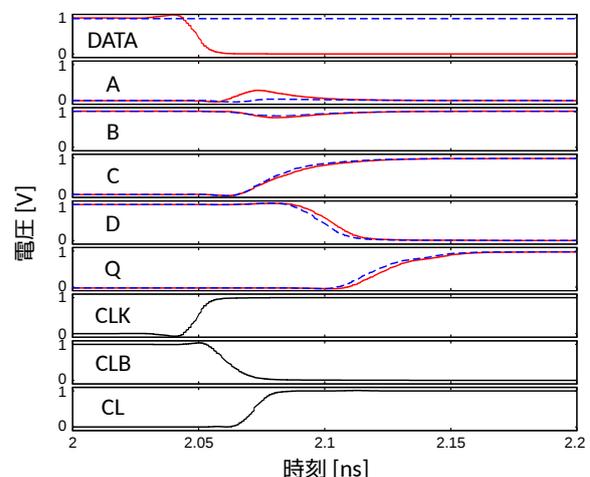


図 2 ホールド違反解析に用いるタイミングチャート。

DATA を遮断, 3 番のクロックインバータはインバータとして動作してマスターラッチで論理値 1 を保持する.

次に, 赤色の破線 (ホールド違反が発生する場合) は, 以下のような機構で C2Q 遅延が 5% 増大する.

- (1) DATA が時刻 2.05 ns 付近で V_{SS} にプルダウンされるため, A は V_{SS} からプルアップ, B は V_{DD} からプルダウンされる.
- (2) CLB が立ち下がり, 6 番のトランスミッションゲートの pMOSFET が導通してノード B の信号が C に伝搬
- (3) CL が立ち上がり, 1 番のクロックインバータは DATA を遮断, 3 番のクロックインバータはインバータとして動作してマスターラッチで論理値 1 を保持する.
- (4) ノード A, B の電位は論理しきい値を越えないため, マスターラッチは論理値 1 を保持.
- (5) 時刻 2.07 ns 付近でノード A の電位は V_{SS} より高い. したがって 2 番のインバータの駆動力が低下し, ノード C の信号遷移 (スリュー) が緩やかになる.
- (6) C のスリュー低下により 7 番のインバータの伝搬遅延が増加する.
- (7) C2Q 遅延が 5% 増加する.

以上より, ホールド違反の発生機構をまとめると以下の通りである.

- ホールド違反により C2 遅延 Q が増加するとき, FF 内では CLB が入力され 6 番のトランスミッションゲートの pMOSFET が導通してからノード C が充電されるまでの時間と, 7 番のインバータの伝搬遅延が主に増加する.
- 7 番のインバータの遅延増加はノード C における信号の遷移時間の増大に起因する.
- ノード C の充電時間の増大は, 2 番のインバータの駆動力の低下に起因する. 駆動力低下の原因はノード A の電位が V_{SS} からプルアップされるためである.

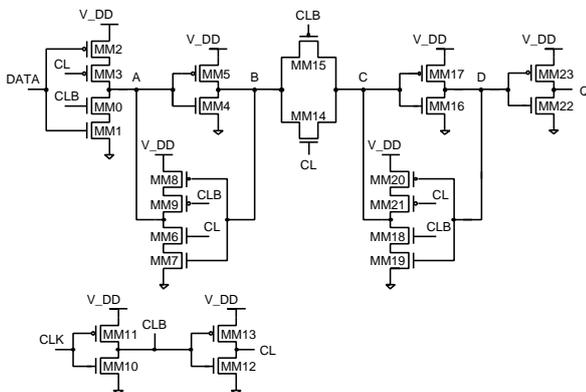


図 3 TGFF のトランジスタレベルの回路図.

3.2 タイミング特性モデルの構築

本節では, 前節で述べたホールド違反発生機構に基づき, ホールド時間の構築を行う. 前節の議論より, ホールド違反は 1 番のクロックインバータがノード A を充電している途中に, CLK 信号が 4 番と 5 番のインバータを通して 1 番のクロックインバータをオフ状態にし, ノード A の電位を再び V_{SS} までプルダウンさせることで発生する. そのため, ホールド時間を, DATA 信号が A に至るデータパスの伝搬遅延とクロック信号が 1 番のクロックインバータをオフ状態にするクロックパスの伝搬遅延の差分によってモデル化する. 論理値 1 を書き込む場合のホールド時間を考える際, 前節の議論よりクロックパスの遅延は 6 番と 7 番のインバータの伝搬遅延で表現できる. したがって, クロックパスの伝搬遅延は $t_{CLK-CLB} + t_{CLB-CL}$ と表せる. ただし, $t_{CLK-CLB}$ は CLK の電位が 4 番のインバータの論理しきい値 V_{It} に遷移してから 4 番のインバータが CLB の電位を V_{It} に駆動するまでの遅延であり, t_{CLB-CL} は CLB の電位が 5 番のインバータの V_{It} に遷移してから 5 番のインバータが CL の電位を 1 番のクロックインバータの V_{It} に駆動するまでの遅延である.

データパスに関しては, 前節で述べたタイミングチャートより CL が 1 番のクロックインバータの論理しきい値まで立ち上がったときに 1 番のクロックインバータは充電を中止し, ノード A の電位は最大値 V_a になる. したがって, ホールド時間のモデルにおいてデータパスの伝搬遅延とは DATA が入力されてから CL が立ち上がるまで, すなわち A が V_a に達するまでの時間でモデル化する. このとき, V_a は 2 番のインバータの V_{It} より小さい. したがって本稿では, データパスの伝搬遅延は 0 以上 1 以下の係数 k を用いて kt_{DA} と表現する. ただし, t_{DA} は DATA が 1 番のクロックインバータの V_{It} に遷移してから A が 2 番のインバータの V_{It} に遷移するまでの遅延である. 以上のことから, $k = V_a/V_{It}$ と表現でき, 次式のようにホールド時間 t_{hold} のモデル化を行う.

$$t_{hold} = \frac{V_a}{V_{It}} t_{DA} - t_{CLK-CLB} + t_{CLB-CL}. \quad (1)$$

以下では, モデル構築のため V_a を解析的に求める.

FF に 1 を書き込む場合を考える. C2Q 遅延は, 図 1 に示した論理ゲートの遅延 (4 番, 7 番, 9 番) と, 図 4, 5 に示すトランスミッションゲートを通る信号の遅延用いて以下の式で表せる. ただし, $t_{CLK-CLB}$ は 4 番のインバータの遅延, t_{CD} は 7 番のインバータの遅延, t_{DQ} は 9 番のインバータの遅延, そして $(R + R_{TG})C$ は 6 番のトランスミッションゲートが導通して 2 番のインバータがノード C を充電するまでの遅延 [9] を表す. また, R は 2 番のインバータの pMOSFET の等価抵抗, R_{TG} は 6 番のトランスミッションゲートの pMOSFET の等価抵抗, C はノード C の容量値である. C は主に 7 番のインバータのゲート容量や, 8 番

のインバータと6番のトランスミッションゲートの拡散容量，配線容量の総和に対応する．

$$C2Q = t_{CLB-CL} + (R + R_{TG})C + t_{CD} + t_{DQ}. \quad (2)$$

C2Q 遅延が5%増加し，ホールド違反が発生する場合を考える．前節の解析結果から右辺で増加する項は R と t_{CD} の2項のみである．さらに， t_{CD} の増加は C のスリユーの増加によって生じる．本稿では，文献 [9] と同様の考えに基づき， t_{CD} の増大は C の遅延時間の線形関数で近似する．この結果，C2Q 遅延の増大を R の増大 ΔR に押し込めるホールド違反によって ΔR 増加したとすると以下の式が成立する．

$$\begin{aligned} \Delta RC &= 5\% C2Q \\ &= 5\% (t_{CLK-CLB} + (R + R_{TG})C \\ &\quad + t_{CD} + t_{DQ}). \end{aligned} \quad (3)$$

各論理ゲートのゲート幅が同程度であるとすると，各論理ゲートの伝搬遅延はファンアウト数や出力抵抗の直列数に比例する．したがって，ファンアウト1の単位インバータの遅延を1とすると，式 (3) について， ΔR が2， $t_{CLK-CLB}$ が3， $(R + R_{TG})$ が2， t_{DQ} が4であるから，C2Q 遅延が5%増加するとき， ΔR はおよそ $(55/2)\% = 27.5\%$ 増加する．ただし，FF の出力負荷としてファンアウト4インバータを想定する．今，ノードCをプルアップするのは2番のインバータの pMOSFET (図3の MM5) であるから， R は MM5 の等価抵抗である．2番のインバータの pMOSFET は線形領域で動作するため，MM5 の $I_{ds}-V_{ds}$ 特性の $V_{ds} = 0$ V 付近の傾きより R を決定できる． I_{ds} ， V_{ds} はそれぞれドレインソース間電流と電圧である．この傾きが27.5%増大するときのゲートソース間電圧，つまりノードAの電位を $V_{a,eff}$

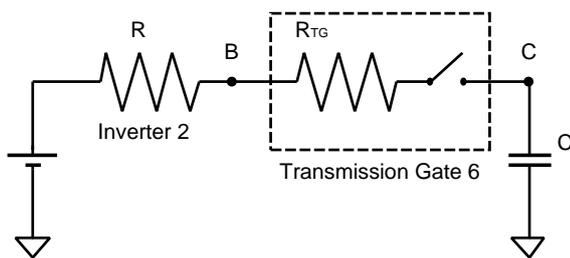


図4 トランスミッションゲートを通る遅延等価回路.

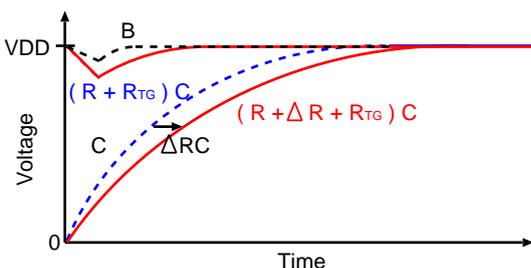


図5 トランスミッションゲートを通る遅延増加.

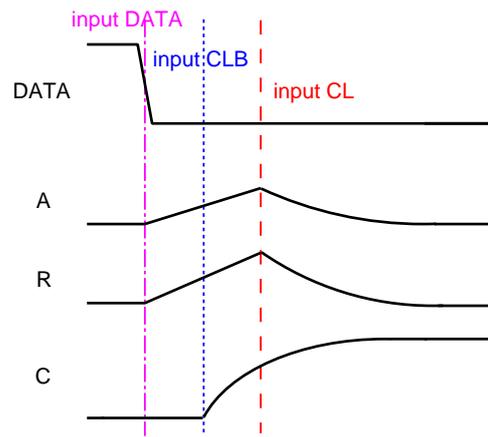


図6 ホールド違反時の信号の入力タイミング.

とおく．以下では $V_{a,eff}$ を用いて V_a のモデル化を行う．

ホールド違反が発生する時のタイミングチャートを簡略化した図を図6に示す．DATAが入力されるとノードAがの電位が上昇し始め，それに伴い2番のインバータの等価抵抗 R が増大する．ホールド違反が起きたとき，1番のクロックインバータの pMOSFET は飽和領域で動作するのでAの信号は線形に遷移する．CLが立ち上がる前は1番のクロックインバータがAをプルアップするが，CLが立ち上がると3番のクロックインバータがAをプルダウンする．3番のクロックインバータの nMOSFET は線形領域で動作するため，当該 nMOSFET を単一の抵抗と見なすと，Aは指数関数的に遷移する．そして， R はノードAと同様の波形遷移する．CLBが立ち下がったときに6番のトランスミッションゲートの pMOSFET が導通してノードCが充電されるので，CLBが入力されてからCが一定の電位に安定するまでの R の平均的な値がノードCの信号遷移の時定数を決定する．本稿では簡単のため，Cの遅延を決定するのは R の波形が作る三角形の高さの半分の抵抗値 $R_{eff} (= R + \Delta R)$ と近似する．前述の議論により， ΔR だけ抵抗値が増大する V_a を求めることで， R_{eff} を見積もることができる．このとき， $V_{a,eff}$ は R と同様にAの波形の高さの半分の電位を指す．以上により，直流解析で $V_{a,eff}$ を評価すれば V_a の近似値を導出できる．

$V_{a,eff}$ と V_a の関係を図7に示す．前述の通り， V_a を $V_{a,eff}$ の2倍で近似する．

$$V_a = 2V_{a,eff}. \quad (4)$$

式 (1) に式 (4) を代入すると，ホールド時間のモデルは以下の式 (5) のように構築できる．

$$t_{hold} = \frac{2V_{a,eff}}{V_{th}} t_{DA} - t_{CLK-CLB} + t_{CLB-CL}. \quad (5)$$

3.3 入力信号のスリユーを考えたホールド時間モデル

本稿では，ホールド時間のモデル式 (5) を構築する際，DATAのスリユーが十分小さいと仮定した．しかし，実際

には DATA のスリューに依存して 1 番のクロックインバータの遅延が変化する。図 8 に示す回路のように、ノード A の電位が V_r まで充電される時間 $t_{DA}(r)$ は、DATA のスリューに依存する。図 8 に示した回路で、 $t_{DA}(r)$ のスリュー依存性を評価した結果を図 9 に示す。横軸は V_r を電源電圧 V_{DD} で正規化した値、縦軸は $t_{DA}(r)$ である。 $t_{DA}(r)$ は、入力スリューと V_r の線形関数の関係にある。これは、1 番のインバータの pMOSFET はノード A を充電する際、飽和領域で動作しており $t_{DA}(r)$ は V_r に対して線形になるためである。また、DATA の電位が 1 番のクロックインバータの論理しきい値 $V_{th,1}$ を超え、ノード A を充電するし始めるまでに必要な時間がおよそスリューに比例するためである。DATA 信号のスリューを考慮してホールド時間をモデル化する場合、(6) 式に補正項を追加した次式でモデル化する。

$$t_{\text{hold}} = \left(\frac{2V_{a,\text{eff}}}{V_{th}} (t_{DA} - t_{\text{DATA}}) + t_{\text{DATA}} \right) - (t_{\text{CLK-CLB}} + t_{\text{CLB-CL}}). \quad (6)$$

ここで、 t_{DATA} は図 9 の切片である。 $t_{DA}(r)$ の線形性により、 t_{DATA} は容易に見積もることができる。次章では、モデル式 (6) を用いることで、広範囲な電圧領域でホールド時間を解析可能であるか検証を行う。

4. モデル式検証

4.1 シミュレーションセットアップ

本章では、前章で構築した論理値 1 を書き込む際のホールド時間 t_{hold} のモデル式 (6) を、65-nm プロセステクノロジーを用いたトランジスタレベル回路シミュレーションによって検証する。評価環境を図 10 に示す。入力信号を現実的な波形にするため DATA と CLK にインバータを 4 段直列に接続し、出力負荷としてよく用いられるファンアウト 4 インバータを接続する。TGFF の性能を拡散容量のみ寄生成分として考慮したプレレイアウトシミュレーションに

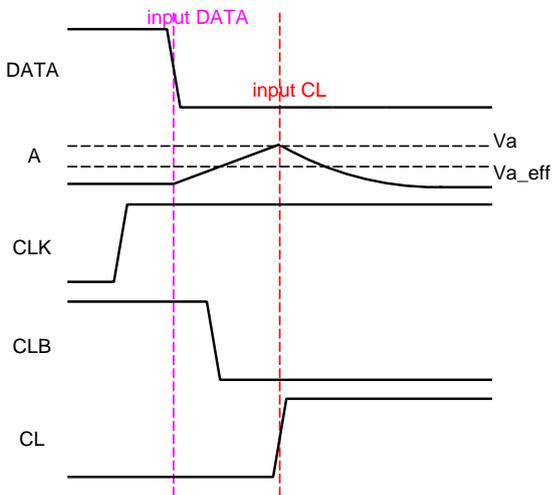


図 7 V_a の解析方法.

より評価する。簡単のため、モデル中の t_{DA} , $t_{\text{CLK-CLB}}$, $t_{\text{CLB-CL}}$ はトランジェントシミュレーションより直接求める。具体的には、D2C 時間を十分に大きく取った時の各ゲートの遅延時間を用いる。

4.2 V_a の解析結果

本節では、 V_{DD} を 1.0 V から 0.2 V まで 0.1 V ずつ変化

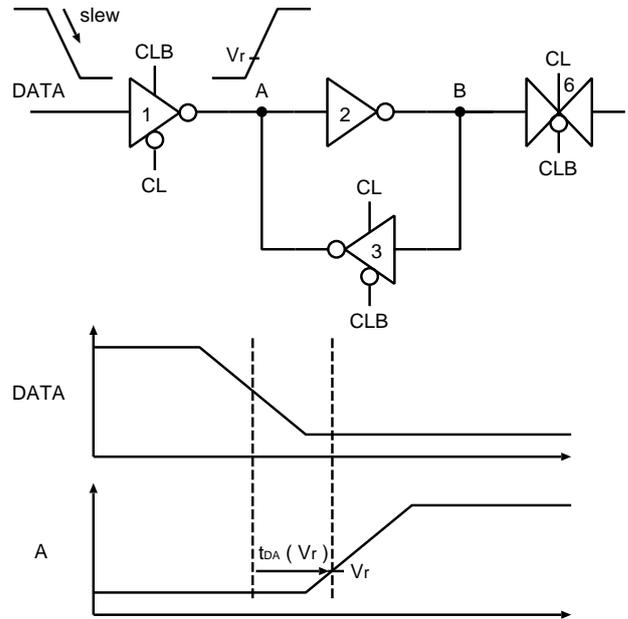


図 8 DATA のスリューが t_{DA} に及ぼす影響の評価回路.

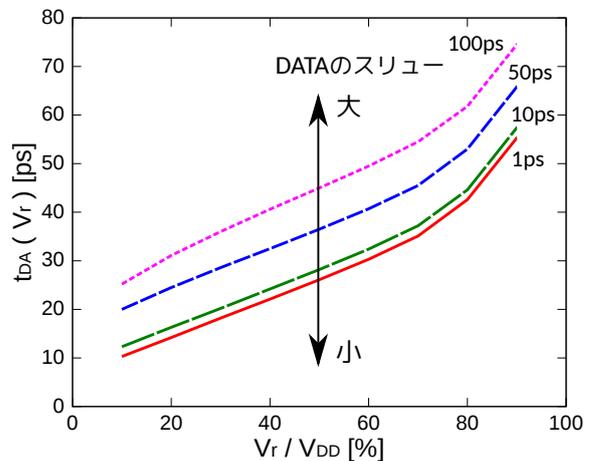


図 9 $t_{DA}(r)$ の入力スリュー依存性.

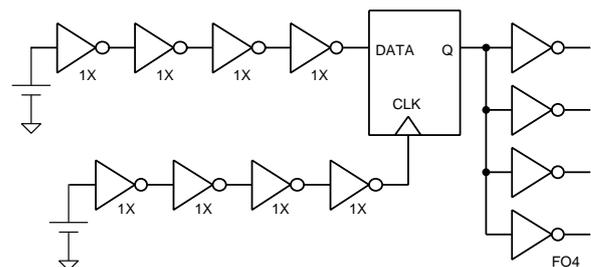


図 10 評価環境.

させ、式 (4) より V_a の精度を検証する。ここで、 $V_{a,eff}$ は各電圧条件に対し、3.2 節で述べた ΔR の増大量より決定する。簡単のため、図 3 の MM5 の $I_{ds}-V_{ds}$ 特性は直流解析より求める。解析結果を図 11 に示す。FF がホールド違反を起こした時のトランジェント波形から直接求めた V_a を赤色 (破線)、式 (4) より求めた V_a を緑色 (実線) で示す。図 11 より、 V_a の評価誤差は高々 35% である。最大誤差 35% は電源電圧 0.3 V の際に生じ、その大きさは 10 mV である。この解析結果に基づきホールド時間の精度検証を行う。

4.3 V_{DD} を変化させた場合の検証結果

V_{DD} を 1.0 V から 0.2 V まで 0.1 V ずつ変化させた場合の提案モデルの解析結果を図 12 に示す。シミュレーションによって評価した t_{hold} を赤色 (破線)、モデル式 (6) を用いて評価した t_{hold} を緑色 (実線) で示す。

図 12 より、 V_{DD} の変化に対しモデル式 (6) によって t_{hold} を最大 15 ps 以下の誤差で見積り可能である。検証結果から、論理ゲート 1 個分の遅延に対して誤差が最大となるのは $V_{DD} = 0.6$ V のときで、30% に相当する誤差であり、誤差 15 ps で解析可能である。

5. 結論

LSI において、多数用いられる FF が一つでもホールド違反を起こすと回路全体が動作しなくなる。この問題を回避するために多くの遅延素子を挿入しなげればならず、面積や消費エネルギーのオーバーヘッドに繋がる。本稿では、FF のタイミング特性のうち回路の最小遅延制約に関わるホールド時間のモデルを構築した。65-nm プロセステクノロジーを用いたトランジスタレベル回路シミュレーションを行い、構築モデルによって V_{DD} が変化した場合にホールド時間を最大で論理ゲート 1 個分の遅延の 30% に相当する誤差で解析可能であることを示した。今後、FF に 0 を書き込む場合のモデル構築と、セットアップ時間等、ホールド時間以外の FF のタイミング特性のモデルを構築し、広範囲な電圧領域でタイミング違反を起こさない FF の最適設計

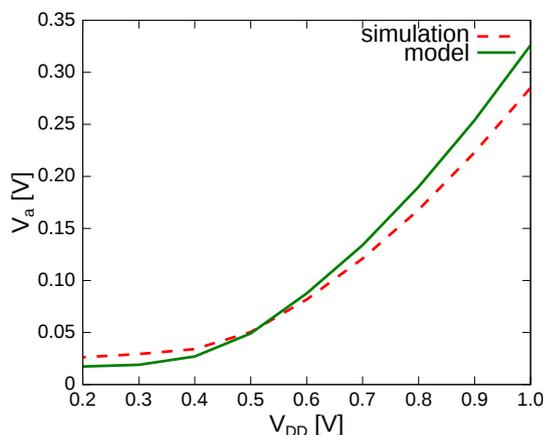


図 11 V_{DD} を変化させた場合の V_a の解析結果。

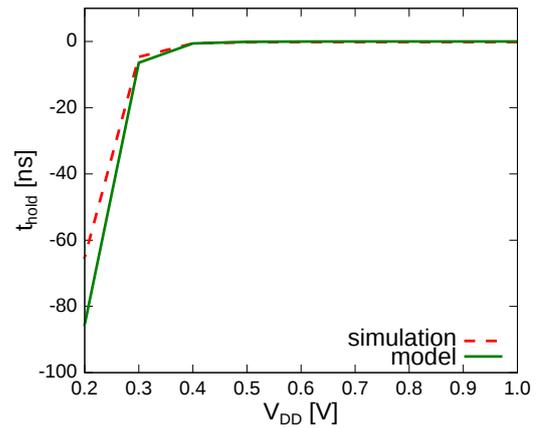


図 12 V_{DD} を変化させた場合の解析結果。

手法を解明することが課題である。

謝辞 本研究は科研費 (16H01713) による支援によって行われた。また、設計実験は東京大学大規模集積システム設計教育研究センターを通し、シノブシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] R. Gonzalez, B. M. Gordon, and M. A. Horowitz, "Supply and threshold voltage scaling for low power CMOS," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 8, pp. 1210–1216, 1997.
- [2] D. Ernst, S. Das, S. Lee, D. Blaauw, T. Austin, T. Mudge, N. S. Kim, and K. Flautner, "Razor: circuit-level correction of timing errors for low-power operation," *IEEE Micro*, vol. 24, no. 6, pp. 10–20, 2004.
- [3] M. Alioto, E. Consoli, and G. Palumbo, "Analysis and comparison in the energy-delay-area domain of nanometer CMOS flip-flops: Part I methodology and design strategies," *IEEE Tran. on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 5, pp. 725–736, 2011.
- [4] D. Markovic, B. Nikolic, and R. Brodersen, "Analysis and design of low-energy flip-flops," in *Proceedings of the 2001 international symposium on Low power electronics and design*, pp. 52–55, 2001.
- [5] T. Kamakari, J. Shiomi, T. Ishihara, and H. Onodera, "A design method of flip-flop for high energy-efficiency and lower minimum operating voltage," *SoCC*, 2014.
- [6] T. Kamakari, J. Shiomi, T. Ishihara, and H. Onodera, "A stability analysis method for CMOS latches in ultra low voltage operation," *IEICE*, 2016.
- [7] T. Sakurai and A. R. Newton, "Alpha-power law mosfet model and its applications to cmos inverter delay and other formulas," *IEEE Journal of solid-state circuits*, vol. 25, no. 2, pp. 584–594, 1990.
- [8] S. Keller, D. M. Harris, and A. J. Martin, "A compact transregional model for digital cmos circuits operating near threshold," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 10, pp. 2041–2053, 2014.
- [9] J. Rubinstein, P. Penfield, and M. A. Horowitz, "Signal delay in RC tree networks," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 2, no. 3, pp. 202–211, 1983.