

# Nauta OTA を用いた二次 $\Delta \Sigma$ 変調器の設計と評価

上村大輔<sup>†1</sup> 橋昌良<sup>†1</sup>

本研究では A/D または D/A 変換で使われる  $\Delta \Sigma$  変調器に Nauta OTA を用いた二次  $\Delta \Sigma$  変調回路を連続型、離散型の 2 つ作成し設計及びチップの作製を行った。シミュレーションにおいて各回路は  $\Delta \Sigma$  変調としての動作を示し、S/N 比は一次  $\Delta \Sigma$  変調器と比べ 7dB ほど改善した。試作チップは 6 月中旬に届き実測を行った。実測結果において連続型の変調器は 40[dB/dec] のノイズシェーピングを確認することができたが離散型の実測結果は二次側フィードバックのタイミングが合わなかったため出力波形を確認することができなかった。

## Design and evaluation of Second-order $\Delta \Sigma$ modulation using Nauta OTA

DAISUKE UEMURA<sup>†1</sup> MASAYOSHI TACHIBANA<sup>†1</sup>

This research prepares continuous or discrete second-order  $\Delta \Sigma$  modulation using Nauta OTA used A/D or D/A converter and conduct design and evaluation of chip circuit. In simulation, each circuit shows  $\Delta \Sigma$  modulations behavior, and the rate of S/N improves approximately 7dB compare First-order  $\Delta \Sigma$  modulation. The trial chips reached in the mid-June, measured the rate of S/N. In the actual results, continuous  $\Delta \Sigma$  modulation was able to confirm noise shaping of 40[dB/dec], but discrete  $\Delta \Sigma$  modulation could not be confirmed because the timing of the secondary feedback was not correct.

### 1. はじめに

今日、計算や信号処理をデジタル領域で行う機会が圧倒的に増えた。デジタル集積回路(IC)の動作速度と集積度は年々上昇しておりほぼすべての通信機器や家電製品の分野でデジタル処理の優先度が揺るがないものになっている。一方、日常生活で我々が使う物理量は変わらずにアナログ量であるため入力したアナログ信号をデジタル信号に変え、デジタル化したものをアナログ回路へと戻すといった A/D・D/A 変換技術が必要になった。例えばデジタルオーディオでは 1 標本化 16 ビットを 1 ロードとしており、オーバーサンプリングのみでの A/D 変換で実現することは回路的に困難であった。しかし  $\Delta \Sigma$  変調器ではノイズシェーピングにより低いビット数で 16 ビット分の精度に必要な信号雑音比(S/N 比)を得ることができる[1][2]。

本研究では、Nauta OTA を用いた二次の  $\Delta \Sigma$  変調回路を連続型、離散型の 2 つ設計しシミュレーションを行った。また、作成した回路を基に試作チップを作成、実測を行いシミュレーション結果と先行研究で行われた一次  $\Delta \Sigma$  変調器との比較を行った。表 1 に先行研究[3]における一次  $\Delta \Sigma$  変調器の S/N 比、ノイズフロアを示す。

表 1 先行研究のシミュレーション、実測結果

	シミュレーション	実測
S/N 比[dBV]	65.0	58.1
ノイズフロア[dBV]	-80	-59

### 2. OTA と Nauta OTA

本章では OTA の概要と動作原理について説明する。また、本研究で使用した Nauta OTA についての概要や構成について説明する。

#### 2.1 OTA の動作原理

OTA とは Operational Transconductance Amplifier の略で、入力された電圧を電流に出力する。OTA(電圧電流変換回路、変換係数  $G_m$ )に入力信号電圧  $V_{in}$  を入れた場合、数式 1 で表される電流  $I_{out}$  が得られる。図 1 の OTA の動作原理について示す。

数式 1

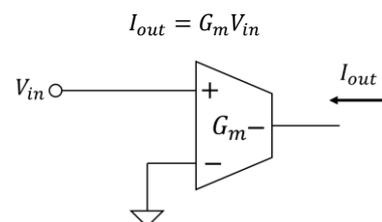


図 1 OTA とキャパシタを用いた積分器

また、今回全差動型の回路構成にすることによりコモンモード・ノイズを抑制し、高調波のひずみを軽減することができる。このようなことから、アナログ回路設計では電子回路全体を全作動型にすることでノイズ耐性を高めたりすることがある。図 1 の OTA を全作動型の OTA 回路にする手順を以下に示す。

図 1 の OTA の回路を上部に置き、それを鏡映反転させた回路を下部において、下記回路の入力端子すべての符号

<sup>†1</sup> 高知工科大学  
Kochi University of Technology.

を変えると図 2 ができる。さらに上下の回路を近づけて接地線をまとめて消去すると、図 3 の全差動型 OTA 回路ができる。

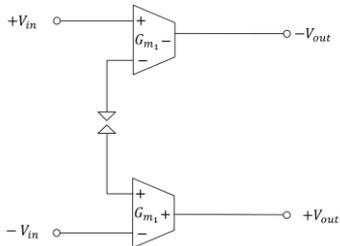


図 2 二組の OTA 回路

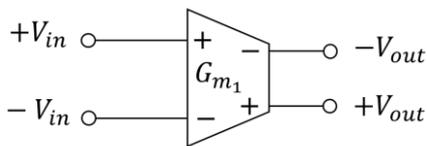


図 3 接地線をまとめて消去

## 2.2 全差動型 OTA を用いたフィルタ回路

本研究で設計した Nauta OTA は 6 つのインバータで構成され、非常に簡単な構造になっている。図 4 に Nauta OTA の回路図を示す。

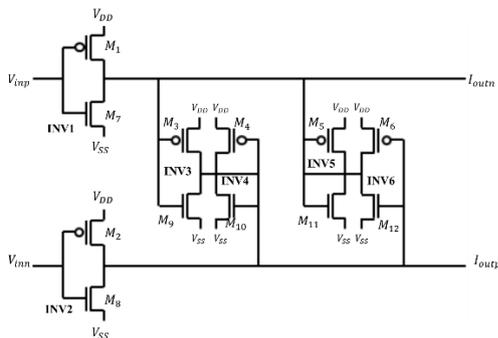


図 4 Nauta OTA の回路図

図 4 の Nauta OTA において、入出力がショートした INV4, INV5 は抵抗とみなすことができる。Nauta OTA を簡略化した回路図を図 5 に示す。

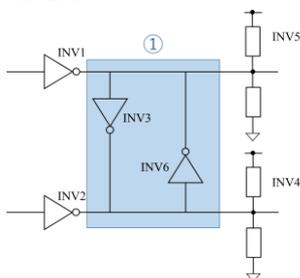


図 5 簡略化した Nauta OTA

図 5 において①の INV のループ回路部分は INV のみで構成されたフリップ・フロップ回路になっており、図 6 左側のような働きをする。図 6 左より、フリップ・フロ

ップ回路は (1)H の状態、(2)L の状態と (3)出力が常に変化する状態の 3 つが存在する。

一方、Nauta OTA では、INV4, INV5 の抵抗によりフリップ・フロップ回路の動作を抑えて図 6 右側のように動作が変化する。Nauta OTA は図 6 左側の (3) の状態で入力信号が増幅するため、INV4, 5 の抵抗を使い出力が H, L で安定しないようにする。また、INV4, 5 が分圧し、出力の直流成分を一定化するので、全差動回路に必要とされるコモン・モード・フィードバック回路が必要なくなる。

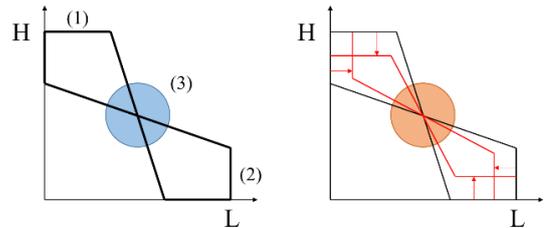


図 6 INV ループ回路の動作

## 2.3 使用した Nauta OTA

図 7 に今回使用した Nauta OTA、表 2 にパラメータを示す。

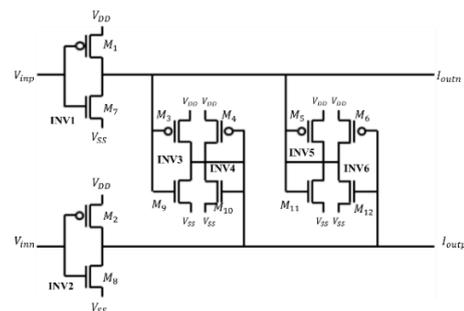


図 7 使用した Nauta OTA

表 2 Nauta OTA のパラメータ

トランジスタ	W/L 比
PMOS(INV1,2)	146
PMOS(INV3~6)	48
NMOS(INV1~3,6)	33
NMOS(INV4,5)	39

## 3. ΔΣ 変調器の動作原理

### 3.1 連続型と離散型

ΔΣ 変調器の積分器の多くは図 8 左に示すようにスイッチトキャパシタ回路で実現される。スイッチトキャパシタ回路(SC 回路)を使用することで積分器部分が離散的に処理されるため、離散的(DT)ΔΣ変調回路と分類される。DT 型が ΔΣ 変調器回路において使用される理由は素子パラメータに起因する積分器としての精度と線形性がいいことです。また、伝達回路の設計において SC 回路ではサンプリング周波数に応じて自然とスケールリングできる点も利

点として挙げられる。

一方、図 8 右のように抵抗とキャパシタを用いた連続時間型フィルタ回路で実現できる。このタイプは連続型(CT)  $\Delta \Sigma$  変調回路と分別される。CT 型は一般的に精度と線形性で劣る。また、時定数部分の変動が大きく、サンプリング周波数で伝達関数のスケールリングすることができない。しかし、CT 型のサンプリング周波数の理論的な限界値は量子化器の出力変化に依存する。一方、DT 型のサンプリング周波数はオペアンプのセトリングに依存する。この点で CT 型  $\Delta \Sigma$  変調器は DT 型  $\Delta \Sigma$  変調器に比べサンプリング周波数を高くすることができ高帯域化が可能になる。

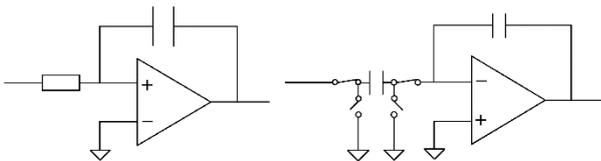


図 8 異なるタイプの積分器

### 3.2 $\Delta \Sigma$ 変調器の構成

#### 3.2.1 連続型 $\Delta \Sigma$ 変調器

図 9 に連続型の一次  $\Delta \Sigma$  変調器の構成を示す。

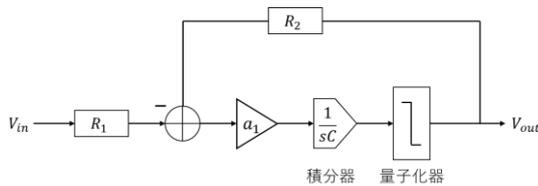


図 9 連続時間一次  $\Delta \Sigma$  変調器

$\Delta \Sigma$  変調器は高速でサンプリングしたアナログ信号を累積加算( $\Sigma$ )して参照電圧を超えたときその差分( $\Delta$ )をフィードバックさせ元の信号に戻したものである。  $R_1 = R_2 = R$  と置くと伝達関数は数式 2 のようになる。

$$\text{数式 2} \quad V_{out} = \frac{V_{in}}{(1+sCR)} + \frac{1}{(1+\frac{1}{sCR})}N(s)$$

$N(s)$  は量子化器における量子化雑音を表しており、量子化雑音の影響が出力端子では  $(1 + \frac{1}{sCR})^{-1}$  倍になることを示す。  $S$  は複素数を示しており  $s \rightarrow j\omega$  にすることで周波数成分  $\omega$  が小さくなるほど  $(1 + \frac{1}{sCR})^{-1}$  は 0 に近似できる。つまり、周波数が低いところでは量子化雑音が小さくなり、周波数が高くなるにしたがって量子化雑音が大きくなるというローパス・フィルタの働きをしている。この特徴をノイズシェーピングと呼び、周波数帯域における量子化雑音を小さくすることができる。

次に積分器を 2 つ用いた  $\Delta \Sigma$  変調器を考える。図 10 に連続型の二次  $\Delta \Sigma$  変調器の構成を示す。

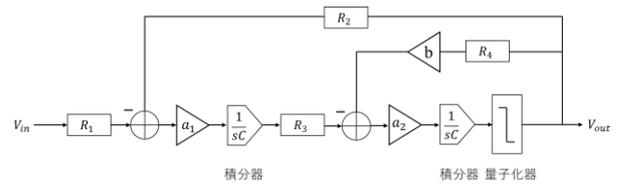


図 10 連続時間二次  $\Delta \Sigma$  変調器

$a_1 a_2 = 1$ ,  $a_2 b = 2$  とすると伝達関数は数式 3 のようになる。

$$\text{数式 3} \quad v_{OUT} = \left(\frac{1}{1sCR}\right)^2 v_{in} + \frac{1}{\left(1+\frac{1}{sCR}\right)^2}N(s)$$

量子化雑音は出力端子では  $\left(1 + \frac{1}{sCR}\right)^{-2}$  倍になっている。

図 11 にフィルタの次数とノイズシェーピングの効果との関係を概念図で表す。次数が高次になるにつれて信号帯域における量子化雑音が低下していることがわかる。



図 11 フィルタの次数とノイズシェーピングの効果

#### 3.2.2 離散型 $\Delta \Sigma$ 変調器

図 12 に離散型の一次  $\Delta \Sigma$  変調器の構成を示す。

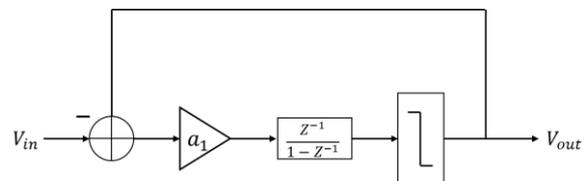


図 12 離散時間一  $\Delta \Sigma$  変調器

積分器には遅延積分器を使用した。遅延積分器を使用することでそれぞれの積分器のオペアンプが互いに独立してセトリングするためオペアンプに対する速度制限が緩和させることができる。

離散型  $\Delta \Sigma$  変調器の伝達関数は数式 4 のようになる。

$$\text{数式 4} \quad V_{out}(z) = z^{-1}V_{in}(z) + (1 - z^{-1})N(s)$$

$Z$  は複素数であり  $z \rightarrow e^{j\omega T}$  と表すことができる。  $\omega T \ll 1$  とみなせる低周波数領域では量子化雑音が小さくなり高周波数域で大きくなるローパス・フィルタの働きをする。

図 13 に離散型の二次  $\Delta \Sigma$  変調器の構成を示す。

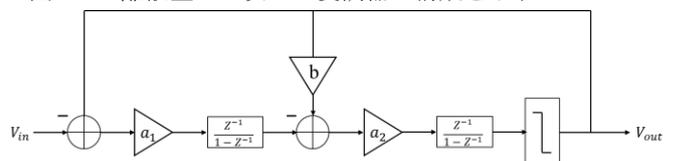


図 13 離散時間二次  $\Delta \Sigma$  変調器

連続型と同様に  $a_1 a_2 = 1$ ,  $a_2 b = 2$  とすると数式 5 のようになる.

$$\text{数式 5 } V_{out}(z) = z^{-2} V_{in}(z) + (1 - z^{-1})^2 N(z)$$

数式 5 から量子化雑音の影響が出力端子では  $(1 - z^{-1})^2$  倍になっており信号帯域における量子化雑音が一次変調器に比べ小さくなっていることがわかる.

## 4. 2次 $\Delta\Sigma$ 変調回路の設計

本書では実際に設計した連続型, 離散型における二次 $\Delta\Sigma$ 変調回路の詳細について述べる.

### 4.1 連続型二次 $\Delta\Sigma$ 変調回路の設計

図 14 に回路図, 表 3 に各パラメータ, 印加電圧を示す.

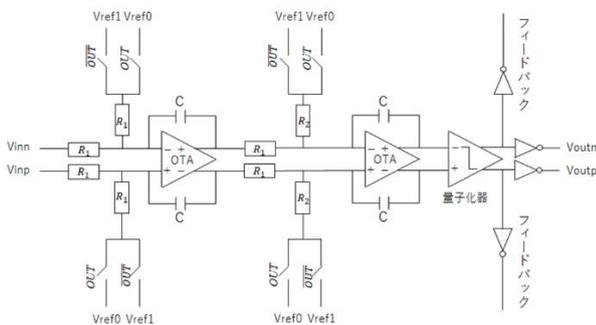


図 14 連続型二次 $\Delta\Sigma$ 変調回路

表 3 連続型回路の設計値

パラメータ	値
C	8[pF]
$R_1$	100[k $\Omega$ ]
$R_2$	50[k $\Omega$ ]
$V_{ref0}$	0.45[V]
$V_{ref1}$	1.35[V]

本回路は電源電圧 1.8[V], 入力電圧範囲 0.6~1.2[V] 入力周波数 22[kHz], オーバーサンプリング比 512 倍でシミュレーションを行った. また, 一次側の出力とフィードバックとのタイミングにずれが応じたため 2 つ目のフィードバックに遅延を持たせ, タイミングを合わせた.

$\Delta\Sigma$ 変調回路は三つの要素で構成されている. 1 つ目は抵抗・キャパシタを用いた積分器である. 抵抗値の理論値は  $C = 8$  [pF], オーバーサンプリング比 128 倍とすると  $3.5$  [k $\Omega$ ] として算出される. しかし, この値で設計を行ったところ積分器の出力が飽和してしまい, 電圧に張り付き結果になってしまった. そこで抵抗を大きくすることで出力が飽和しないようにした.

2 つ目は量子化器である. この要素では積分器からの入力を二値化し, そのデータを 1 クロック保持する機能を持たせた. 1 クロック保持する方法として多くの場合でクロックを使用すると同期させることが困難になるためダイナ

ミック型コンパレータ回路の後段に SR ラッチ回路を用いることでクロック入力を統一する形にした.

3 つ目は D-A 変換回路である. 本研究では 1bit の  $\Delta\Sigma$  変調回路であるため D-A 変換もまた 1bit である. D-A 変換回路は出力値に対して変化するように C-MOS スイッチを付加し, フィードバック部分の基準電圧  $V_{res1}$ ,  $V_{res0}$  を制御できるに電圧を外部から印加できるようにした.

### 4.2 離散型二次 $\Delta\Sigma$ 変調回路の設計

次に離散型二次 $\Delta\Sigma$ 変調回路について述べる. 図 15 に回路図表 4 に各パラメータ, 印加電圧を示す.

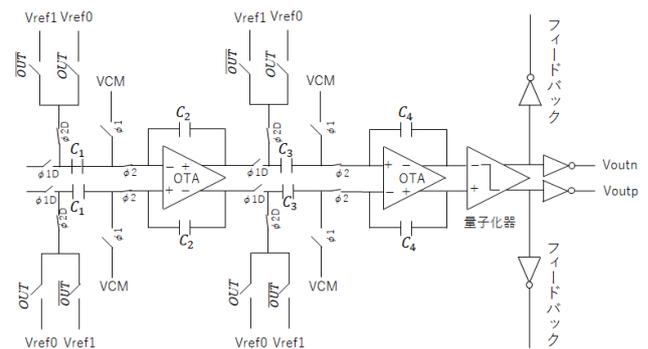


図 15 離散型二次 $\Delta\Sigma$ 変調回路

表 4 離散型回路の設計値

パラメータ	値
$C_1$	0.5[pF]
$C_2$	1[pF]
$V_{CM}$	0.9[V]
$V_{ref0}$	0.45[V]
$V_{ref1}$	1.35[V]

本回路は連続型の変調回路と同時の値でシミュレーションを行い, 各要素で離散型回路の動きをするように変更をしている.

積分器部分は CMOS スイッチを用いた遅延積分器を使用した. 信号処理として 1 つ前のデータ(電圧)を記録し, 次のタイミングで現在の入力と足し合わせるといった機能がある. また, アナログスイッチのタイミングが同時にオンするタイミングがある場合, サンプリグした電荷がオペアンプまたは共通電位  $V_{CM}$  に逃げてしまうため積分器の入力段の 2 つのスイッチにはオペアンプ側のスイッチよりも遅延を持たせたクロックを入力した. これにより  $\phi_1$  と  $\phi_2$  のスイッチが同時にオンすることがなくなった.

D-A 変換回路は連続型と同様, 1bit のものを使用し入力のデジタル回路に対するアナログ基準電圧  $V_{ref1}$ ,  $V_{ref0}$  を出力する. 式から  $a_1 a_2 = 1$ ,  $a_1 b = 2$  となるよう各積分器のキャパシタを設定し 1 次側を 1 倍, 2 次側を 2 倍の出力をフィードバックが帰ってくるようにした. [4]

図 16, 図 17 に連続型, 離散型の二次 $\Delta\Sigma$ 変調器のレイアウトパターンを示す.

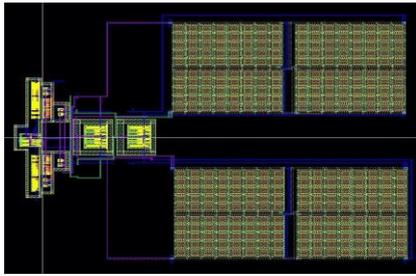


図 16 連続型二次 ΔΣ 変調器のレイアウト

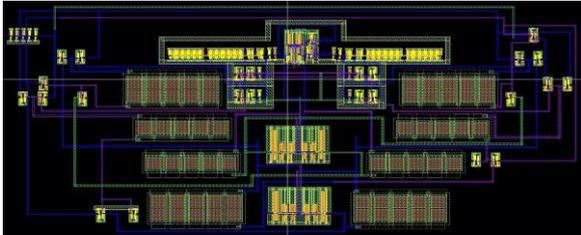


図 17 分散型二次 ΔΣ 変調器のレイアウト

## 5. ΔΣ 変調器のシミュレーション結果と実測

本章では設計した 2 つの ΔΣ 変調器のシミュレーションと実測の条件、結果、及び実測及び実測に用いた機器や基盤について述べる。

### 5.1 シミュレーションと実測の条件

シミュレーションでは電源 VDD を 1.8[V], 入力信号を振幅 0.3[V], 周波数 22[kHz], オフセット 0.9[V] の sin 波を入力した。CMOS スイッチに入力する外部印加電圧は  $V_{ref1}=1.35[V]$ ,  $V_{ref2}=0.45[V]$  とした。CLK 信号はオーバーサンプリング比 256 倍の 11.246[MHz] である。これは通常のサンプリング周波数(入力信号帯域の 2 倍)の 44[kHz] の 2<sup>8</sup> 倍である。以上の入力で過渡解析を行った。解析の条件は 100[ps] 刻みで 4[ms] までとした。入出力波形、スペクトル評価は Synopsys 社 CosomosScope で行った。スペクトル評価は calculator ツールを用いて、FFT 条件を 1~4[ms] の 3[ms] 間、表紙ポイント数は 524288(2<sup>19</sup>)point とした。条件を 1[ms] からにしたのは出力が安定してから計測するためである。本研究で実測に用いた実験機器を表 5 に示す。実測では電源に HP E3610 を 5 台用いた。回路への電源とチップへの電圧 1.8[V] と印加電圧の 5 つである。入力信号は NF WF1974 を用いて生成した。差動入力なので、NF WF1974 の画面横の MENU ボタンを押下し、Utility を選択後、Channel Mode を Diff にし、Channel2 から Channel1 の反転した波形が出力するように設定した。CLK 信号は Agilent 81150A から生成した。差動の入力信号と CLK 信号は SMA コネクタを用いて BNC ケーブルで印加した。また、差動の入力信号と CLK 信号は Agilent MSO7034A で確認したところ波形が歪んでいたため、6[dB] の減衰器を経由して印加した。入出力波形、スペクトル評価は MSO7034A で行った。入出力波形の評価は MSO7034A の Waveform キー内の Acquire から高分解能を選択し行った。出力信号は Tektronix P6158, 入力信号は Agilent 10074C のプローブを用いて測定

した。スペクトル評価は MSO7034A の演算コントロールから FFT を選択し行った。FFT 後のスペクトルがリアルタイムで変化し、安定しなかったため、Acquire から Averaging を選択し 512 回の測定の平均値から評価を行った。

スペクトルの評価はノイズシェーピング効果、信号対雑音比(S/N 比)とノイズフロアの 3 つの観点から行った。ノイズシェーピング効果はノイズが高帯域に移動している事、二次のノイズシェーピング反応を示しているかどうかを確認する。S/N 比は基本波(本研究では 22[kHz] の入力信号)と第 2 高調波のスペクトルの差であり、ΔΣ 変調器の分解能が決まる指標でもある。ノイズフロアとはスペクトルにおいて、信号を入力していなくても発生する電子回路自身が発生するノイズのレベルのことである。本研究では基本波 22[kHz] 以下の周波数帯域におけるスペクトルの平均値をノイズフロアとして算出する。

表 5 実測に用いた各種実験機器

名称	メーカー	型番
DC Power Supply	Hewlett Packard	E3610
Mixed Signal Oscilloscope	Agilent Technologies	MSO7034A
Multi-Function Generator	NF Corporation	WF1974
Pulse Function Arbitrary Generator	Agilent Technologies	81150A
Low Capacitance Probe	Tektronix	P6158
Oscilloscope Probe	Agilent Technologies	10073C

### 5.2 回路のシミュレーションと実測

図 18, 図 19 に連続型における ΔΣ 変調器回路のシミュレーションと実測の入出力波形を示す。シミュレーションでは入力振幅に比例した密度のパルスが発生した。実測においても同様に入力振幅が入力電圧の平均 0.9[V] より広いところで疎、狭いところで密のパルスが出力されているものの、出力の最大値が 1.68[V] 付近にとどまっていた。

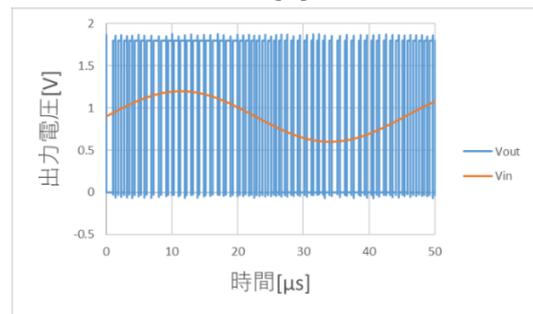


図 18 シミュレーションの入出力波形(連続型)

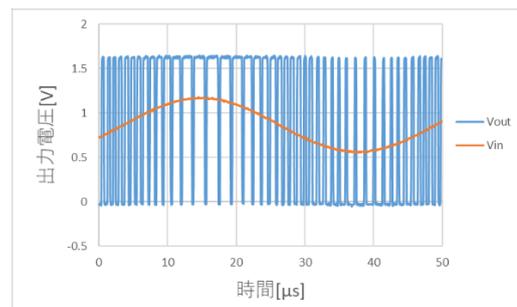


図 19 実測の入出力波形(連続型)

図 20 に連続型におけるシミュレーションと実測のスペクトル, 表 6 に S/N 比とノイズシェーピングについて示す. シミュレーション, 実測においてそれぞれ 40[dB/dec] の傾きのノイズシェーピングを確認することができたが実測において S/N 比が先行研究に比べ 9dB ほど大きくなり S/N 比の改善を確認することができなかった.

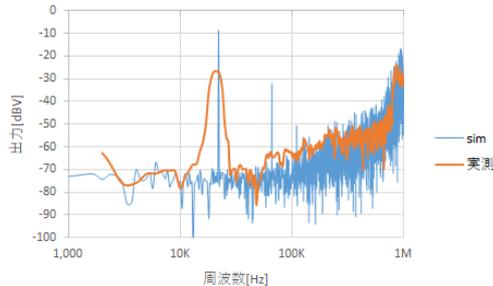


図 20 シミュレーションと実測のスペクトル(連続型)

表 6 シミュレーションと実測の測定値(連続型)

	シミュレーション	実測
S/N 比[dBV]	73.9	49.1
ノイズフロア[dBV]	-75	-70

図 21 に離散型におけるシミュレーションの入出力波形を示す. シミュレーションでは疎密の差が少ないものの振幅に対してパルスが発生した. 実測は, 入力信号の振幅に対し出力を観測することができなかった. 図 22 に離散型におけるシミュレーションのスペクトル, 表 7 に S/N 比とノイズフロアについて示す.

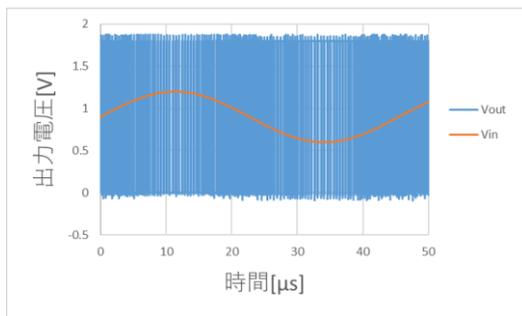


図 21 シミュレーションの入出力波形(離散型)

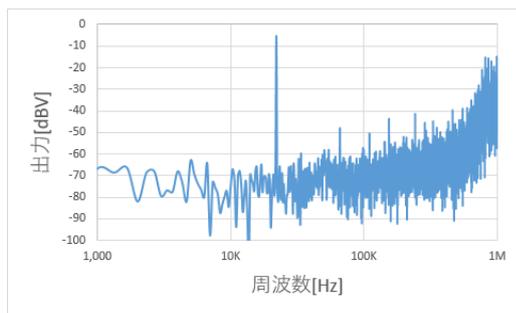


図 22 シミュレーションのスペクトル(離散型)

表 7 シミュレーションの測定値(離散型)

	シミュレーション
S/N 比[dBV]	69.6
ノイズフロア[dBV]	-75

## 6. 考察

実測結果より, 離散型 2 次  $\Delta \Sigma$  変調器の出力を観測することができなかった. 連続型との違いを考えると離散型におけるクロックによるタイミングのズレなどが影響したと考えられる. また, 1 次側の出力端子を計測したところ波形を確認することができたため 2 次側のフィードバックのタイミングでずれが生じたと考えられる.

連続型 2 次  $\Delta \Sigma$  変調器は先行研究と比べノイズフロアの低下がみられたものの S/N 比の改善が確認できなかった. 原因として出力の最大値が 16.8[V] 付近にとどまったこと, 歪みをなくすため入力端末に 6[dB] の減衰器をつないだことが挙げられる.

## 7. まとめ

本研究では, Nauta OTA を用いた  $\Delta \Sigma$  変調器の設計と評価を行った. シミュレーションにおいて先行研究と比べ S/N 比の改善を行うことができた. 一方, 実測において連続型は 40[dB/dec] のノイズシェーピングを確認することができたが, 離散型はフィードバックのタイミングが合わなかったため出力信号を観測することができなかった.

## 謝辞

本研究は JSPS 科学研究費 18K11222 の補助を受け, 東京大学大規模集積システム設計教育センター(VDEC)を通し, シノプシス株式会社, 日本ケイデンス株式会社及びメインター株式会社の協力で行われたものである.

## 参考文献

- 1) 谷口研二: CMOS アナログ回路入門, CQ 出版, pp.13-15 (2001)
- 2) R.Schreier, G.C.Temes:  $\Delta \Sigma$  型アナログ/デジタル変換器入門 和保考夫, 安田彰 監訳, 丸善株式会社 (2007)
- 3) 岡崎泰士: Nauta OTA を用いた  $\Delta \Sigma$  変調器の設計と評価, 高知工科大学システム工学群基盤工学専攻 (2018)
- 4) 浅田邦博, 松澤昭: アナログ RF COMS 集積回路設計, STARC 教育推進室監修, 培風館 pp.286-287 (2010)