新しい無線通信技術の基礎実装

木﨑一廣 [1]　小林真 [1]　猿渡俊介 [1]　渡辺尚 [1]

概要：自己干渉除去技術を用いると一つの周波数で同時に送受信を行う無線全二重通信を実現する事が出来る．無線全二重通信は，同時送受信により電波の利用効率と通信のスループットが向上する．本研究では，アナログキャンセル技術とディジタルキャンセル技術を実装して評価を行った．アナログキャンセル技術の実装では，受動的に動作するパッシブ方式アナログキャンセル回路と能動的に動作するアクティブ方式アナログキャンセル回路を実装した．ディジタルキャンセル技術の実装では，OFDM 方式のディジタル変復調回路にディジタルキャンセル回路を実装した．評価の結果，アナログキャンセル技術では 54[db]の干渉除去量が得られた．

1. はじめに

2010 年に文献 [1] においてソフトウェア無線機である USRP と 3 つのアンテナを用いて 1 つの周波数帯でデータを送信しながらデータを受信することが実証されてから無線全二重通信方式の研究が活発化している．無線全二重通信を実現するためのアナログキャンセル技術，ディジタルキャンセル技術, MIMO との連携, MAC プロトコル [2, 3], アドホックネットワークへの摘要 [4]，協調通信や無線電力伝送との連携など，ハードウェアから通信プロトコルまで幅広く取り組まれている．

しかしながら，現状の研究では，無線全二重通信の個々の要素に独立して取り組まれている点に課題がある．このような観点から, 筆者らは無線全二重通信をハードウェア, 物理層，データリンク層まで統合的に実証できるソフトウェア無線全二重通信機を実現する事を目指してアナログキャンセル技術とディジタルキャンセル技術を実装して評価した．

2. 自己干渉除去を用いた全二重通信の構成

図 1 に自己干渉除去を用いた全二重通信装置の構成を示す．全二重通信装置は送信アンテナから送出した送信信号を自己干渉として受信アンテナで受信する．受信アンテナで受信した自己干渉信号をアナログキャンセラで 40～50 [dB]減衰させて RF フロントエンドに送る．

ディジタルキャンセラでは, RF フロントエンドでディジタルされた信号をさらに 40～50 [dB] 減衰する．アナログキャンセラとディジタルキャンセラの合計で 80～90 [dB] の自己干渉除去を実現する．

これは，Wi-Fi や ZigBee などの無線通信で，全二重通信を行わない既存の方式と同じ性能を実現するのに充分な干渉除去性能である．

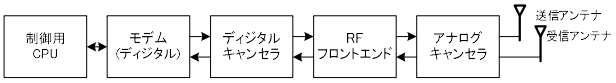

図1: 自己干渉除去を用いた全二重通信装置の構成

図2: 干渉除去のメカニズム1

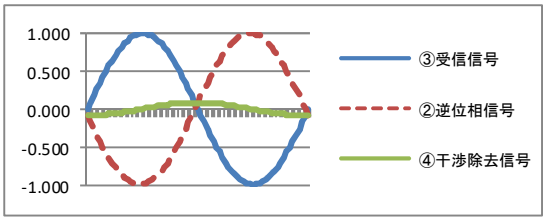

図3: 干渉除去のメカニズム2

3. 干渉除去に求められる性能

図 2 と図 3 に干渉除去の基本的なメカニズムを示す．図 2 では，①送信信号から②送信信号と同レベルの逆位相信号を生成して③自己干渉信号と合成することにより，①送信信号を除去した④干渉除去信号が得られる．

表 1 に②逆位相信号と③自己干渉信号との位相差と干渉除去量の関係を示す．この時レベルは同一とする．位相差が 180 度であれば，④干渉除去信号のレベルは 0 干渉除去量は∞である．表 1 から，例えば 40 [dB] 以上の干渉除去量を得るには 180 度に対して 0.5 度以下の位相差である必要があることが分かる．

4. アナログキャンセル方式の実装

パッシブ方式アナログキャンセラおよびアクティブ方式キャンセラの評価に必要な回路を実装した．まず，図 4 にアナログキャンセル回路検証用プリント基板の構成を，図 5 に制作したアナログキャンセル検証用プリント基板を示す．

1 大阪大学大学院情報科学研究科

DICOMO2018

ⓒ2018 Information Processing Society of Japan

表1:位相差と干渉除去量

位相差（度）	干渉除去量（db）
180.5	41.2
181.0	35.2
181.5	31.6
182.0	29.1
182.5	27.2
183.0	25.6
183.5	24.3
184.0	23.1
184.5	22.1

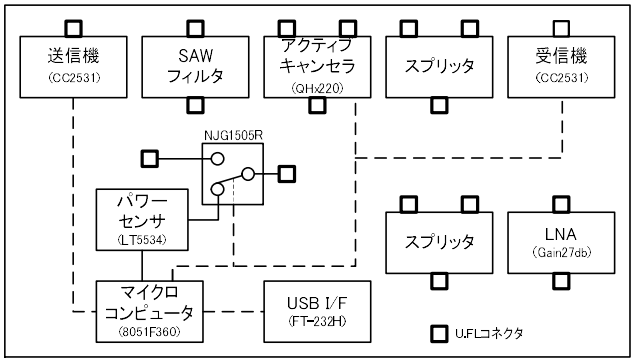

図4:アナログキャンセル検証用プリント基板の構成

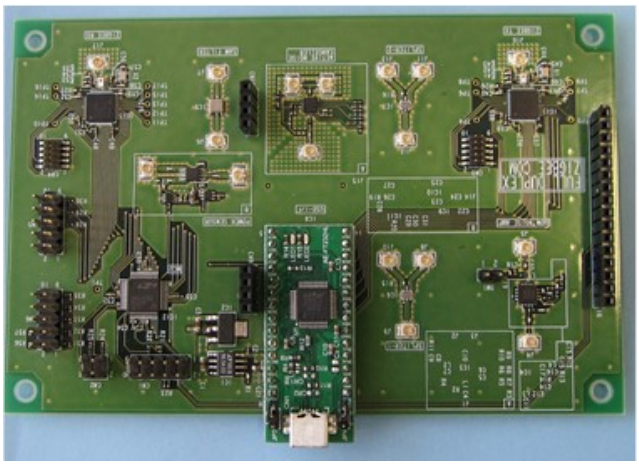

写真5:アナログキャンセル検証用プリント基板

アナログキャンセル検証用プリント基板の構成は具体的には以下の通りである．無変調連続信号 (CW: Continuous Wave) や IEEE 802.15.4 規格のパケットの送信機及び IEEE 802.15.4 規格のパケットの受信機として Txas Instrument 社製 CC2531 を 2 個，アクティブ方式アナログキャンセラとして Intersil 社製 QHx220，制御用マイクロコンピュータとして 100MHz のクロックで動作する Silicon Labs 社製 8051F360, USB2.0 ハイスピード対応インターフェイスとして FIDI 社製 FT-232H, 電波の強度を測定するためのパワーセンサーとして Liner Technology LT5534，さらに 2400～2480MHz を通過させる SAW フィルター，パワースプリッタ 2 個，2400MHz 帯に於けるゲイン 27 [dB]の LNA を搭載している．各回路の RF 信号の入出力にはヒロセ電機製小型 RF コネクタである U.FL シリーズを搭載して回路間を小径の U.FL 同軸ケーブルアセンブリを用いて接続できるようにしている．

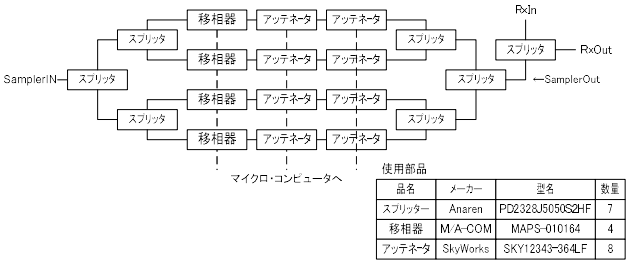

図6:パッシブ方式アナログキャンセルラーの構成

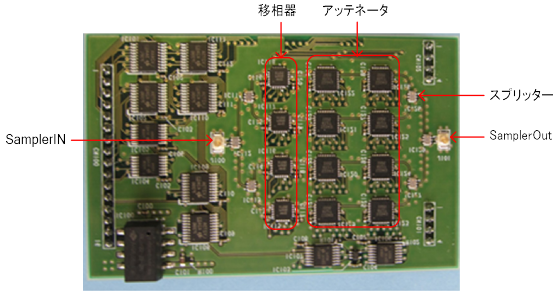

図7:パッシブ方式アナログキャンセルラー用プリント基板

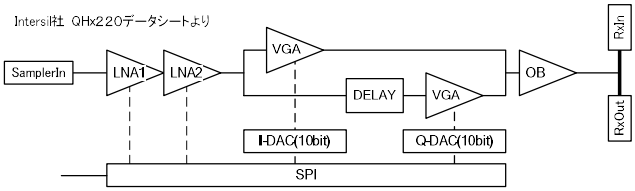

図8:アクティブキャンセルラーの内部構成

つぎに，図 6 にパッシブ方式アナログキャンセラの構成を，図 7 にパッシブ方式アナログキャンセラ用のプリント基板を示す．パッシブ方式アナログキャンセラ回路は，図 5 で示した検証用プリント基板とは別基板にして，図 5 の基板の上部にコネクタを介して装着するようにした．

パッシブ方式アナログキャンセラの具体的な構成は以下の通りである．まずSamplerINから入力された信号をスプリッタ3個用いて4分配する．分配された信号はM/A-COM社製MAPS-010164移相器で位相が変更される．この移相器は5.625度ステップで360度位相変化を行える．移相器から出力された信号は，直列に2つ接続されたSky Works社製SKY12343-364LFアッテネータによって信号の強さが減衰

ⓒ2018 Information Processing Society of Japan

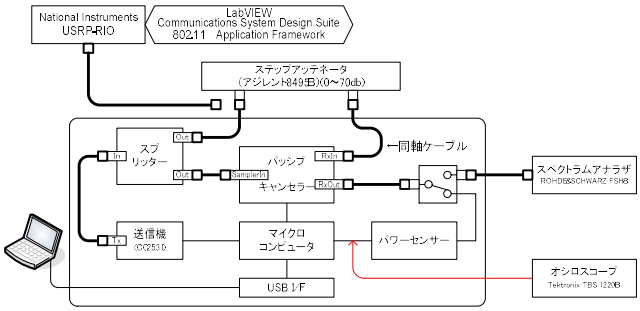

図9：パッシブキャンセル方式の評価時の接続

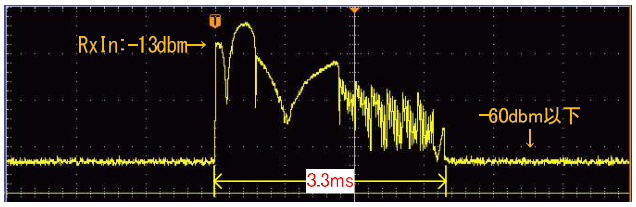

図10：パッシブキャンセル方式のオシロスコープの波形

される．このアッテネータは 0.25 [dB]×128 段階で 32db まで減衰できる．アッテネータを直列に 2 段接続しているために，理論上は合計 64 [dB] まで減衰させる事が可能である．ただし，85 [mm]×55 [mm]の小型基盤にシールドを施さずに実装しているために，基盤パターンや部品間で回り込みが発生するために実際には 64 [dB]の減衰を達成することは出来ない．最後に，移相器とアッテネータ 2 段を別々に通過した 4 系統の信号を，スプリッタ 3 個によって SamplerOut 信号を合成する．

本研究のパッシブ方式アナログキャンセラでは，移相器とアッテネータ 2 段の出力 4 系統の設定の組み合わせることで，各移相器とアッテネータの分解能よりも細かい位相変更と減衰を実現する．

最後に，図8にアクティブ方式アナログキャンセラの構成を示す，LNAのON/OFF，I-DAC及びQ-DACの値をSPIから制御する．

5. パッシブ方式アナログキャンセラの評価

設計したパッシブ方式アナログキャンセラのキャンセル性能を評価した．図 9 にパッシブ方式アナログキャンセル回路評価における，アナログキャンセル検証プリント基板の内部回路とステップアッテネータ，スペクトラムアナライザ，オシロスコープ，パソコンの接続方法を示す．

パッシブ方式アナログキャンセラの性能を評価するために，送信機から 2440 [MHz] の CW を発生させて，パッシブ方式アナログキャンセラで CW を除去した後に残留した自己干渉の強さを計測する．

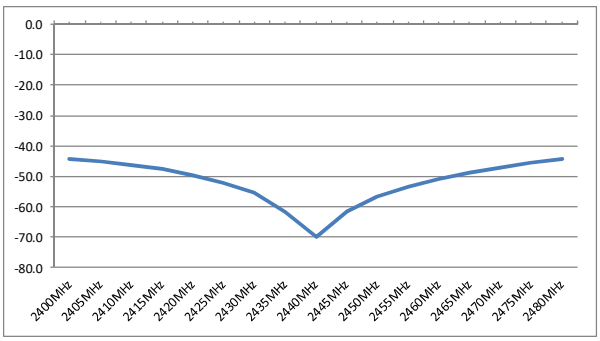

図11：パッシブキャンセル方式の周波数特性

表2：パッシブキャンセル方式の干渉除去量

周波数 (MHz)	測定値 (dbm)	干渉除去量 (db)
2400	−44.1	28.1
2405	−45.0	29.0
2410	−46.2	30.2
2415	−47.6	31.6
2420	−49.5	33.5
2425	−51.9	35.9
2430	−55.3	39.3
2435	−61.4	45.4
2440	−70.0	54.0
2445	−61.7	45.7
2450	−56.5	40.5
2455	−53.3	37.3
2460	−50.9	34.9
2465	−48.9	32.9
2470	−47.0	31.0
2475	−45.5	29.5
2480	−44.2	28.2

図 10 に，キャリブレーション前後のパワーセンサーの出力をオシロスコープで観測した波形を示す．オシロスコープの波形は残留自己干渉量を表す．キャリブレーション中は，最大の干渉除去量を得られるように，パッシブ方式アナログキャンセラに内蔵の移相器とアッテネータをマイクロコンピュータにより制御する．

図 10 から，キャリブレーションは 3.3 [ms]で完了することが分かる．また，RxIn から入力した CW の強さ − 13 [dBm]に対して，RxOut から出力された残留自己干渉信号の強さは -60 [dBm] 以下に成っている．このことから，本研究で実装したパッシブ方式アナログキャンセラは 47 [db] 以上の自己干渉除去を達成している事が分かる．

次に，帯域幅をもった無線信号での性能を評価した．図 11 に，2440 [MHz] でキャリブレーション完了後，無変調 CW の周波数を 2400～2480 [MHz] まで 5 [MHz] ステップで変化させた時の RxOut の残留自己干渉量をスペクトラムアナライザで観測した周波数特性を示す．また表 2 に，各周波数における干渉除去量を示す．中心周波数 2440MHz で 54 [dB] の干渉除去量が得られている．

さらに，OFDM 変調におけるパッシブ方式アナログキャンセラの性能を評価した．具体的には，National Instrument

ⓒ2018 Information Processing Society of Japan

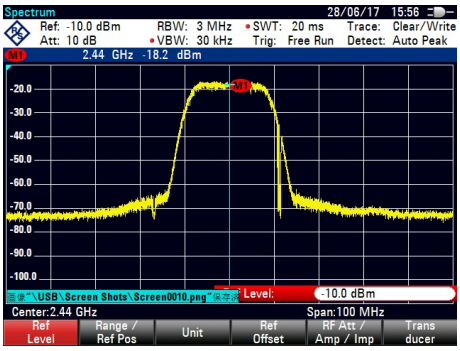

図12：OFDM変調スペクトラム波形RxIn

図 13：OFDM 変調スペクトラム波形 RxOut

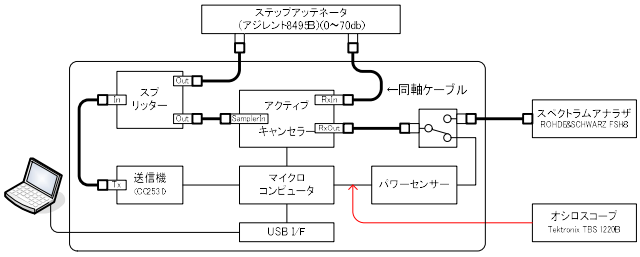

図 14：アクティブキャンセル方式の評価時の接続

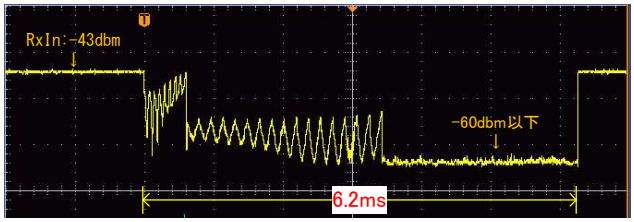

図15：アクティブキャンセル方式のオシロスコープの波形

社製 USRP-RIO と LabVIEWCommunications System Design Suite 802.11 Application Framework ソフトウエアを用いて，FDM 変調の連続パケットを発生させて，RxIn に入力した自己干渉のスペクトラム波形と，RxOut から出力された残留自己干渉量のスペクトラム波形を計測した．図 12 に RxIn RxIn に与えたスペクトラム波形を，図 13 に RxOut のスペクトラム波形示す． 図 11 で示したパッシブ方式アナログキャンセラの周波数特性が，OFDM 信号での自己干渉除去でも表れている事が確認できる．

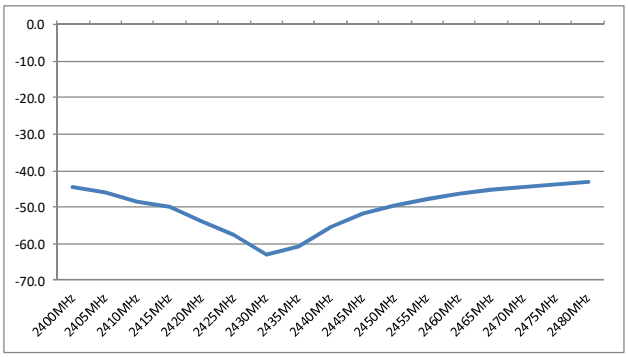

図 16：アクティブキャンセル方式の周波数特性

表 3：アクティブキャンセル方式の干渉除去量

周波数 (MHz)	測定値 (dbm)	干渉除去量 (db)
2400	−44.4	10.4
2405	−46.1	12.1
2410	−48.3	14.3
2415	−50.0	16.0
2420	−53.9	19.9
2425	−57.5	23.5
2430	−62.8	28.8
2435	−60.8	26.8
2440	−55.3	21.3
2445	−51.7	17.7
2450	−49.5	15.5
2455	−47.8	13.8
2460	−46.4	12.4
2465	−45.3	11.3
2470	−44.4	10.4
2475	−43.7	9.7
2480	−43.1	9.1

6. アクティブキャンセル方式の評価

次に，アクティブ方式アナログキャンセラの性能を評価した．図 14 にアクティブ式アナログキャンセル回路の評価における，アナログキャンセル検証プリント基板の内部回路とステップアッテネータ，スペクトラムアナライザ，オシロスコープ，パソコンの接続方法を示す．

キャンセル性能を評価するために，送信機から 2440 [MHz] の CW を発生させて残留する自己干渉量を測定した．図 15 に，アクティブ方式アナログキャンセラを制御して最大の干渉除去量を得るためのキャリブレーション中のパワーセンサーの出力をオシロスコープで観測した波形を示す．キャリブレーションは約 6.2 [ms] で完了して，RxIn から入力された -43 [dBm] の CW を 17 [dB] 以上自己干渉除去して -60 [dBm] 以下の残留自己干渉信号が RxOut から出力されている．

次に，2440 [MHz] でキャリブレーション完了した後，CW の周波数を 2400MHz～2480MHz まで 5MHz ステップで

ⓒ2018 Information Processing Society of Japan

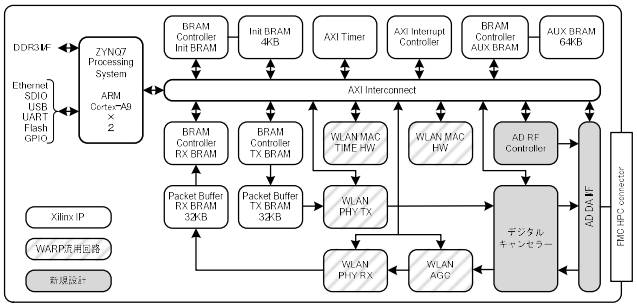

図17：FPGAボードZC706に組み込んだ回路の構成

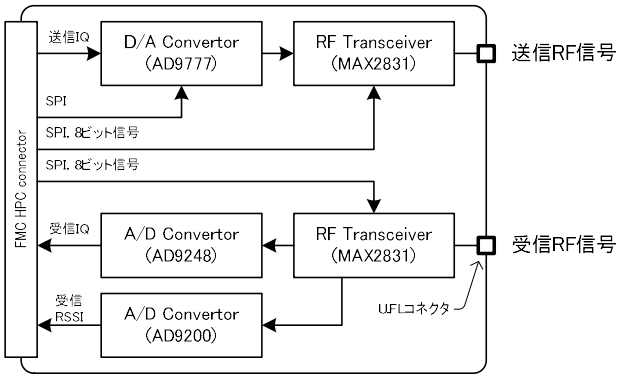

図 18：RFフロントエンドボードの構成

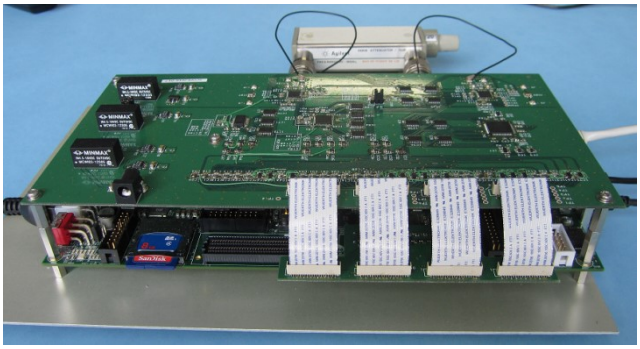

図 19：ZC706 と RF フロントエンドボード

変化させた時の RxOut のレベルをスペクトラムアナライザで観測した周波数特性を図 16 に示す．さらに表 3 に，この時の干渉除去量を示す．2430 [MHz] で 28.8 [dB] の干渉除去量が得られている．

7. OFDM 方式のディジタル変復調回路へのディジタルキャンセル回路の実装

OFDM 方式のディジタル変復調回路へのディジタルキャンセル回路を，Xilinx 社製 FPGA ボード ZC706 と製作した RF フロントエンドボードで構成した．図 17 にディジタルキャンセル回路の構成を示す．ZC706 には ARM Cortex-A9 デュアルコア CPU から成る ZYNQ7 Processing System の AXI バスに WARP3 の回路及び新たに製作したディジタルキャンセラ回路と RF フロントエンドの制御回路

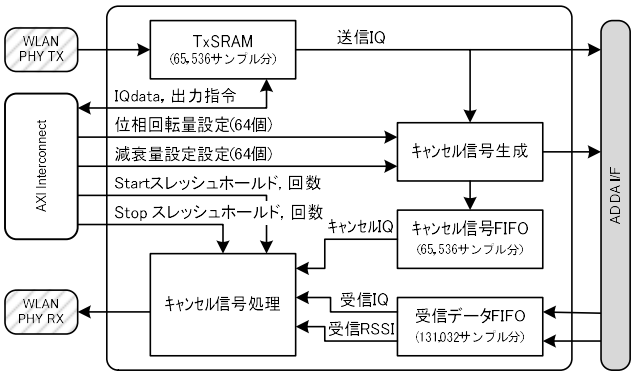

図 20：ディジタルキャンセラの構成

を組み込んだ．

図18にRFフロントエンドボードの構成を示す．RFフロントエンドボードには2.4GHz帯のトランシーバであるMaxim Integrated社製MAX2831を送信用と受信用に使用して，送信用IQ信号用のD/AコンバータとしてAnalog Devices社製AD9777，受信IQ用のA/DコンバータとしてAD9248，受信RSSI用A/DコンバートとしてAD9200を搭載してFMC HPCコネクタ経由でZC706と接続した．図19に実際に構成したZC706とRFフロントエンドボードを示す．

8. ディジタルキャンセラの構成

図 20 にディジタルキャンセラの構成を示す．WARP3 の WLAN PHY Tx モジュールで生成された送信 IQ 信号を TxSRAM に格納する．出力指令により TxSRAM から送信 IQ 信号は読みだされて，IEEE802.11a で規定された 64 個のサブキャリア毎に指定した位相回転量と減衰量に基づいてキャンセル信号生成回路でキャンセル IQ 信号を生成してキャンセル信号 FIFO に格納する．RF フロントエンドからアンテナを介して送信された送信 RF 信号は，受信 RF 信号としてアンテナを介して受信され受信 IQ 信号及び受信 RSSI 信号となり受信データ FIFO に蓄積される．受信データ FIFO に蓄積された受信 RSSI が Start スレッショルドを規定回数超えた FIFO のアドレスから規定回数を減じたアドレスを Start アドレスとし Stop スレッショルドを規定回数下まったアドレスから規定回数を減じたアドレスを Stop アドレスとして，キャンセル信号 FIFO に格納したキャンセル IQ 信号と受信データ FIFO の Start アドレスから Stop アドレスの受信 IQ 信号を合成してキャンセル処理を行い，受信 IQ 信号から送信 IQ 信号の成分を除去する

9. キャンセル IQ 信号の生成

図 21 にキャンセル信号生成の構造を示す．IEEE802.11a の規格から OFDM のシンボルは Short Preamble 及び Long

ⓒ2018 Information Processing Society of Japan

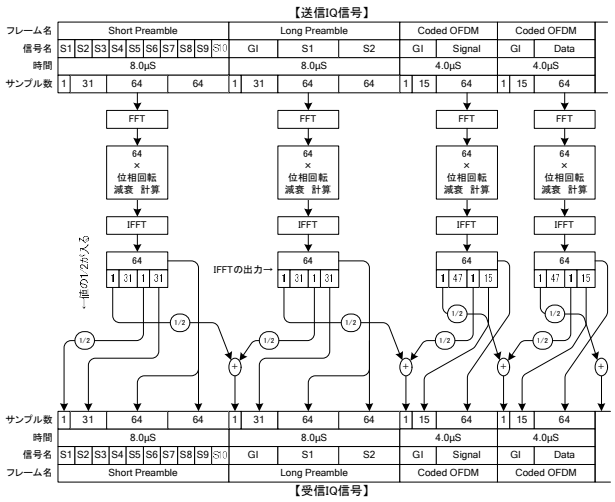

図21:キャンセルIQ信号の生成の構造

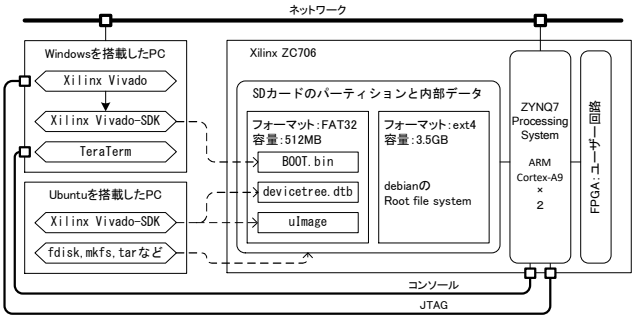

図22:開発環境

Preamble は送信 IQ 信号 160 サンプル，Code OFDM が 80 サンプルである．各シンボルは 64 ポイントの IFFT の結果が図に示す位置にマップされる．

送信 IQ 信号の各シンボルの中の対応する IQ 信号を FFT して 64 個サブキャリアの値を得る.各サブキャリアに設定した位相回転量と減衰量を用いて計算して，サブキャリア毎のキャンセル信号の値を求める．具体的には，64 個のサブキャリア毎のキャンセル信号の値を IFFT して生成した 64 サンプル分の IQ 信号を，図 21 に示す位置にマップすることでキャンセル IQ 信号を生成する．

10. ZC706 の ZYNQ7 Processing System に搭載した OS と開発環境

ZC706 に付属の SD カードをディスクとして動作する Linux OS である Debian を搭載した．図 22 に開発環境を示す. Xilinx 社製FPGA開発ツールである Vivad と Vivado-SDK を搭載した Windows のパソコンを準備して ZC706 とネットワークおよびコンソール，JTAG を接続した．別途 Vivado-SDK を搭載した Ubuntu のパソコンを用いた．

先ず，Vivado を使用して FPGA のユーザー回路を作成して, Bitstream を生成する. 次に, Vivado-SDK を用いて FSBL (First Stage Boot Loader)と Bitstream が合成された BOOT.bin ファイルを作成する．さらに，Vivado-SDK を用いて搭載されているデバイスの情報を Linux に知らせるファイルである devicetree.dtb ファイルを作成する.さらに，Vivado-SDK を用いて Xilinx 社から Linux のソースコードを入手して Make して uImage ファイルを作成する．

Windows のパソコンに搭載した Vivado-SDK と Ubuntu のパソコンに搭載した Vivado-SDK の使い分けは GUI で操作する作業は Windows，コマンドラインで操作する作業は Ubuntu で行う．

Ubuntu のコマンドを用いて SD カードのパーティションの作成，ファイルシステムの作成，Debian のホームページから Root file system をダウンロードして SD カードに書込む．さらに BOOT.bin，devicetree.dtb，uImage ファイルも SD カードに書込む.

SD カードを ZC706 に装着して電源を ON にすると Windows のパソコンの TeraTerm に起動メッセージが表示され Debian が起動する．

回路検証等のための FPGA のユーザー回路の信号のモニタは JTAG 経由で Vivado の Chip Scope 機能を用いて行う．

11. OFDM 方式のディジタル変復調回路とディジタルキャンセル回路の評価

C 言語で以下の機能を記述し，ZC706 に搭載した Debian 上の C コンパイラでコンパイルして動作させ動作確認を行った．

```
ハードウエアセットアップ
 ・AD RF Controller
 ・トランシーバMAX2831
 ・TxADC AD977
 ・デジタルキャンセラ
 ・WLAN PHY RX
 ・WLAN PHY TX
 ・WLAN MAC HW
 ・WLAN AGC
```

FPGA のユーザ回路設けた図 15 の各回路及び RF フロントエンドボードに搭載した回路のセットアップを行う．

```
無変調CW発生
```

RF フロントエンドボードの送信 RF 信号の確認のために必要な機能です．スペクトラムアナライザを接続して指定した周波数に対する偏差，出力電力を確認する．

```
OFDMパケット送信
```

OFDM 変調のパケットを発生する．IEEE802.11a で規定された SIGNAL フィールドとペイロードを図 15 の Packet Buffer TX BRAM に入れて，WLAN PHY TX に送信開始を指令すると生成された 1 パケット分の IQ 信号が図 17 の TxSRAM に格納される. TxSRAM からの出力指令を指令す

ⓒ2018 Information Processing Society of Japan

ると，RF フロントエンドボードの送信 RF 信号から電波が出る．6MBPS～54MBPS まで正常であることを確認した．

OFDMパケット受信

RF フロントエンドボードの受信 RF 信号からパケットを受信すると図 15 の Packet Buffer RX BRAM に受信したデータが格納されるとともに WLAN MAC HW のレジスタに WLAN PHY RX が動作開始したことや動作中, Packet Buffer RX BRAM に書込み中，フレームチックシーケンスが GOOD である等の情報が現れる．

上記 OFDM パケット送信で発生したパケットを受信できることやアンテナを接続して受信 RF 信号に与えるとフィールドの電波を受信する．これを用いてスニファーが作ることができる．

ディジタルキャンセラ・キャリブレーション

OFDM のサブキャリア 64 個に対する位相回転量と減衰量を設定して，最大の自己干渉量を得るキャリブレーション機能は現在作成中である．

12. おわりに

本研究では，アナログキャンセル技術とディジタルキャンセル技術を実装して評価を行った．アナログキャンセル技術の実装では，受動的に動作するパッシブ方式アナログキャンセル回路と能動的に動作するアクティブ方式アナログキャンセル回路を実装した．ディジタルキャンセル技術の実装では，OFDM 方式のディジタル変復調回路にディジタルキャンセル回路を実装した．評価の結果，アナログキャンセル技術の実装では 54 [dB]の干渉除去量が得られた．ディジタルキャンセル技術の実装に関しては現在評価中である．

参考文献

[1] J. I. Choi, M. Jain, K. Srinivasan, P. Levis, S. Katti, “Achieving single channel, full duplex wireless communication,” in Proc. ACM MobiCom, Sep. 2010, pp. 1–12.
[2] R. Murakami, M. Kobayashi, S. Saruwatari, and T. Watanabe, “An energy efficient MAC for wireless full duplex networks,” in Proc. IEEE Globecom Workshops (IEEE GC Wkshps), Washington DC, USA, Dec. 2016, pp. 1–6.
[3] M. Kobayashi, R. Murakami, K. Kizaki, S. Saruwatari, and T. Watanabe “Wireless Full-duplex Medium Access Control for Enhancing Energy Efficiency,” IEEE Transactions on Green Communications and Networking, vol. 2, no. 1, pp.205–221, Mar. 2018.
[4] K. Tamaki, H. A. Raption, Y. Sugiyama, M. Bandai, S. Saruwatari, and T. Watanabe, “Full duplex media access control for wireless multi-hop networks,” in Proc. IEEE 77th Veh. Technol. Conf. (IEEE VTC Spring), Dresden, Germany, Jun. 2013, pp. 1–5.

ⓒ2018 Information Processing Society of Japan