

デバイスシミュレーションを用いた65nm FDSOIデバイスの静特性の変化とソフトエラー耐性の評価

小島 健太郎¹ 山田 晃大¹ 古田 潤¹ 小林 和淑¹

概要：集積回路の微細化とともに信頼性の低下が問題となっており、放射線起因の一時故障であるソフトエラーの顕在化が原因の1つとして考えられている。ソフトエラー耐性の評価は、実測では多額の費用と時間がかかるためシミュレーションが重要視されている。デバイスシミュレーションを用いて、65nm FDSOI デバイスのラッチにおいて、拡散層の不純物密度と積上層の厚さを変更することで、静特性とソフトエラー耐性の変化を評価する。拡散層の不純物密度が高くなるほどソフトエラー耐性は向上する。積上層はシリサイドとシリコンから構成されている。積上層のシリサイドは厚さに関係なく、その有無でソフトエラー耐性が向上し、シリコンは薄いほどソフトエラー耐性が向上する。これらのパラメータは、静特性以上にソフトエラー耐性に変化を与えることが判明した。

Evaluation of Static Characteristic and Soft-Error Tolerance of 65 nm FDSOI Device Using Device Simulations

KENTARO KOJIMA¹ KODAI YAMADA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Reliability of semiconductor chips is getting worse due to aggressive miniaturization. The soft error is a temporal failure caused by a radiation strike. Soft error measurements require huge cost and time, while simulations are lower-cost and faster. This paper evaluates the static characteristics and the soft error tolerance of the latch in a 65-nm FDSOI device by using device simulations depending on the impurity density of the diffusion layer and the thickness of the raised layer. The raised layer is composed of silicide and silicon layers on diffusion area. The soft error tolerance improves as the impurity density of the diffusion layer increases. The soft error tolerance is improved by the silicide layer, while its thickness does not affect the tolerance. Thinner the silicon layer is, more the soft error tolerance is improved. It was found that those thicknesses are highly related to the soft error tolerance but do not influence static characteristics.

1. 序論

集積回路は製造プロセスの微細化や高集積化が進むことで小型化、高性能化が進み、様々な用途で用いられる。一方、近年微細化に伴う信頼性の低下が問題となっている [1]。ソフトエラーとは、デバイスへ荷電粒子が突入することにより電子正孔対が生成され、フリップフロップの論理値が反転するエラーのことである。物理的故障であるハードエラーと異なり、一過性のエラーであるため、再起動により回復するが、近年の集積回路の微細化に伴う高集

積化や電源電圧の低下により、ソフトエラーの影響が顕在化している。

最新のスーパーコンピュータでは、数兆個規模のフリップフロップが搭載されている。地上において、ソフトエラー対策なしでスーパーコンピュータを稼働させた場合、1兆個のフリップフロップにおいて、10~100秒あたり1回エラーが発生する。対策なしでスーパーコンピュータを長時間稼働させることは困難である [2]。このように、集積回路の微細化が進むほどソフトエラー対策や評価は必須となる。実測におけるソフトエラー耐性の評価にはチップの製造から評価試験まで、多額の費用と時間がかかるため、シミュレーションが重要視されている。

¹ 京都工芸繊維大学電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

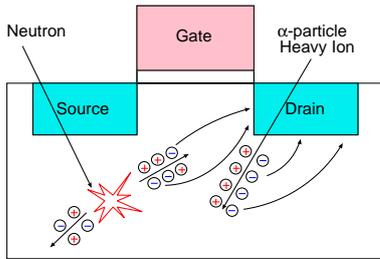


図 1 バルクプロセスでのソフトエラー発生機構

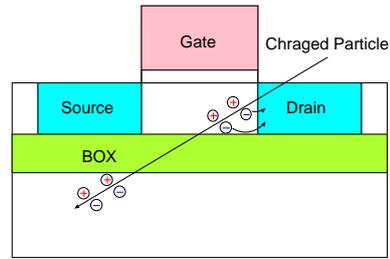


図 3 SOI プロセスでのソフトエラー発生機構

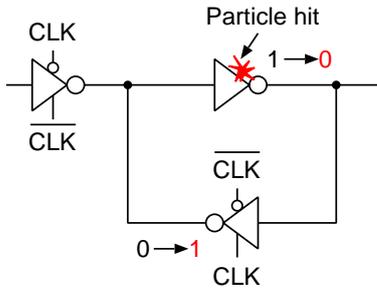


図 2 Single Event Upset

本稿では、65 nm FDSOI (Fully Depleted Silicon on Insulator) プロセスにおいて、デバイスシミュレーションを用いてどのパラメータがソフトエラー耐性への影響あるかを評価する。第 2 節ではソフトエラーの発生起因とその対策手法について述べる。第 3 節ではデバイスシミュレーションの方法とソフトエラー耐性の評価方法について述べる。第 4 節ではパラメータを変化させたときの静特性、ソフトエラー耐性のシミュレーション結果を示す。第 5 節ではシミュレーション結果を比較することでソフトエラー耐性に影響を及ぼすパラメータを評価する。第 6 節では本稿の結論を述べる。

2. ソフトエラー

本章では集積回路の一時故障の原因の 1 つであるソフトエラーについて述べる。

2.1 ソフトエラーの発生機構

ソフトエラーとは集積回路に粒子線が突入することにより電子正孔対が生成され、発生した電荷が拡散層に収集されることで回路の保持値が反転する一時故障である。ソフトエラーの原因となる粒子線として、地上では α 線、熱中性子、高エネルギー中性子が挙げられる。宇宙では重イオンが挙げられる [3]。粒子線のデバイスへの突入の様子を図 1 に示す。

2.2 SEE (Single Event Effect)

粒子線の突入により発生した一時的もしくは永久的な故障を総称して SEE (Single Event Effect) とよぶ。SEE は粒子線の突入部分によって分類されている。図 2 に示すよう

に、ラッチなどの記憶素子に粒子線が突入することによってデータが反転するものを SEU (Single Event Upset) [4]、データ保持部以外の組み合わせ回路に電荷が生じパルスが発生するものを SET (Single Event Transient) と呼ぶ。NMOS では電子起因、PMOS では正孔起因の電流が発生する。電子の移動度は正孔に比べ大きいため、PMOS に比べ NMOS の方が SEE が発生しやすい [5]。本稿では主に NMOS における SEU について取り扱う。

一定量以上の電荷がドレインに集められるとラッチの保持値は必ず反転する。反転するのに必要な最少電荷量を臨界電荷量 Q_{crit} (critical charge) と呼ぶ [6]。微細化に伴い電源電圧、ゲート-ソース間容量が低下しており、 Q_{crit} が減少しているためソフトエラーの発生確率も上昇する傾向にある。

2.3 デバイスレベルのソフトエラー対策

デバイスレベルでのソフトエラーの対策として、SOI (Silicon on Insulator) 構造が知られている [7]。SOI 構造はシリコン基板とトランジスタの間に、絶縁物である埋め込み酸化膜 (BOX : Buried OXide) 層が挿入されている。図 3 に示すように、SOI 構造に荷電粒子が突入すると、BOX 層以下の基板で発生した電荷は BOX 層によって遮られるためドレイン領域に収集されない。そのため、従来のバルク構造と比較してソフトエラー耐性に優れている [8]。SOI 構造には空乏層が BOX 層まで達しない PDSOI (Partially-Depleted SOI) と空乏層が BOX 層まで達する FDSOI の 2 種類が存在する [9]。本稿では FDSOI 構造を対象にする。バルク構造に比べ BOX 層以下の領域で発生する電荷の影響がないため、拡散層とボディ層で発生する電荷がソフトエラーの主要因である。本稿では、拡散層の形状と不純物密度に着目し評価を行う。

3. シミュレーションによる評価方法

本稿では TCAD を用いたデバイスシミュレーションの評価方法を述べる。TCAD ツールを用いてデバイスモデルを作成し、各種パラメータを変更することで静特性の変化を評価する。重イオン照射シミュレーションを行い、ソフトエラー耐性の変化を評価する。

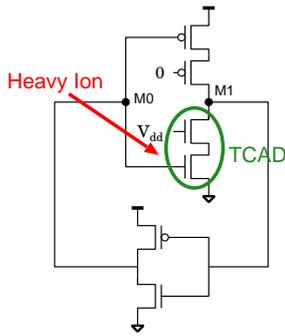


図 4 作成したラッチ回路
緑色の部分を TCAD で作成

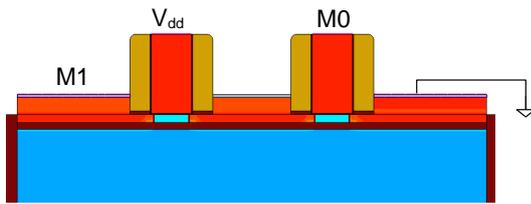


図 5 TCAD を用いて作成したトライステート構造の断面図

3.1 TCAD シミュレーション

TCAD (Technology Computer Aided Design) はプロセスシミュレータやデバイスシミュレータなどの各種シミュレータを統合したツールである。本稿では Synopsys 社の Sentaurus を用いる。TCAD では、デバイスのアナログ動作の他に、デバイス外部の物理現象による影響をシミュレーションすることができる。

3.2 ソフトエラー耐性の評価方法

トライステートインバータの NMOS を TCAD で作成し、図 4 のラッチ回路を構成する。NMOS の断面図を図 5 に示す。この構造はソース-ドレインを共有している。

NMOS 部分に以下の条件で、重イオンを照射するシミュレーションを行い、ソフトエラー耐性を評価する。

- 電源電圧：0.8 V
- 照射角度：0° (垂直照射)
- LET 値：15.8 MeV-cm²/mg

LET 値とは、粒子線の単位長さあたりのエネルギーを付与する大きさを表している。エネルギーの大きさと発生する電荷量は比例するため、LET 値が大きいほど発生する電荷量が多い。ソフトエラー耐性は Cross-Section (CS) で評価を行う。CS とは衝突断面積で、重イオンが衝突したとき反転が起こる領域のことである。今回は図 6 に示すようにトランジスタを 40 nm 四方のメッシュに区切り、各メッシュの中心に重イオンを照射することで CS の評価を行う。重イオンを照射した際にラッチ回路で保持値の反転が起こった場合その領域を CS として加算する。

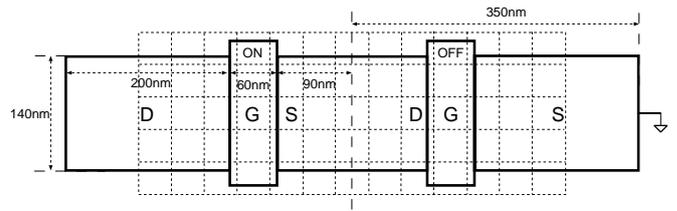


図 6 トランジスタ寸法とメッシュ

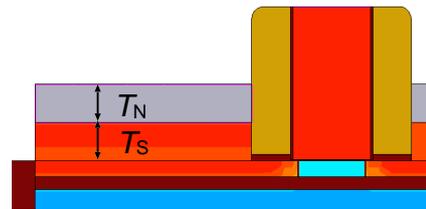


図 7 ニッケルシリサイドとシリコンで構成されている積上層の断面図

3.3 拡散層の不純物密度

拡散層の不純物密度を $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲で変更し、トランジスタの $I_{ds}-V_{gs}$ 特性、 $C_{gg}-V_{gs}$ 特性とソフトエラー耐性を評価する。

3.4 積上層の厚さ

実際のトランジスタにおいて、コンタクト抵抗を下げるために拡散層の表面はシリサイド化されている [10]。表面をシリサイド化するための金属をシリコン上に塗布する。熱処理をすることでシリコン内部に金属が拡散し、シリコンと反応することでシリサイド化する。この熱処理による反応は速く、ばらつきの原因となる。拡散層まで金属が及んでしまうと、ショットキー接続によりトランジスタが正常に動作しなくなる。拡散層まで金属が及ばないように、拡散層の上にシリコンを積み上げ、シリサイド化を行う。積上層はシリコン層とシリサイド層の 2 層で構成される。本稿では、図 7 に示すように、シリサイド層にニッケルシリサイドを用いて、積上層のシリコンの厚さを T_S 、シリサイド層の厚さを T_N とする。 T_S と T_N の値を変更してシミュレーションを行う。

4. シミュレーション結果

拡散層の不純物密度、積上層の厚さを変更するとき、静特性とソフトエラー耐性の変化を比較する。

4.1 拡散層の不純物密度

積上層の表面がシリサイド化されていない $T_N = 0 \text{ nm}$ 、 $T_S = 20 \text{ nm}$ のとき、拡散層の不純物密度を $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲で 2×10^{20} ごとに変化させる。 $I_{ds}-V_{gs}$ 特性の変化を図 8 に、 $C_{gg}-V_{gs}$ 特性の変化を図 9 に示す。

$1 \times 10^{20} \text{ cm}^{-3}$ は $5 \times 10^{20} \text{ cm}^{-3}$ に比べ、 $V_{gs} = 1 \text{ V}$ 付近

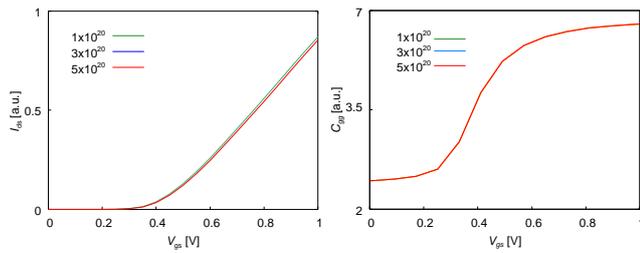


図 8 拡散層の不純物密度を
変化させるときの
 I_{ds} - V_{gs} 特性の変化

図 9 拡散層の不純物密度を
変化させるときの
 C_{gg} - V_{gs} 特性の変化

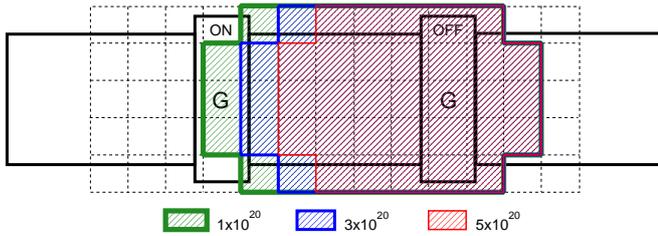


図 10 拡散層の不純物密度を変化させるときの CS の変化

表 1 拡散層の不純物密度を変化させるときの CS の変化

不純物密度 [cm^{-3}]	CS [cm^2]
1×10^{20}	6.56×10^{-10}
3×10^{20}	5.76×10^{-10}
5×10^{20}	4.96×10^{-10}

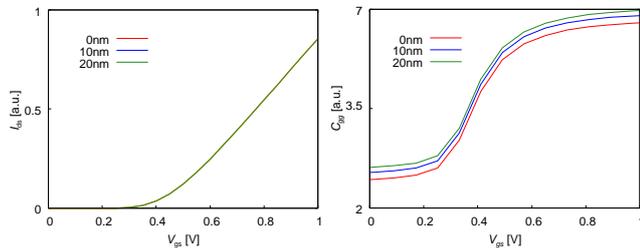


図 11 T_N を変化させるときの
 I_{ds} - V_{gs} 特性の変化

図 12 T_N を変化させるときの
 C_{gg} - V_{gs} 特性の変化

で I_{ds} - V_{gs} 特性は 1.02 倍で、 C_{gg} - V_{gs} 特性は全く変化しなかった。

静特性の変化を評価するとともに、不純物密度を変化させるときの CS の変化を図 10、表 1 に示す。不純物密度が 5 倍になると、CS は 24% 減少する。不純物密度が高いほどソフトエラー耐性が向上する。

4.2 積上層の厚さ

拡散層の不純物密度を $2 \times 10^{20} \text{ cm}^{-3}$ とし、積上層のシリコンの厚さ (T_S) とニッケルシリサイドの厚さ (T_N) を変化させて静特性と CS の変化を確認する。

4.2.1 シリサイド層の厚さ

$T_S = 20 \text{ nm}$ として、 $T_N = 0, 10, 20 \text{ nm}$ のときの I_{ds} - V_{gs} 特性を図 11 に、 C_{gg} - V_{gs} 特性を図 12 に示す。同様にこのときの CS の変化を図 13、表 2 に示す。 $T_N = 0 \text{ nm}$ は T_N

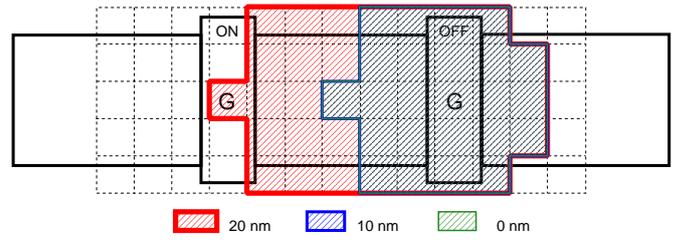


図 13 T_N を変化させるときの CS の変化

表 2 T_N を変化させるときの CS の変化

T_N [nm]	CS [cm^2]
0	6.24×10^{-10}
10	3.84×10^{-10}
20	3.84×10^{-10}

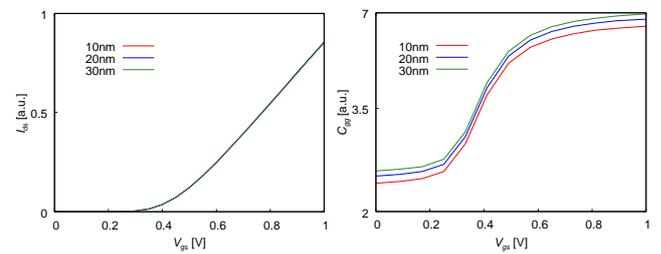


図 14 T_S を変化させるときの
 I_{ds} - V_{gs} 特性の変化

図 15 T_S を変化させるときの
 C_{gg} - V_{gs} 特性の変化

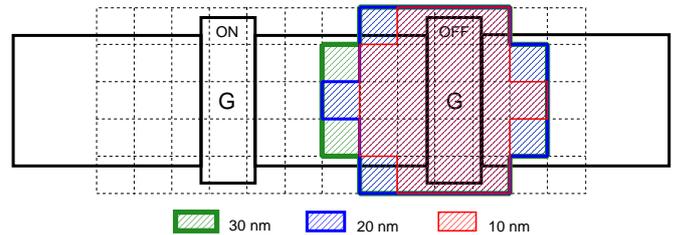


図 16 T_S を変化させるときの CS の変化

表 3 T_S を変化させるときの CS の変化

T_S [nm]	CS [cm^2]
10	3.04×10^{-10}
20	3.84×10^{-10}
30	4.16×10^{-10}

= 20 nm に比べ、 $V_{gs} = 1 \text{ V}$ 付近における I_{ds} - V_{gs} 特性は 1.01 倍で、 C_{gg} - V_{gs} 特性は 0.96 倍である。

$T_N = 0 \text{ nm}$ に比べ、 $T_N = 10, 20 \text{ nm}$ はともに CS が 38% 減少している。シリサイドが存在するとソフトエラー耐性は向上するが、シリサイドの厚さが変化してもソフトエラー耐性は変化しない。

4.2.2 シリコン層の厚さ

$T_N = 10 \text{ nm}$ として、 $T_S = 10, 20, 30 \text{ nm}$ のときの I_{ds} - V_{gs} 特性を図 14 に、 C_{gg} - V_{gs} 特性を図 15 に示す。 $T_S = 10 \text{ nm}$ は $T_S = 30 \text{ nm}$ に比べ、 $V_{gs} = 1 \text{ V}$ 付近における I_{ds} - V_{gs} 特性は 1.04 倍で、 C_{gg} - V_{gs} 特性は 0.95 倍である。

積上層のシリコン部分の厚さが 3 倍になると、CS は

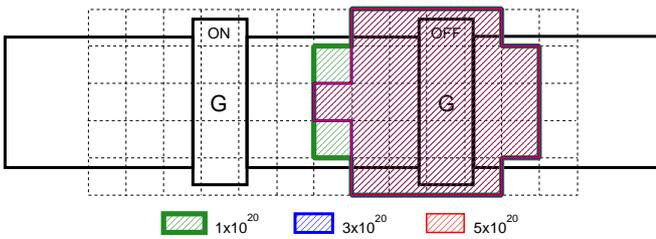


図 17 拡散層の不純物密度の変化による CS の変化

表 4 拡散層の不純物密度の変化による CS の変化

不純物密度 [cm^{-3}]	CS [cm^2]
1×10^{20}	4.16×10^{-10}
3×10^{20}	3.84×10^{-10}
5×10^{20}	3.84×10^{-10}

27%増加する．シリコン部分が厚くなれば，ソフトエラー耐性は脆弱になる．

4.3 積上層と拡散層の不純物密度依存性

積上層を $T_S = 20 \text{ nm}$, $T_N = 5 \text{ nm}$ として，拡散層の不純物密度を変化させる．不純物密度を $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲で変化させるときの CS を図 17, 表 4 に示す．不純物密度が 3 倍になると CS は 7.6%減少する．一方， $3 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の変化では CS は変化しない．ソフトエラー耐性には，拡散層の不純物密度以上にシリサイド化の有無が影響を与える．

5. 比較と考察

積上層の表面をシリサイド化していない状態で，拡散層の不純物密度を $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ で変化させる．このとき，静特性は 1.8%以内の変化に収まるが，CS は 24%変化する．拡散層の不純物密度の変化は，静特性に与える以上に CS へ与える影響が大きい．

原因としては Auger 再結合が考えられる [11]．Auger 再結合とは電子 2 つと正孔 1 つ，もしくは電子 1 つと正孔 2 つの間で発生する現象である．電子と正孔が結合しエネルギーをもう 1 つのキャリアに付与し，そのキャリアがより高いエネルギー状態に遷移する現象である． B を Auger 係数， n を電子のキャリア密度， p をホールのキャリア密度としたとき，Auger 再結合の発生確率 R_{Aug} は次のように表すことができる．

$$R_{\text{Aug}} = \begin{cases} Bn^2p & (n > p) \\ Bp^2n & (p > n) \end{cases}$$

Auger 再結合はキャリア密度が高いほど発生確率が上昇し，荷電粒子の突入により生成した電子正孔対が再結合し消失するまでの速度が上昇する．そのため拡散層の不純物密度が高いほどソフトエラー耐性は向上する．

積上層はシリコンとシリサイドで構成されている．拡散層の表面をシリサイド化することで，ソフトエラー耐性は

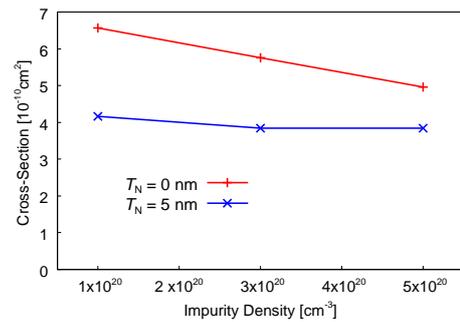


図 18 表面をシリサイド化している場合と，していない場合の不純物密度を変化させるときの CS の変化

向上する．シリサイドが存在すると，シリサイド内部の電子と突入した荷電粒子により発生した正孔が結合するため，電荷量が減少すると考えられる．そのため CS は減少し，ソフトエラー耐性が向上する．積上層のシリコンの厚さが 20nm のとき，表面のシリサイドが存在しない場合に比べ，CS が 40%減少する．しかし，シリサイドの厚さが 5 nm から 20 nm の変化では CS は変化しない．シリサイドの厚さよりもシリサイドの有無が重要である．

積上層のうちシリコンを厚くするとソフトエラーに脆弱となる．シリコンの厚さを 10 nm から，30 nm に変化させると，静特性は 5%以下の変化であるが，CS は 27%増加する．SOI 構造では BOX 層下部で発生する電荷は収集されない．チャンネルで発生する電荷の増加によるソフトエラーに対する影響はバルク構造に比べ大きい．そのため，SOI 構造においてはシリコンの厚さがソフトエラー耐性に与える影響が顕著である．

積上層のシリコン部分が 20 nm で，シリサイドの厚さが 0, 5 nm のときに拡散層の不純物密度を $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲で変化させる．このときの CS の変化を図 18 に示す．表面をシリサイド化していないときは， 3×10^{20} と $5 \times 10^{20} \text{ cm}^{-3}$ では CS が変化するが，表面をシリサイド化するとほとんど変化しない．拡散層の不純物濃度を増加するとドレイン領域での電荷収集量は減少する．表面をシリサイド化することによって，シリサイドに存在する電子と発生した正孔が結合することにより，電荷収集量が減少する．この 2 つにおいて，後者のほうが強い影響力を持つ．ソフトエラー耐性には拡散層の不純物密度に比べ，シリサイドの有無が支配的に影響を与える．

6. 結論

本稿では 65 nm FDSOI プロセスにおいて，TCAD を用いて Ar イオンの照射を模擬したシミュレーションを行った．拡散層の不純物密度と積上層の厚さを変更し，これらのパラメータが静特性とソフトエラー耐性へ与える影響を評価した．

拡散層の不純物密度を高くすると，Auger 再結合の発生確率が上昇することによってソフトエラー耐性は向上する．

実際のトランジスタには積上層が存在し、積上層はシリコンとシリサイドで構成されている。シリサイド内部には自由電子が存在し、荷電粒子により発生した正孔と結合することにより、ソフトエラー耐性を向上させると考えられる。シリサイドの厚さを変化させたところ、シリサイドの有無でソフトエラー耐性が変化した。一方で、シリサイドの厚みはソフトエラー耐性への影響はない。そのため、シリサイドは厚さよりもその存在の有無が重要である。

積上層のシリコンを厚くしたところ、ソフトエラー耐性は低下した。SOI構造において、荷電粒子の突入により発生する電子がソフトエラーに影響を与えるのは、BOX層より上部である。この部分は体積が小さく、積上層のシリコンの体積が電荷の収集に大きな役割を果たし、ソフトエラー耐性に影響を及ぼす。

不純物密度を大きくするか、積上層の表面をシリサイド化することで静特性以上にソフトエラー耐性に影響を与える。

表面をシリサイド化している状態で、拡散層の不純物密度を変化させたところ、シリサイド化していないときに比べソフトエラー耐性の変化は小さくなる。拡散層の不純物密度よりもシリサイドの有無がソフトエラー耐性には支配的な影響がある。

これらのパラメータは、静特性以上にソフトエラー耐性に影響を及ぼす。ソフトエラー耐性を評価する上で欠かさないパラメータであることが判明した。

謝辞 本研究は、STARC, JSPS 科研費 15H02677, JP17K14667, (株) ソシオネクストの助成を受けたものである。また、シミュレーション用の EDA 及びパラメータは、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、ルネサスエレクトロニクス株式会社の提供である。デバイスの 3D 構造作成にあたり、助言を頂いた本学熊代成孝特任教授に感謝致します。

参考文献

- [1] N. Seifert, P. Slankard, M. Kirsch, B. Narasimham, V. Zia, C. Brookreson, A. Vo, S. Mitra, B. Gill, and J. Maiz, "Radiation-induced soft error rates of advanced cmos bulk devices," 2006 IEEE International Reliability Physics Symposium Proceedings, pp.217–225, March 2006.
- [2] 福田 昭, "第 2 回ソフトエラー勉強会レポート." PC Watch, <https://pc.watch.impress.co.jp/docs/news.html>
- [3] 戸. 義春, "知っておきたいソフトエラーの実態," 日経エレクトロニクス, vol.2005 年 7 月 24 日号, 2005.
- [4] E. Petersen, Single event effects in aerospace, John Wiley & Sons, 2011.
- [5] K. Yamada, H. Maruoka, J. Furuta, and K. Kobayashi, "Sensitivity to soft errors of nmos and pmos transistors evaluated by latches with stacking structures in a 65 nm fdsoi process," 2018 IEEE International Reliability Physics Symposium (IRPS), pp.P-SE.3-1-P-SE.3-5, March 2018.
- [6] P. Hazucha and C. Svensson, "Impact of cmos tech-

- nology scaling on the atmospheric neutron soft error rate," IEEE Transactions on Nuclear Science, vol.47, no.6, pp.2586–2594, Dec 2000.
- [7] K. Hirose, H. Saito, Y. Kuroda, S. Ishii, Y. Fukuoka, and D. Takahashi, "Seu resistance in advanced soi-srams fabricated by commercial technology using a rad-hard circuit design," IEEE Transactions on Nuclear Science, vol.49, no.6, pp.2965–2968, Dec 2002.
- [8] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: Soi to the rescue," 2013 IEEE International Electron Devices Meeting, pp.31.1.1–31.1.4, Dec 2013.
- [9] N.H. Weste and D. Harris, CMOS VLSI DESIGN A circuits and systems perspective Forth Edition, Addison Wesley, 2011.
- [10] Z. Wen, X. Cheng, and J. Fang, "Nickel silicide anneal process research for 28nm cmos node," 2017 China Semiconductor Technology International Conference (CSTIC), pp.1-4, March 2017.
- [11] 丸岡晴喜, 山田晃大, 榎原光則, 古田潤, and 小林和淑, "FDSOI に適したスタック構造におけるソフトエラー耐性向上手法の提案・評価と微細化による影響の評価," 電子情報通信学会技術報告 (VLSI 設計技術), pp.85–89, Feb. 2018.