

# ゼロ DPPM に向けた設計およびテスト手法

新井雅之<sup>†</sup>

車載用半導体デバイスの製造に際しては、ゼロ DPPM、すなわち 100 万個あたりの欠陥デバイス数 1 個以下という非常に高い信頼度を達成しつつ、従来品と同等レベルのコストに抑えることが要求される。本稿では、半導体テストの観点からのゼロ DPPM に向けた取り組みについて述べる。まず、故障モデルやテストパターンの改善によるカバレッジ向上手法と、統計的手法や機械学習に基づく種々の欠陥選別法について紹介する。次に、著者らの最近の取り組みとして、ブリッジ・オープン故障の発生確率を考慮した故障カバレッジおよび DPPM の見積法と、効率的なテストパターン生成法について紹介する。実験結果から、従来の論理的な故障モデルに基づく故障カバレッジを用いた場合と比較して、DPPM を 1 桁削減可能であることを示す。

## Design and Test Methodologies Toward Zero DPPM

MASAYUKI ARAI<sup>†</sup>

At manufacturing of semiconductor devices for automotive application, it is required to achieve very high reliability as zero DPPM, that is, to suppress the number of defective devices into less than one out of 1,000,000 shipped devices, as well as maintaining costs reasonably low at the same level as traditional non-critical applications. In this article we discuss efforts toward zero DPPM from the viewpoint of semiconductor testing. We first present several schemes for coverage improvement based on defect-oriented fault modeling and test pattern generation, as well as statistical and machine-learning-based outlier screening. Then we show our recent study on estimation of fault coverage and DPPM considering occurrence probabilities of open and bridge faults, as well as its application to efficient test pattern generation. Experimental results indicates that our scheme can reduce DPPM an order of magnitude in comparison to the one estimated based on the fault coverage for traditional logical fault model.

### 1. はじめに

車載用半導体デバイス市場は年々その規模を増大させており、2018 年には前年比 18.5% 増の 323 億ドルとなるとの報告がある[1]。この傾向は少なくとも 2021 年度まで継続し、2016 年度から 2021 年度までの年平均成長率は 5.4% と、他分野と比較して高いものとなると予測されている。また、自動車 1 台あたりに搭載されるデバイスも、価値にして 2014 年度は約 1220 ドルであったのに対して 2022 年度には 1600 ドルに達すると報告されており[2]、車載用半導体デバイスの設計・製造はますますその重要性が高まっている。

車載用半導体デバイスへの要求における特徴として、以下の 3 点が挙げられる。

- (1) 過酷かつ変動する環境下での動作保証
- (2) 機能安全
- (3) 低コストを維持しつつ低い市場不良率を達成

(1) に関して、車載用半導体デバイスは当然自動車に搭載されるものであり、その環境は自動車の動作環境と密接に関わっている。例えば、動作保証温度は AEC-Q100 Grade 0 においては -40°C~150°C と規定されており、民生品やデータ

センタで動作するデバイスと比較してより低温、より高温での動作保証が求められる。それ以外にも、振動や衝撃、バッテリーやグラウンドの状態変化に起因する電圧変動、スパークプラグ発火やインバータの動作による電磁ノイズなどを考慮する必要がある。

上記のような過酷な環境に起因する誤動作に加え、デバイス自体の製造不良や経年劣化による誤動作が発生したとしても乗員や周囲の人間に危害を及ぼさないようにするための要求が(2)機能安全であり、ISO 26262 として規格化されている。動作中に故障検出を行うための仕組みとして、量産テストに用いられる組込み自己テスト (Built-in Self-Test: BIST) を応用したオンラインテスト手法やセルフチェックなどが提案されている。

(3) に関して、量産テストで全ての製造欠陥の検出を保証することは困難であり、見逃された欠陥 (テストエスケープ) は市場不良の要因となる。市場不良率は欠陥レベル (Defect Level: DL) と呼ばれ、見積もりに関して下記の式が良く知られている[3]。

$$DL = 1 - Y^{(1-f)} \quad (1)$$

ここで、 $Y$  は製造歩留りであり、 $f$  は量産テスト品質である。すなわち、 $DL$  は歩留まり、および/または量産テスト品質を向上させることにより改善が期待できる。自動車 1 台あたり数十~100 個以上のデバイスが搭載されつつある現状では、ゼロ DPPM (defective parts per million)、すなわち、100 万個あたり欠陥パーツ数 1 個以下となることが要求されて

<sup>†</sup> 日本大学生産工学部  
College of Industrial Technology, Nihon University

きている。予備の行や列を用いた救済によって歩留り改善が容易に可能な組込みメモリや、高コストを許容する代わりに超高信頼性が要求される航空宇宙用デバイスと異なり、車載用デバイスの論理回路部に対してはトランジスタやセルレベル、およびシステムレベルでの時間的・空間的冗長構成に基づく歩留り改善は困難である。従って、量産テスト品質  $f$  の改善によって要求される欠陥レベルを達成する必要がある。

(1), (2)に関する議論は別稿に譲ることとし、本稿では、半導体テストの観点からのゼロ DPPM に向けた種々の取り組みについて紹介する。

## 2. 故障モデルとテストパターン生成法の改善に対する取り組み

### 2.1 DBT (Defect-Based Test) と IDDQ テスト

代表的な故障モデルとして単一縮退故障 (Single Stuck-At, SSA) が挙げられる[4]。SSA モデルに基づくテストパターン生成においては、回路内の信号線のうち 1 本が論理値 0 または 1 に固定される故障を仮定する。比較的容易にテストパターン生成が可能であり、また多くの固定故障を検出可能であるため現在でも広く用いられているが、複雑かつ多様な欠陥の振る舞いを網羅していないためテストエスケープの発生を抑えることが困難である。このため、欠陥の動作を考慮したテストパターン生成法として、欠陥指向テスト (Defect-Based Test) に関する研究が多く行われてきた。

DBT の嚆矢となったのが IDDQ テスト[5]である。正常な CMOS 論理回路では静止 (Quiescent) 状態でほとんど電流が流れないが、2 信号線間にブリッジ欠陥が存在する場合、信号線に互いに逆の論理値を割り当てることによってグラウンドと電源が短絡し異常電流が流れることに着目しテストを行う。故障の活性化のみ行えば良いためテストパターン生成が SSA モデルと比較してさらに容易であり、また遅延故障として検出不可能な微小なブリッジ欠陥も検出可能である。しかし、半導体製造プロセスの微細化と高速化に伴って、正常回路の背景リーク電流と異常電流の区別が困難となり、そのままでは適用が不可能となった。様々な改善手法が提案され、その後 IDDQ 以外の測定パラメータを用いた統計的手法として開花する。

### 2.2 ブリッジと非モデル化故障に対するテスト

異常電流の観測によるブリッジ欠陥の検出が困難となると、SSA モデルと同様に、論理回路の外部出力の観測によってブリッジ欠陥を検出するためのテストパターン生成法が数多く検討された。

初期の手法ではレイアウトデータを用いなかったため対象ブリッジ故障数が膨大となり、全てのブリッジ故障を対象としたテストパターン生成およびテストは実現不可能であった。このため、“モデル化困難な故障”に対してテスト

パターンを生成し、確率的にカバレッジを算出する方法がいくつか検討された。n 検出 (n-detection) テストでは、単一縮退故障モデルを仮定しつつ、各故障が異なる n 個のテストパターンでそれぞれ検出されるようにテストパターンを生成する[6]。ブリッジ故障は信号線対の論理値が互いに異なる場合に活性化されるため、n 検出テストでは、n 個のパターンのうちいくつかで隣接配線間のブリッジ故障が活性化されることを期待している。その他のカバレッジ尺度として、ある信号線に対する SSA の検出回数によってカバレッジを算出する Bridge Coverage Estimate (BCE)[7]や、論理回路内の任意の k 入力の機能ブロックに対して、可能な  $2^k$  通りの入力パターンのうち何パターンが入力され、その影響を観測可能であるかを求める Gate Exhaustive Coverage (GEC)[8]などが提案された。

ブリッジ欠陥のモデル化として代表的なのは AND/OR 型ブリッジ故障モデルと 4-way ブリッジ故障モデルである[9]。AND/OR 型ブリッジ故障モデルでは、信号線 A, B 間のブリッジ故障は、A, B の入力と出力の間にそれぞれ AND ゲートまたは OR ゲートが挿入された形で記述される。すなわち、信号線 A と B 間には 2 通りの故障動作が仮定され、信号値が互いに異なる場合のみ活性化され、AND 型ブリッジでは出力 0 が、OR 型ブリッジでは出力 1 が観測される。4-way ブリッジ故障モデルでは、故障の振る舞いは A-DOM-0, A-DOM-1, B-DOM-0, B-DOM-1 の 4 通りに分割され、各振る舞いは信号線 A または B いずれかのみ値の変化として観測される。近年では自動テストパターン生成 (Automatic Test Pattern Generation) ツールによるサポートも進み、レイアウトデータから対象信号線対を抽出することによって効率良く検出を行うことが可能となってきた。

### 2.3 セル考慮テスト

2.2 節で述べたテストパターン生成法の多くは、論理ゲート間の配線上に発生する欠陥のモデル化を考慮しており、ゲート内に発生する欠陥の検出を保証しない。GEC に基づくテスト生成では論理ゲートを機能ブロックとして扱うことによりゲート内の欠陥を考慮可能であるが、対象故障およびパターン数の爆発的増加により実用規模の回路に対するパターン生成が困難である。

Hapke らは、論理ゲートに対応するセル内に発生し得る欠陥の発生箇所とその振る舞いを考慮してテストパターンを生成するセル考慮テスト (Cell-Aware Test: CAT) について提案した[10]。CAT では、まず、ライブラリの中の全セルに対して、セルレイアウトを考慮しつつ欠陥発生箇所 (ブリッジやトランジスタオープン) と回路の寄生パラメータが抽出され、SPICE シミュレーションにより欠陥の振る舞いが故障としてモデル化される。テスト生成時には、各論理ゲートに対して割り当てられるセル毎に、個別に故障モデルが適用される。実製品に対する適用結果から、少ないテストパターン数の増加で欠陥レベルを大幅に削減可能であ

ると報告されている。

### 3. 統計的欠陥選別法

前述のとおり、IDDQ テストにおいては微細化に伴い背景リーク電流と異常電流の分離が困難となったため、延命策として種々の統計的手法の適用が考慮された。初期の手法であるデルタ IDDQ では、各パターン毎に個別に電流異常を判断するのではなく、パターン間の電流の差分から欠陥あり/なしを判断する。やがてこのような統計的手法は、IDDQ だけでなく他のパラメータを考慮するよう拡張され、統計的欠陥選別法(Statistical Outlier Screening)と分類される様々な手法が提案されてきた。統計的欠陥選別法においては、テストは主にパラメータ採取を目的として実行され、テスト結果から直ちにチップの Pass/Fail は判定されない。測定されるパラメータや適用されるテスト法の例としては以下が挙げられる。

- Very Low Voltage (VLV), MinVDD  
定格を大きく下回る電圧でのテスト応答観測結果や、動作可能な最低電圧の測定結果を利用
- Faster-than-at-speed test (FAST), Fmax  
動作保証周波数を上回る周波数でのテスト応答観測結果や、正常動作可能な最大周波数の測定結果を利用
- 異なる温度環境下での動作結果 (テスト応答)
- アナログデバイスにおける測定結果

適用される統計的手法は、ウェハ上の近傍デバイスは測定パラメータに互いに強い相関があること、および/または、正常デバイスにおけるいくつかのパラメータは強い相関があることを利用し、統計的な外れ値(outlier)を示すデバイスを欠陥品として破棄する。近傍デバイス間の相関を利用する手法として、NNR (Nearest Neighbor Residual)や LA (Location Average)などが挙げられる。直接欠陥を検出しているわけではないため、モデル化が困難な微小な欠陥の検出に対して非常に有効である一方、欠陥レベルと歩留り損失のトレードオフを考慮しつつ適切に閾値を設定する必要がある。車載用デバイスに対して AEC-Q001-Rev.D として標準化された PAT (Parts Average Testing)では、6 ロット分のデバイスに対して  $6\sigma$  を閾値として選別することが要求されている。

近年、統計的手法はさらに拡張され、複雑な機械学習に基づく手法についても多くの研究が行われている。機械学習では、ノーフリーランチ定理、すなわち、どのようなデータセットに対しても効率良く適用可能な手法は存在しないことが知られている。このため、初期ロットに対する測定結果から、どの手法が適しているかを決定する手法も検討されている[11]。また、機械学習を故障/欠陥検出ではなく、故障箇所を特定する故障診断(fault diagnosis)に適用す

る手法についても検討が進められている[12]。

### 4. レイアウトを考慮した重み付き故障カバレッジに基づくテストパターン生成

#### 4.1 重み付き故障カバレッジ算出概要

2 節において種々のカバレッジ尺度について紹介した。これらのカバレッジは、基本的に論理的な故障モデルに基づいて計算されるため、同一デバイスに対してはカバレッジが高ければ高いほど量産テスト品質が向上すると言えるが、異なるデバイス間、故障モデル間でカバレッジに基づく量産テスト品質の優劣を評価することが不可能である。すなわち、これらの尺度は、コストとのトレードオフを考慮しつつ欠陥レベルを見積もるための量産テスト品質の尺度としては不適である。

著者らは、欠陥レベルを高精度に見積もるための一手法として、クリティカルエリアに基づく重み付き故障カバレッジ算出法について検討している[13,14]。クリティカルエリアとは、あるレイアウトに対して、欠陥を引き起こすような微粒子の中心座標が占める領域、またその領域の面積を意味し、与えられた粒径に対して計算される。クリティカルエリア解析(CAA)のためのツールとして、Mentor Graphics の Calibre YieldAnalyzer などが市販されている。レイアウトデータに対して欠陥粒径  $d$  を指定してブリッジ欠陥クリティカルエリア解析を実行することによって、任意の信号線対  $s_i, s_j$  ( $1 \leq i, j \leq n$ ) に対するブリッジ欠陥クリティカルエリア  $A_{bridge}(d, s_i, s_j)$  が得られる。クリティカルエリアが大きいほど、ランダム欠陥による歩留り損失が発生しやすいと考えられる。あるテストパターンセット  $T$  によって、ある信号線対  $s_i, s_j$  におけるブリッジ故障  $f_{bridge}(s_i, s_j)$  が検出されるか否か(故障検出情報)を  $D_{bridge}(s_i, s_j, T)$  と表わす。このとき、与えられた欠陥粒径  $d$  における重み付きブリッジ故障カバレッジ  $WFC_{bridge}(T)$  は、

$$WFC_{bridge}(T) = \frac{\sum \sum A_{bridge}(d, s_i, s_j) \cdot D_{bridge}(s_i, s_j, T)}{\sum \sum A_{bridge}(d, s_i, s_j)} \quad (2)$$

として計算される。

同様に、オープン欠陥に対しても、任意の信号線  $s_i$  ( $1 \leq i \leq n$ ) に対するオープン欠陥クリティカルエリア  $A_{open}(d, s_i)$  と故障検出情報  $D_{open}(s_i, T)$  から重み付きオープン故障カバレッジ  $WFC_{open}(T)$  が計算できる。  $WFC_{open}(T)$  と  $WFC_{bridge}(T)$  において各故障はその発生確率で重みがつけられているため、ブリッジ故障とオープン故障それぞれの発生割合が明らかであれば、ブリッジ故障とオープン故障を同時に考慮した故障カバレッジ  $WFC(T)$  は

$$WFC(T) = \alpha \cdot WFC_{bridge}(T) + (1 - \alpha) \cdot WFC_{open}(T) \quad (4)$$

として算出が可能である。

## 4.2 テストパターン生成・並べ替え法と実験結果

著者らは、前節で述べた重み付き故障カバレッジに基づいたテストパターン生成法について検討を進めている。提案手法では、実用規模の回路に対する適用のため商用ツールの利用を想定し、以下のステップでテストパターンの生成を行う。

- Step 1: CAA ツールを用いた対象故障の抽出
- Step 2: 一部故障に対する ATPG
- Step 3: 全故障に対する故障シミュレーション
- Step 4: 未検出故障に対する ATPG
- Step 5: 未検出故障 ATPG の並べ替え

Step 3 および 5 では、重み付き故障カバレッジを扱うため、自作の故障シミュレータを使用する。それ以外のステップでは商用ツールの利用が可能である。高速化のため、Step 3 では、クリティカルエリアの大きい故障を対象にパターン生成を実行し、これらのパターンは並べ替えを行わずテスト実行時にそのまま適用する。Step 5 では、できるだけ少ないパターン数で高いカバレッジを達成するよう並べ替えを行う。目標カバレッジに達した後のパターンは不要となるため、パターン数削減を期待できる。

文献[x]ではさらなる高速化とパターン数削減のため、Step 2, 3, 4 ではブリッジ故障のみを対象とし、Step 5 においてブリッジ及びオープン故障を考慮した並べ替えを行った。テストパターン数と実行時間の結果の一部を図 1 に示す。元のブリッジ及びオープン ATPG のテストパターンに対して、並べ替えの適用によって約 55% にパターン数が削減されている。また、全パターンに対して単純な Greedy アルゴリズムを適用した場合と比較して、平均して約 4% の実行時間で並べ替えが完了していることが判る。

図 2 に、重み付き故障カバレッジを量産テスト品質として式(1)に代入して算出した欠陥レベルを示す。製造歩留り  $Y = 0.95$  として、元の ATPG、および Greedy アルゴリズムを用いて並べ替えたパターンを比較した。重み付き故障カバレッジの考慮と適切な並べ替えにより、欠陥レベルを 1 桁～最大約 2 桁削減できていることが判る。

## 5. まとめ

半導体テストの観点からのゼロ DPPM に向けた種々の取り組みについて紹介した。微小な欠陥の複雑な振る舞いをモデル化し検出する手法や、統計的に欠陥を検出・選別する手法が数多く提案されており、これらの適切な組み合わせによってゼロ DPPM を達成可能であると期待できる。

## 参考文献

- 1) IC Insights, IC Market Drivers, 2018 Edition, <http://www.icinsights.com/services/ic-market-drivers/>
- 2) Kona, A.: (R)Evolution of Automotive Electronics, SEMICON EUROPA (2017).
- 3) Williams, T. W. and Brown, N. C.: Defect Level as a Function of

Fault Coverage, IEEE Trans. Comput., Vol. C-30, No. 12, pp.987-988 (1981).

- 4) 土屋達弘, 梶原誠司, 米田友洋: ディペンダブルシステム, 共立出版(2005).
- 5) Rajsuman, R.: Iddq Testing for CMOS VLSI, Proc. IEEE, Vol. 88, No. 4, pp. 544-466 (2000) 桜井貴文: 直観主義論理と型理論, 情報処理, Vol.30, No.6, pp. 626-634 (1989).
- 6) Ma, S. C., Franco, P. and McCluskey, E. J.: An Experimental Chip to Evaluate Test Techniques Experiment Results, International Test Conference, pp. 663-672 (1995).
- 7) Benware, B., Schuermyer, C., Tamarapalli, N., Tsai, K. -H., Ranganathan, S., Madge, R. and Krishnamurthy, P.: Impact of Multiple-Detect Test Patterns on Product Quality, International Test Conference, pp. 1031-1040 (2003).
- 8) Cho, K. Y., Mitra S. and McCluskey, E. J.: Gate Exhaustive Testing, International Test Conference, Paper 31.3 (2005)
- 9) Wang, L. -T., Wu, C. -W. and Wen, X.: VLSI Test Principles and Architectures: Design for Testability, Morgan Kaufmann (2006).
- 10) Hapke, F., Redemund, W., Glowatz, A., Rajski, J., Resse, M., Hustava, M., Keim, M., Schloeffel, J. and Fast, A.: Cell-Aware Test, IEEE Trans. CAD, Vol. 33, No. 9, pp. 1396-1409 (2014).
- 11) Wang, L.-C., Siatkowski, S., Shan, C., Nero, M., Sumikawa, N. and Winemberg L.: Some Consideration on Choosing An Outlier Method for Automotive Product Lines, International Test Conference, Paper 14.4 (2017).
- 12) Xue, Y., Li, X. and Blanton, R. D.: Improving Diagnostic Resolution of Failing ICs Through Learning, IEEE Trans. CAD, Vol. 37, No. 6, pp. 1288-1297 (2018).
- 13) Arai, M. and Iwasaki, K.: Reordering-Based Test Pattern Reduction Considering Critical Area-Aware Weighted Fault Coverage, IEICE Trans. Fundamentals, Vol. 100-A, No. 7, pp. 1488-1495 (2017).
- 14) Arai, M., Inuyama, S. and Iwasaki, K.: Layout-aware 2-step

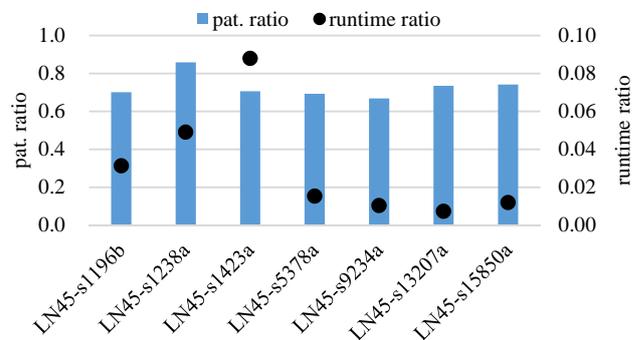


図 1 重み付き故障カバレッジを考慮したテストパターン並べ替えの適用結果 for fast bridge/open test generation, International Test Conference, Paper 5.2 (2017) Reordering considering weighted fault coverage

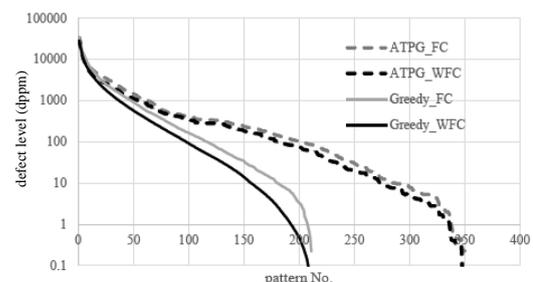


図 2 重み付き故障カバレッジに基づく欠陥レベル算出結果

Figure 2. Result of defect level estimation based on weighted fault coverage