

2phase ハンドシェイクプロトコルに基づく 束データ方式非同期式回路のレプリカ遅延線設計

赤坂親一郎^{†1} 金本俊幾^{†1} 黒川敦^{†1} 今井雅^{†1} (弘前大学)

2 フェイズ・ハンドシェイクプロトコルに基づく束データ非同期式回路において、PVT ばらつきに起因する遅延値の変動が存在し、その対策として、一般的に十分なマージンをとった遅延素子が用いられるが、その代償として余剰マージンによる遅延値の増大が発生する。本稿では従来の遅延線と比較し、よりマージンの少ない遅延線を生成する手法を提案する。

提案手法は6段のインバータからなる遅延素子の2、5段目の pMOS,nMOS 段数を2~4まで変更したものを最適に組み合わせることによって成る。遅延値のマージン、消費電力の面において、一般的な遅延素子およびバッファを組み合わせた遅延線と比較することにより、提案手法の有効性を示す。

Replica Delay-line Design of Bundled-Data Transfer Asynchronous Circuits based on Two-phase Handshaking Protocol

SHIN-ICHIRO AKASAKA^{†1} TOSHIKI KANAMOTO^{†1}
ATSUSHI KUROKAWA^{†1} MASASHI IMAI^{†1}

The delay variations due to PVT variations are one of serious issues in bundled-data transfer asynchronous circuits based on the two-phase handshaking protocols. Several delay elements with a sufficient margin are widely used in order to satisfy the matched delay constraint. However, they may cause a significant performance reduction due to a redundant margin. In this paper, we propose a design method to generate the appropriate delayline with less margin compared to the conventional delaylines considering delay variations due to PVT variations.

In the proposed method, delay elements which consist of six inverter chains are used in order to adjust their rising delays to their falling delays for the 2phase handshaking protocol. The numbers of pMOS (nMOS) stacks in the second and the fifth inverters in the delay elements are varied from 2 to 4 in order to match their delay variations to those of the corresponding combinational circuit. In terms of the margin of delay values and power consumption, we show the effectiveness of the proposed method by comparing with the conventional delaylines which consist of the general delay elements and buffers.

1. はじめに

近年、VLSI 技術の進歩に伴い、微細化・高集積化が進んでおり、それに伴って配線の短縮、低電圧化が進み、より高性能な回路設計が可能となった。しかし、微細化・高集積化が進む一方で、隣接するワイヤ間の信号伝送に起因したクロストークの影響による遅延変動の増加、PVT(Process, Voltage, and Temperature)変動に起因した遅延変動の増加などといった問題が大きくなっている。この問題を解決する手段の一つが、クロック信号に同期して動作する同期式回路(図1左)ではなく、要求一応答ハンドシェイクプロトコルに基づいて動作する非同期式回路(図1右)を用いることである。一般的な同期式回路はグローバルクロック信号に基づいた動作を行うため、その性能は回路全体の最悪遅延に依存するのに対し、非同期式回路は要求一応答ハンドシェイクプロトコルに基づいて必要な箇所が必要な時にのみ、それぞれの動作タイミングで動作するため、その性能は回路全体の平均遅延に依存する。そのため、非同期式回路は動作速度及び省電力性に関して、潜在的な向上性を持っている。

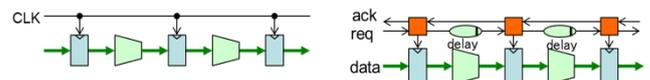


図1 同期式回路(左)、非同期式回路(右)

非同期式回路の実装方式には様々なものがあるが、本研究では対象回路を束データ方式非同期式回路とする[1]。束データ方式では、要求信号線(req)に用いる遅延素子の遅延が組み合わせ回路の遅延より確実に大きくならなければならないという Matched Delay 条件が存在する。一方、組み合わせ回路のクリティカルパスは環境条件に応じて様々に変化する(図2)ため、特定の環境条件において設計した遅延線では、全ての環境条件では Matched Delay 条件を満たせない可能性がある。そのため、常に Matched Delay 条件を満たす遅延素子の設計方式が必要となる。従来の遅延

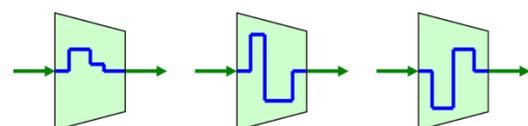


図2 環境条件に応じたクリティカルパスの変化

^{†1} 弘前大学大学院理工学研究科
Graduate School of Science and Technology, Hirosaki University.

線設計では、環境変動を考慮し、遅延マージンを大幅に設けることによりこの問題を解決してきた。しかし、遅延線の遅延マージンを大きくすることは回路動作速度の低下を招くため、組み合わせ回路のクリティカルパスの遅延変動に、よりフィットする遅延素子についての様々な手法がこれまで提案されてきた[2-10]。

束データ非同期式回路における主なハンドシェイクプロトコルとして、レベル論理に基づく4フェイズ・ハンドシェイクプロトコルと、遷移（エッジ）論理に基づく2フェイズ・ハンドシェイクプロトコルがある（図3）。本研究では初期化（Return-to-zero）のオーバーヘッドが無く、高速なシステムを実現することができる2フェイズ・ハンドシェイクプロトコルを採用する。2フェイズ・ハンドシェイクプロトコルでは、信号の立ち上がり、立ち下がりが同じ意味を持つため、遅延素子は立ち上がり遅延と立ち下がり遅延を揃える必要がある。一方、既存のセルライブラリ内に用意されている遅延素子では、立ち上がり遅延と立ち下がり遅延を揃えることはあまり考慮されていない。

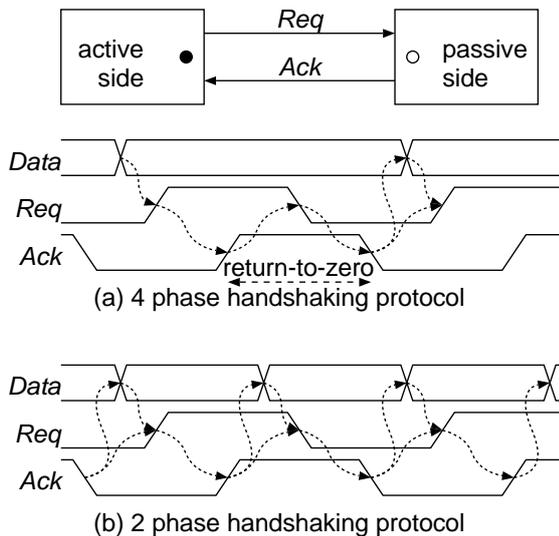


図3 ハンドシェイクプロトコル

本稿では、2フェイズ・ハンドシェイクプロトコルに基づく束データ方式非同期式回路のための、立ち上がり遅延と立ち下がり遅延を揃えた遅延素子の構成を提案する。また、組み合わせ回路の遅延変動特性を考慮し、より近い遅延変動特性を持つ遅延線の回路構成方式とそのための遅延素子ライブラリを提案する。提案手法に関して、65nmプロセス技術を用いて評価した結果を示す。

本稿の残りの構成は以下の通りである。次節では、商用合成ツールを用いたクリティカルパスの特性評価を行った結果を示す。第3節では、2フェイズハンドシェイクプロトコルのための遅延素子の構成と組み合わせ回路の遅延変動特性に合わせた遅延線の設計方式を提案する。第4節で65nmプロセス技術を用いて提案方式を評価した結果を示し、最後にまとめを行う。

表1 仮定するPVTばらつき

プロセス変動 (pMOS, nMOS)	(typical, typical), (fast, fast), (slow, slow)
電圧変動[V]	0.9, 1.0, 1.1
温度変動[°C]	-40, 0, 25, 125

2. クリティカルパス解析

一般的にクリティカルパスはあらかじめ仮定されたPVTコーナー間で変化し得る。さらに、Synopsys Design Compilerなどの商用合成ツールは、クリティカルパスの構成に関わりのないゲートの駆動能力を下げることによって、電力消費を削減する手法がとられるため、各PVTコーナーで、いくつかのパスが同時にクリティカルになり得る。本節では、Synopsys社のDesign Compilerおよび65nmプロセス技術の標準セルライブラリを用いたベンチマーク回路のクリティカルパスの遅延値を評価した結果を示す。一般的に、評価結果は製造プロセス技術、標準セルライブラリおよび合成ツールに大きく依存するが、Synopsys Design Compilerは論理合成ツールの中でも標準的なツールであり、使用するセルライブラリには複合論理を含む十分な種類の論理素子と複数の駆動力を持ったセルが含まれているため、評価結果は限定的なものとはならないと考えられる。

本稿では、PVTばらつきを表1に示すように仮定する。典型的な環境条件は(pMOS, nMOS, 電圧, 温度) = (typical, typical, 1.0[V], 25[°C])とし、電圧および温度変化の組み合わせは以下の7つと仮定する。

- (Voltage, Temperature) = (0.9V, -40°C)
- (Voltage, Temperature) = (0.9V, 0°C)
- (Voltage, Temperature) = (0.9V, 125°C)
- (Voltage, Temperature) = (1.0V, 25°C)
- (Voltage, Temperature) = (1.1V, -40°C)
- (Voltage, Temperature) = (1.1V, 0°C)
- (Voltage, Temperature) = (1.1V, 125°C)

評価に使用する標準的なセルライブラリはフリップフロップなども含め、134種類のセルから構成されている。組み合わせ回路を構成する主な論理素子は、以下の通りである。

- INV : x0, x1, x2, x3, x4, x6, x8, x12, x16, x20, x24
- BUF : x0, x1, x2, x3, x4, x6, x8, x12, x16, x20, x24
- AND2, AND3, AND4 : x0, x1, x2, x4, x8
- OR2, OR3, OR4 : x0, x1, x2, x4, x8
- NAND2, NAND3, NAND4 : x0, x1, x2, x3, x4, x8
- NOR2, NOR3, NOR4 : x0, x1, x2, x3, x4, x8
- XOR2, XNOR2 : x0, x1, x2, x4
- AOI21, AOI22, AOI211, AOI221, AOI222 : x0, x1, x2, x4

- OAI21, OAI22, OAI211, OAI221, OAI222 : x0, x1, x2, x4
- MUX2 : x0, x1, x2, x4
- HA, FA : x0, x1, x2, x4

ここで各ゲートの接尾番号 (例 : AND2) は各ゲートの入力数を表し、“x*”はセルのドライブ能力を表している。上記のリストにあるように、数種のドライブ能力と AOI(AND-OR-INVERTER), OAI(OR-AND-INVERTER) のような複合ゲートも含まれている。

図 4 にクリティカルパスの遅延値の評価フローを示す。まず初めにターゲット回路の Verilog RTL を、タイミング制約無しで、典型的なプロセスコーナーのデータベース DB (tt, 1.0V, 25°C) を使用するという条件の下で論理合成を行い、最小面積となるゲートレベル Verilog 記述を得る。その回路のクリティカルパスの遅延を得た後、0.1[ns]から 0.1ns 刻みにその遅延までタイミング制約を課して論理合成を行う。そして、課されたタイミング制約を満たした合成回路の中で、面積遅延積 (面積×遅延) が最小のものとなる回路を、対象とする組み合わせ回路のゲートレベル Verilog 記述として選択する。最後に、選択した回路の遅延特性を、Synopsys Design Compiler と典型的なコーナーデータベースの他に残り 6 コーナーのデータベースを用いて評価する。なお、評価対象回路は ISCAS89 ベンチマーク回路の組み合わせ回路とする。

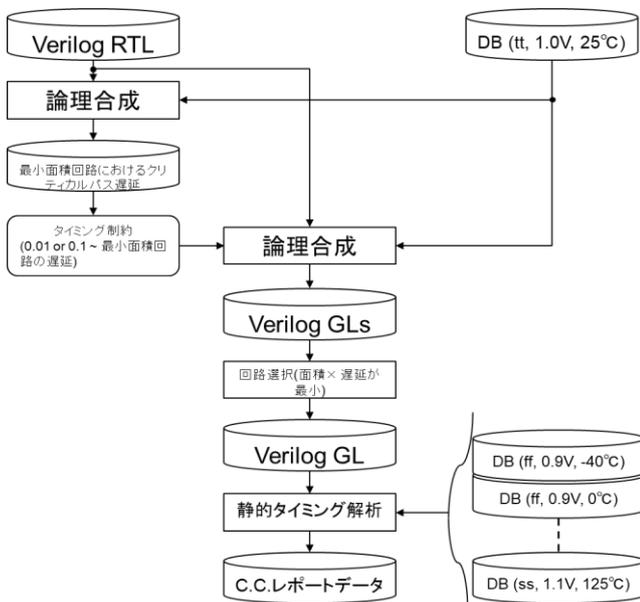


図 4 クリティカルパス遅延の評価フロー

当初は、対象となる回路のクリティカルパスのセル構造から、入力から出力までのアクティブ信号線の nMOS 最大段数および pMOS 最大段数を検出し、そのデータと照らし合わせ、同様の段数を持つ遅延線を選択して組み合わせることにより、組み合わせ回路の遅延変動特性に合わせた遅延線的设计を行うことができるのではないかと期待して設計を行った。しかしながら、本節で示したクリティカルパ

ス遅延の評価結果により、実際はプロセスコーナー毎にクリティカルパス構造が大きく異なることが明らかになった。そのため、与えられた組み合わせ回路のクリティカルパス情報を用いて単純な代表遅延線を設計することは困難であると結論づけられた。

3. 新しい遅延素子ライブラリ

標準のセルライブラリには、いくつかの遅延素子が含まれている場合がある。図 5 は、入力インバータと、いくつかの遅延要素と、出力インバータとを含む遅延素子の典型的な回路構成を示す。図 5 に示すように、入力容量を低減するために入力インバータは最小チャンネル長トランジスタで構成されている。出力インバータは、出力負荷を駆動するために、チャンネル幅の大きい最小チャンネル長トランジスタによって構成されている。

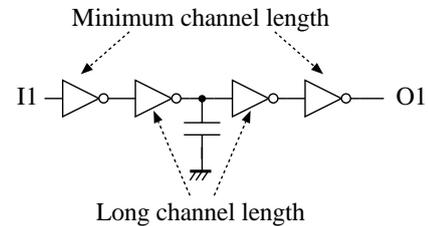


図 5 典型的な遅延素子の構造

入力インバータと出力インバータに挟まれる遅延要素は、典型的には以下の要素から成る。

- 1) 大容量キャパシタンス
- 2) 長いチャンネル長のトランジスタ
- 3) ソースからドレインの方向に多段接続されたトランジスタ・スタック
- 4) 長配線
- 5) 伝送ゲート
- 6) 電流制限型ゲート

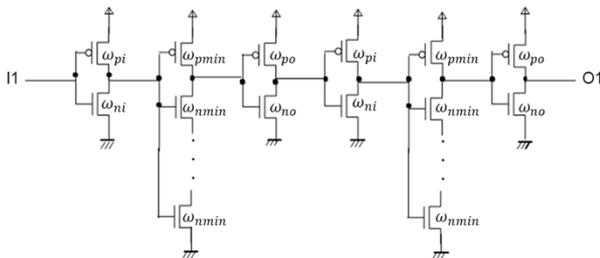
これらのうち、4)長配線の遅延変動は、トランジスタのものとは明らかに異なる。5)伝送ゲートは出力に電圧ドロップを引き起こすため、他の要素による遅延変動とは異なる。6)電流制限型ゲートも、元の VDD (GND) ラインとは異なる仮想 VDD (GND) ラインを形成するので、異なる遅延変動特性を示す。2)長いチャンネル長のトランジスタは、最小チャンネル長トランジスタと遅延変動特性が明らかに異なる。さらに、組み合わせ回路では、大きな容量は論理合成ツールにより自動的にいくつかの小さな容量に分割されるか、大きな駆動能力を持つゲートによってドライブされるため、1)大容量キャパシタンスを小さな駆動能力のトランジスタでドライブする場合の遅延変動特性は、対応する組み合わせ回路におけるクリティカルパスの遅延変動特性とは異なる。したがって、遅延変動特性を考慮すると、ソース・ドレイン方向のスタック数が大きな最小チャンネル長

トランジスタを用いた遅延素子が、束データ方式の Matched Delay 条件を満たした遅延線的设计要素として適している。

図5に示すように、遅延素子は3つのブロックを含む。2 フェイズ・ハンドシェイクプロトコルに基づいた束データ方式非同期式回路のため、立ち上がり遅延と立ち下がり遅延を均一化するためには、ブロックの1つが立ち上がり遅延に影響し、対応する別のブロックが立ち下がり遅延に影響を及ぼすように、3つのブロックをすべて複製する必要がある。このコンセプトは、可変遅延素子である DCCS (Directly Controlled Current Starved) 遅延素子[3]と同様のものである。

2 フェイズ・ハンドシェイクプロトコルのための遅延素子の提案回路構成を図6に示す。上述したように、全てのトランジスタのチャンネル長は最小である。 ω_{pi} (ω_{ni}) は入力インバータの pMOS (nMOS) チャンネル幅を示す。 ω_{pmin} (ω_{nmin}) は、pMOS (nMOS) トランジスタの最小チャンネル幅を示す。また、 ω_{po} (ω_{no}) は出力インバータの pMOS (nMOS) チャンネル幅をそれぞれ表す。図6(a)は、多重 nMOS スタックを持つ遅延素子である。同様に、図6(b)は、多重 pMOS スタックによる遅延素子を示している。一般的に、pMOS トランジスタの遅延は、nMOS トランジスタのそれよりも大きい。したがって、(b)のレイテンシは、同じスタック数を仮定した場合の(a)よりも大きい。

(a) nMOS 多重



(b) pMOS 多重

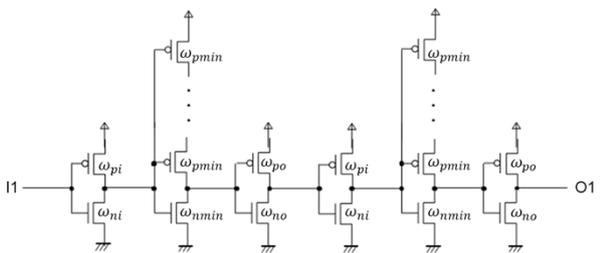


図6 提案遅延素子の回路構成

1 段目および4 段目のインバータは同じ入力インバータである。2 段目および5 段目のインバータは、ソースからドレインの方向に大きなトランジスタスタックによって構成されている。3 段目および6 段目のインバータは、同じ出力インバータである。

2 段目の多重 nMOS (pMOS) スタックは、6 段からなるインバータチェーン全体の立ち下がり (立ち上がり) 遅延に影響する。一方、5 段目の多重 nMOS (pMOS) スタックは、立ち上がり (立ち下がり) 遅延に影響する。その結果、仮定する全てのコーナーで、遅延変動特性を含め、立ち下がり遅延と立ち上がり遅延をほぼ同じものとすることができる。

図6は提案する遅延素子の最小回路構成を示したものである。I1 から O1 までのレイテンシが Matched Delay 条件を満たすのに十分でない場合は、2 段目および5 段目のインバータに、同じ奇数のインバータチェーンを含むように設計することで、大きな遅延値を持った遅延素子設計することができる。

前節で述べたように、クリティカルパス情報を使用して単純な代表遅延線設計することは困難であるため、本稿では、以下のようなアプローチを採用する。

- 1) 2 フェイズ・ハンドシェイクプロトコルのための遅延素子ライブラリを用意する。
- 2) 上記のライブラリに含まれる遅延素子のすべての組み合わせを、遅延線ライブラリとして設計する。
- 3) すべての遅延線に対し、全コーナーにおける遅延変動特性をあらかじめ評価する。
- 4) 対象とする組み合わせ回路の全コーナーにおける遅延変動特性を評価し、3)であらかじめ遅延変動特性を求めておいた遅延線の中から、Matched Delay 条件を満たしつつ、最も差 (オーバーヘッド) が小さくなる遅延線を最適なものとして選択する。

4 評価

4.1 遅延素子評価

本稿では、65nm プロセス技術を用いて提案手法を評価した結果を示す。まず初めに、提案した遅延素子ライブラリを設計する。pMOS トランジスタと nMOS トランジスタの最大スタック数は4とし、以下の7個の遅延素子を設計した。また、長いチャンネル長トランジスタを有する従来の遅延素子も同様に設計した。

- (pMOS stack #, nMOS stack #) = (1,1)
- (pMOS stack #, nMOS stack #) = (1,2),(1,3),(1,4)
- (pMOS stack #, nMOS stack #) = (2,1),(3,1),(4,1),

表2は典型的な環境条件におけるスタンダードセルライブラリに含まれる遅延素子と提案遅延素子の立ち上がり遅延と立ち下がり遅延を、立ち上がり遅延を1.00として相対値で表したものである。(NDA上、絶対値を示せないため。)

表2より、提案遅延素子の立ち上がり遅延と立ち下がり遅延の遅延差は、従来の遅延素子に比べて小さいことが確認された。つまり、提案した遅延素子は、PVT変動を考慮した2フェイズ・ハンドシェイクプロトコル向け遅延線設計するのに有効であると言える。

表 2 遅延素子の評価

遅延セル	立ち上がり遅延	立ち下がり遅延	遅延差(立ち上がり-立ち下がり) [ns]
従来 DEL1	1.00	0.800	0.090
従来 DEL2	1.00	1.500	-0.010
従来 DEL3	1.00	1.000	0.000
従来 DEL4	1.00	0.933	0.010
従来 DEL5	1.00	0.882	0.020
従来 DEL6	1.00	0.738	0.270
従来 DEL7	1.00	0.921	0.130
従来 DEL8	1.00	0.913	0.200
従来 DEL9	1.00	0.884	0.310
提案(1,1)	1.00	1.00	0.000
提案(1,2)	1.00	1.00	0.000
提案(1,3)	1.00	1.00	0.000
提案(1,4)	1.00	1.00	0.000
提案(2,2)	1.00	1.00	0.000
提案(2,3)	1.00	1.00	0.000
提案(2,4)	1.00	1.00	0.000

4.2 遅延線評価

図 7 は、与えられた組み合わせ回路に対し、適切な遅延線を選択するフローを示す。図 7 の右側には、提案された遅延要素の 7 個のコーナーライブラリがある。「C.C のレポートデータ」は図 4 で得られるレポートデータと同じものである。まず、提案された遅延素子の全ての組み合わせを遅延線として設計する。上述の通り、7 個の遅延素子を設計しており、遅延線は 7 個の遅延素子を持つものとして、7 種類全ての組み合わせで遅延線を設計した。つまり、遅延線の種類は $7^7 = 823,543$ 通りとなる。その後、遅延線の遅延変動特性を、Synopsys Design Compiler と 7 コーナーのデータベースを使用して評価する。その結果、各遅延線の遅延変動特性が、「D.L.データレポート」として得られる。最後に、対象とする組み合わせ回路に対する適切な遅延線を、「D.L.のレポートデータ」を使用して選択する。最も適切という意味は、全てのコーナーで Matched Delay 制約を満たす遅延線の中で、各コーナーにおける遅延オーバーヘッドの平均値が最も小さいことである。

なお、本稿の評価では、遅延線の PVT 変動は、対応する組み合わせ回路上の PVT 変動と同じであると仮定する。言い換えれば、ランダムプロセスばらつきは無視できるほど小さく、両方の回路は電圧と温度の変化が同じローカル領域に配置されると仮定する。

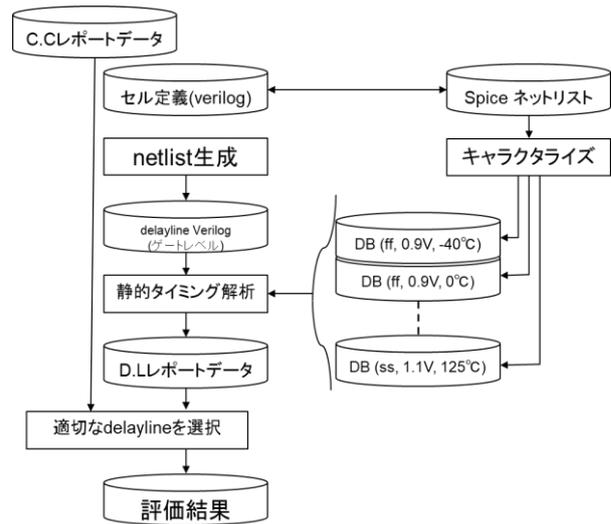


図 7 遅延線生成、評価フロー

表 3 は、チャンネル長の長いトランジスタを有する従来の遅延素子を用いた遅延線と、提案遅延素子を用いた遅延値の評価結果を示す。表 3 の各数値は遅延オーバーヘッドの平均値を表している。

表 3 遅延オーバーヘッドの評価結果 [ns]

ベンチマーク回路	従来遅延素子を用いた遅延線	提案遅延素子を用いた遅延線
S344	0.01	0.14
S349	0.01	0.14
S420_1	0.02	0.19
S510	0.02	0.16
S641	0.12	0.26
S713	0.12	0.26
S1196	0.12	0.23
S1238	0.12	0.26
S1488	0.13	0.24
S1494	0.14	0.23
S5378	0.15	0.23
S9234_1	0.14	0.29
S9234	0.14	0.29
S35932	0.04	0.18

提案手法である適切な遅延線を選択方法は、プロセス変動が遅延素子と組み合わせ回路で異なる場合でも同様の手法で最適な遅延線を選択することができ、任意の PVT 変動仮定の下で適用するのに十分柔軟であると言える。

一方、本稿で用いた選択方式では、全探索を行っているため、より大きな遅延が要求される大規模な回路ほど、より多くの時間が必要となる。より簡便に適切な遅延線を選択する方法を見つけることは今後の課題である。

delay line,” *Proc. ASYNC2017*, pp. 75–82, 2017.

4. おわりに

遅延素子は、VLSI 設計の基本要素であるため、数十年にわたって広く研究されてきた。しかしながら、2 フェイズ・ハンドシェイクプロトコルのための最適な遅延素子をどのように設計するかは明らかになっていなかった。本稿では、遅延素子とその組み合わせ回路の遅延変動特性の差を低減するために、チャンネル長が最小の数個の pMOS(nMOS) トランジスタを多重にスタックした遅延素子の回路構造を提案した。

65nm プロセス技術を使用して組み合わせ回路のクリティカルパスを評価した結果、PVT の変動によって構成要素が大きく変化することが確認された。そのため、遅延セルライブラリを設計し、すべての環境変化を考慮して最適な遅延素子を選択する手法を提案した。結果として、提案された遅延要素は、PVT 変動を考慮したフェイズ・ハンドシェイクプロトコルの遅延線を設計するのに有効であると言える。

謝辞

本研究の一部は、JSPS 科研費 16H06300 の助成を受けたものである。本研究は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス、メンター株式会社の協力で行われたものである。

参考文献

- 1) Scott Hauck, “Asynchronous Design Methodologies: An Overview,” *Proc. IEEE*, Vol.83, No.1, pp.69-93, Jan., 1995
- 2) Bob Schell and Yannis Tsividis. “A low power tunable delay element suitable for asynchronous delays of burst information,” *JSSC*, 43(5):1227-1234, May 2008.
- 3) Mariya Kurchuk and Yannis Tsividis. “Energy-efficient asynchronous delay element with wide controllability,” *Proc.ISCAS2010*, pp. 3837-3840, 2010.
- 4) Ajay Singhvi, Matheus T.Moreira, Ramy N. Tadros, Ney L.V.Calazans, and Peter A. Beerel. “A fine-grained, uniform, energy-efficient delay element for FD-SOI technologies,” *Proc.VLSI2015*, pp. 27-32, 2015.
- 5) Afshi Seraj and Mohammad Maymandi-Nejad. “A new linear delay element with self calibration,” *Proc.ICEE2015*, pp. 1050–1053, 2015.
- 6) Afshin Seraj, Mhammad Maymandi-Nejad, and Parvin Bahmanyar. “A linear comparator-based fully digital delay element,” *Proc.VLSI2015*, pp 652–655, 2015.
- 7) Inhak Han, Daijoon Hyun, and Youngsoo Shin. “Buffer insertion to remove hold violations at multiple process corners,” *Proc.ASP-DAC2016*, pp. 232–237, 2016.
- 8) Ramy N. Tadros, Weizhe Hua, Matheus Gibiluka, Matheus T. Moreira, Ney L. V. Calazans, and Peter A. Beerel. “Analysis and design of delay lines for dynamic voltage scaling applications,” *Proc.ASYNC2016*, pp. 11–18, 2016.
- 9) Duarte L. Oliveira, Lester A. Faria, Higor A. Delsoto, and Kledermon Garcia. “Synthesis of bundled-data asynchronous pipelines with reduced matched delays on FPGAs,” *Proc.INTERCON2016*, pp. 1–5, 2016.
- 10) Alberto Moreno and Jordi Cortadella. “Synthesis of all-digital