

ランダムテレグラフノイズのNMOSまたはPMOSのみの影響を測定可能なリングオシレータによる実測評価

岸田 亮¹ 駒脇 拓弥² 古田 潤² 小林 和淑²

概要: ランダムテレグラフノイズ (RTN) は動的に不規則な集積回路素子の特性変動現象であり、微細化に伴って顕在化している信頼性問題であるため、実測評価が重要である。本稿では RTN の測定効率向上と、NMOS のみ、または PMOS のみの影響を評価できる回路を提案し、チップ試作と実測により評価する。最大および最小周波数を記録する回路を搭載することで、約 7,500 倍測定効率が向上した。抵抗素子を用いることで NMOS と PMOS の影響を分離し、実測により NMOS の方が PMOS よりも約 1.5 倍 RTN の影響が大きいことを明らかにした。RTN の電源電圧依存性もこの回路を用いて測定し、電源電圧を高くするほど、RTN の影響を抑制できることがわかった。

Measurements and Evaluations of Random Telegraph Noise to Separate Influences from NMOS and PMOS Using Ring Oscillators

RYO KISHIDA¹ TAKUYA KOMAWAKI² JUN FURUTA² KAZUTOSHI KOBAYASHI²

Abstract: Random Telegraph Noise (RTN) is one of main causes of dynamic characteristic fluctuations in MOSFETs. Measurements and evaluations of RTN are important because RTN becomes dominant as device sizes are downscaled to nanometer. In this paper, we propose circuits to improve measurement efficiency and to separate the RTN effect in NMOS or PMOS. Measurement efficiency improved as much as 7,500 times by registers to store maximum and minimum frequencies. RTN effect in NMOS or PMOS is separated using poly-resistors. As measurement results, NMOS is more sensitive than PMOS by 1.5 times. RTN depending on the supply voltage are also measured. Higher supply voltage suppresses RTN.

1. 序論

近年の急速な MOSFET の微細化にともない、様々な信頼性問題が顕在化してきている。トランジスタの特性ばらつきはとりわけ重大な問題であり、高信頼性が求められる集積回路において深刻な影響を及ぼす。特性ばらつきは、大きく静的な特性ばらつきと動的な特性変動に分けられる [1]。静的な特性ばらつきは、製品の製造時にトランジスタの特性が決まり、チャンネル部分に不純物をドーピングする際に不純物の数がばらつく Random Dopant Fluctuation

(RDF) などがその要因として挙げられる。一方で、動的な特性変動の一つであるランダムテレグラフノイズ (Random Telegraph Noise, RTN) もスケーリングにともなう問題として顕著になっている。

RTN は MOSFET のドレイン電流値が動的に変動する現象である [2]。RTN の影響はこれまでに、CMOS イメージセンサ [3]、フラッシュメモリ [4]、SRAM [5] といった集積回路において深刻な影響を及ぼすことが報告されている。RTN の影響はゲート面積に反比例することが知られているため [6]、微細なプロセスでは RTN の影響を正確に予測するために、実測評価が重要である。

単体 MOSFET における RTN 実測結果は多く報告されているが、リングオシレータなどの集積回路における RTN の結果は少ない。単体 MOSFET の測定では個々のトランジスタの特性を評価できるが、1 つ 1 つ測定する必要がある

¹ 東京理科大学 理工学部 電気電子情報工学科
Department of Electrical Engineering, Faculty of Science and Technology, Tokyo University of Science

² 京都工芸繊維大学 工学科学研究科 電子システム工学専攻
Department of Electronics, Graduate School of Science and Technology, Kyoto Institute of Technology

るため、複数評価に向いていない。リングオシレータを用いた測定は、チップにカウンタを搭載することで比較的簡単に測定できる。一般的なリングオシレータにおける RTN 測定は、1つの RO の各時刻における周波数測定を何度も行い、最大と最小の周波数差で評価する [7]。しかし、何度も測定を行うため、データ量が膨大になり測定に時間がかかるだけでなく、CMOS 構造であるため、NMOS と PMOS の影響を分離できない。これらの課題を解決するために、チップ内で最大と最小の周波数差を自動で計算して、測定効率を上げてかつ、NMOS または PMOS のみのリングオシレータにすることで、それぞれの RTN の影響のみを評価する。本稿ではこの提案回路のチップ試作と実測によって RTN の影響を検証する。2 節で本研究の対象である RTN について述べる。3 節にて提案回路についての説明をし、4 節で実測による RTN の影響を評価する。最後に 5 節で結論を述べる。

2. ランダムテレグラフノイズ (RTN)

本節では、RTN が発生する物理的なメカニズムとモデルについて述べる。図 1 に RTN の原因とされているゲート酸化膜欠陥によるモデルを表した MOSFET の断面図を示す。ゲート酸化膜の製造工程において、分子間の未結合手などの欠陥が生成される。この欠陥にチャネルを流れるキャリアが捕獲されることで、ゲートの実効電界が減少し、しきい値電圧 (V_{th}) が増加する。捕獲されていたキャリアが放出されることで、 V_{th} は元に戻る。この捕獲と放出がランダムに繰り返されることで、動的に特性が変動する。

図 2 はある 1つの欠陥における、RTN に起因するしきい値電圧の時間的変動の模式図である。欠陥の捕獲、放出までの平均時間をそれぞれ τ_c および τ_e と呼ぶ。これらの時定数はゲート電圧 V_{gs} に依存し、 $|V_{gs}|$ が大きくなると τ_e は増加し、 τ_c は減少する [5]。1つの欠陥を対象とした場合、しきい値電圧は図 2 のように 2 状態をとり、しきい値電圧変動値は欠陥ごとに一定である [7]。複数の欠陥がゲート酸化膜中に存在する場合には、図 3 のように V_{th} が多段に変化する。実測で観測されるのはこのような波形であり、ゲート酸化膜中の欠陥に基づくこの現象を Charge Trapping Model (CTM) と呼ぶ。このモデルは経年劣化の主要因である Bias Temperature Instability (BTI) の発生原理と同じである [8], [9]。BTI は NMOS よりも PMOS の方が影響が大きいいため、RTN でも同様の結果となることが予想される。RTN の影響はゲート面積に反比例して大きくなるため、微細化が進むと RDF より深刻化すると予想されている [6]。

3. RTN 提案測定回路

本節では高効率かつ、NMOS と PMOS の影響を分離できるリングオシレータ (RO) を提案する。

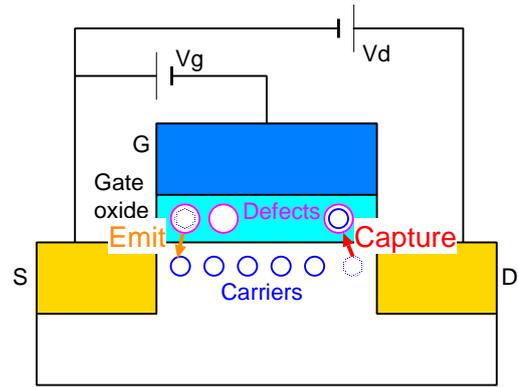


図 1 RTN の原因であるゲート酸化膜欠陥によるキャリア捕獲と放出を表した MOSFET 断面図。

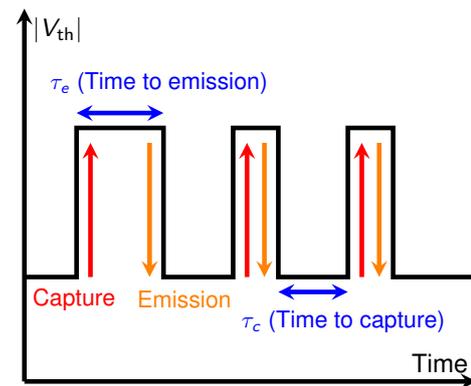


図 2 単一欠陥における RTN 起因のしきい値電圧 (V_{th}) 変動。

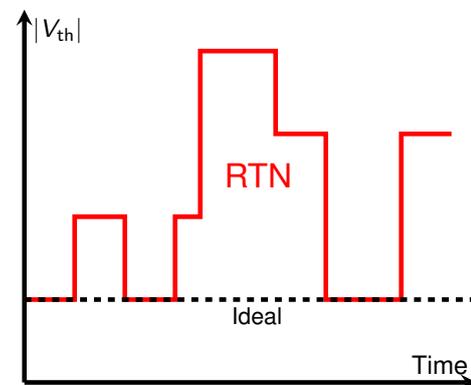


図 3 複数欠陥における RTN による V_{th} 変動。

3.1 最大および最小周波数記録回路

RO では、RTN の影響を $\Delta F/F_{max}$ で表す [7]。ここで、 F_{max} は最大の周波数、 ΔF は F_{max} と最小周波数 (F_{min}) の差であり、 $\Delta F = F_{max} - F_{min}$ である。RO ごとに $\Delta F/F_{max}$ が出てくるため、RO の RTN を統計解析するためには、多数の測定が必要である。この測定を簡易かつ短時間に行うために、図 4 のようにチップ内のカウンタ兼シフトレジスタの最後に F_{max} と F_{min} を記録する回路を搭載する。RO の F_{max} と F_{min} がわかれば、 $\Delta F/F_{max}$ が簡単にわかるため、 F_{max} と F_{min} を読み出すだけで、各時間毎の周波数を読み出す必要がなくなり、RTN を評価できる。正しく動

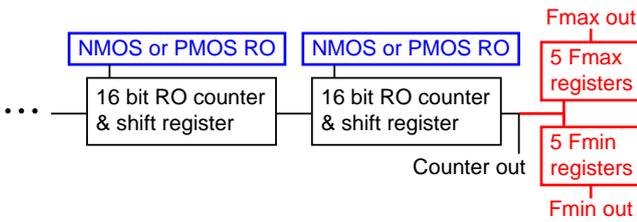


図 4 F_{max} と F_{min} の自動計算による RTN 測定回路。

いているか確認するために、カウンタの値を読み出せるようにし、その値を整理して得られる結果と比較する。 F_{max} と F_{min} は最大または最小から 5 個記録する。 F_{max} と F_{min} を 1 つのみ記録する回路では、RTN 以外の要因により、それらの値が極端に大きいまたは小さい場合がある。5 個記録することにより、 F_{max} と F_{min} が RTN によるものであることを確認し、そうでないときに 2 番目以降の値を F_{max} または F_{min} とすることができる。

従来は長期間の RTN 測定をする際、各時刻における発振周波数を 15,000 回測定していた。発振周波数データは 16 bit カウンタに記録され、15,000 回分のデータを読み出すことで RTN を評価するため、全データ量は $15,000 \times 16 \text{ bit} = 240 \text{ kbit}$ である。この提案回路では、読み出す必要のあるデータは F_{max} と F_{min} それぞれ 16 bit のみであり、1 回 $\times 16 \text{ bit} \times 2 = 32 \text{ bit}$ 読み出せば RTN の影響を評価できる。実際は F_{max} と F_{min} はそれぞれ最大または最小から 5 個記録されており、全て読み出す場合は $32 \times 5 = 160 \text{ bit}$ のデータ量となる。 F_{max} と F_{min} をそれぞれ 5 個読み出すのに必要なデータ量は 240 kbit から 160 bit と $1/1,500$ となり、 F_{max} と F_{min} を 1 個のみで評価する場合のデータ量は $1/7,500$ であるため、測定の高効率化が見込める。

3.2 NMOS と PMOS の影響分離回路

リングオシレータによる RTN 測定のもう 1 つの課題は、NMOS と PMOS の影響を分離できないことである。これは RO を構成するインバータが CMOS 構造であり、観測される周波数に両方の RTN が影響するためである。この解決方法として、図 5 のように抵抗を用いてそれぞれの MOSFET のみのリングオシレータを提案する。NMOS の RTN を見るなら図 5(a) のように PMOS の代わりに抵抗を用いて NMOS のみの RO を設計する。この回路を“ALLN”と名付ける。発振制御用の NMOS は測定対象となる NMOS に直列でつなげる。停止時のリーク電流を抑えるため、発振制御用 NMOS は全段につける。RTN はゲート幅 (W) が小さいほど影響が大きくなるため、被測定用 NMOS のゲート幅はできるだけ小さく、発振制御用では大きくする。被測定用 (Device Under Test, DUT) の NMOS のゲート幅は、試作に用いたプロセスで設計できる最小のゲート幅である 200 nm である。発振制御用には 260 nm のゲート幅をもつ NMOS を 16 並列にしているため、合計

のゲート幅は $16 \times 260 \text{ nm} = 4.16 \mu\text{m}$ である。260 nm は試作プロセスにおける標準インバータのゲート幅である。抵抗素子はポリシリコンにより作成する。抵抗値が 30 k Ω ~ 500 k Ω で発振することをシミュレーションにより確認しているため、その間で抵抗値がばらついても動作する値である 150 k Ω となるように抵抗を設計した。図 5(b) のように PMOS と抵抗のみの RO にすれば、PMOS の RTN を評価できる。この回路を“ALLP”と名付ける。NMOS 評価用回路と同様に、発振制御用 PMOS を全段につけ、150 k Ω となる抵抗を用いる。被測定用の PMOS のゲート幅は 200 nm であり、発振制御用 PMOS は標準インバータのゲート幅である 450 nm を 16 並列で合計 $16 \times 450 \text{ nm} = 7.20 \mu\text{m}$ である。ALLN と ALLP をまとめて“ALL型”と呼ぶ。

RO の 5 段全てに抵抗と MOSFET で構成したのが ALL 型であるが、ALL 型では 5 段分の RTN の影響があらわれる。1 つの MOSFET のみの RTN を見るために設計したのが、図 6 のような“4C 型”と名付けた RO である。図 6(a) は RO の 1 段のみに抵抗と NMOS を用いて、残り 4 段を CMOS インバータで構成した RO である。CMOS インバータのうち 1 段は発振制御のための NAND である。抵抗を用いた 1 段の NMOS は RTN を評価するためにゲート幅を 200 nm とし、それ以外の CMOS インバータおよび NAND の NMOS のゲート幅 (W_N) は $16 \times 260 \text{ nm}$ 、PMOS のゲート幅 (W_P) は $16 \times 450 \text{ nm}$ と、ALL 型と同様に被測定トランジスタよりも 20 倍以上大きくする。これにより、NMOS 単体の RTN の影響評価が可能である。この回路は 1 段を NMOS、残り 4 段を CMOS インバータで RO を構成しているため、“1N4C”と名付ける。図 6(b) は 1 段を抵抗と PMOS のみ、残り 4 段を CMOS インバータにした回路である。この回路は PMOS 単体の RTN を評価可能であり、“1P4C”と名付ける。ALL 型または 4C 型における全 RO の $\Delta F/F_{max}$ の累積分布を比較することで、NMOS と PMOS における RTN の影響の違いを評価できる。

以上をまとめたものが表 1 である。設計したチップには 4 種類の RO が各 840 個搭載されており、段数はいずれも 5 段である。試作したチップ写真を図 7 に示す。65 nm プロセスであり、標準電圧は 0.75 V である。リングオシレータの最終段直後に、Verilog 記述から論理合成して設計した F_{max} と F_{min} を記録する回路が搭載されている。チップサイズは 3 mm 角である。同じ構造のマクロをチップの上下 2 つに分けて、出力ピンをそれぞれ設けることで、2 つ同時に測定してデータを出力することができる。

4. 測定

3 節で提案した回路を用いて実測を行う。はじめに測定方法を述べたあとで、回路別の比較と、電源電圧依存性の測定結果を示す。

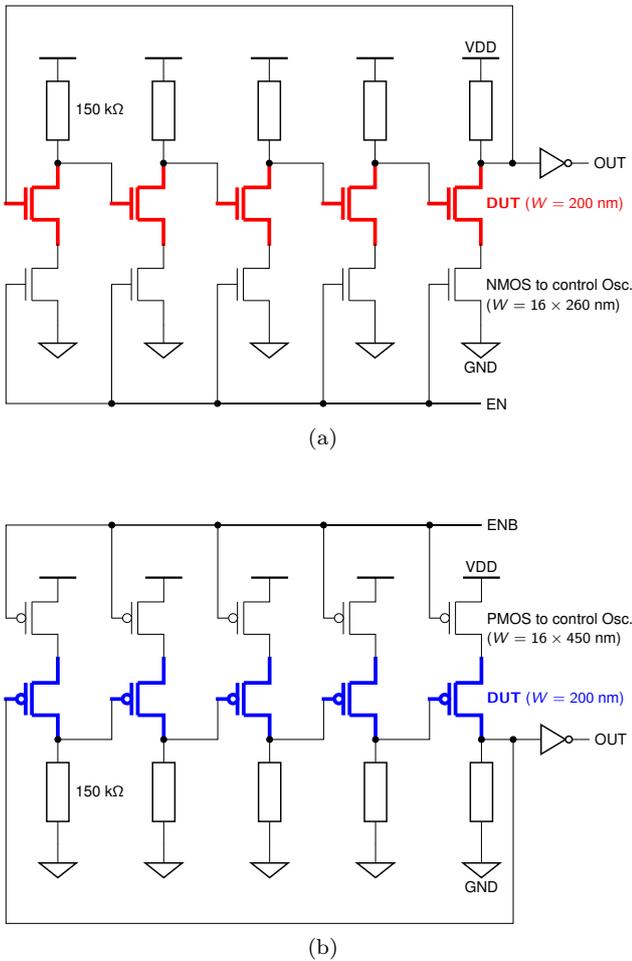


図 5 抵抗による NMOS と PMOS の影響を分離した RTN 測定回路. (a) NMOS と抵抗による NMOS 評価用回路 (ALLN). (b) PMOS と抵抗による PMOS 評価用回路 (ALLP).

表 1 チップに搭載した 5 段リングオシレータの種類.

総称	回路名	リングオシレータの構造	搭載数
ALL 型	ALLN	全段 抵抗と NMOS	いずれも 840 個
	ALLP	全段 抵抗と PMOS	
4C 型	1N4C	1 段 抵抗と NMOS 4 段 CMOS	
	1P4C	1 段 抵抗と PMOS 4 段 CMOS	

4.1 測定方法

測定方法を図 8 に示す. 100 μ s 発振させてチップ内に搭載した 16 bit カウンタに発振回数の値を記録した後, カウンタに記録された値をシフトさせる. シフトには 160 μ s かかる. シフトした後, 再び 100 μ s の発振と 160 μ s のシフトをし, これを 1 万回繰り返す. 各時刻での発振周波数が最大および最小周波数を記録する回路に保存されるため, 測定の最後に, これらの最大と最小周波数を読み出し, RTN の影響を表すパラメータである $\Delta F/F_{max}$ を計算する. 各リングオシレータでこの $\Delta F/F_{max}$ を取り出して分布をとる. 室温, 電源電圧 $V_{DD} = 0.75$ V で測定し, 電源

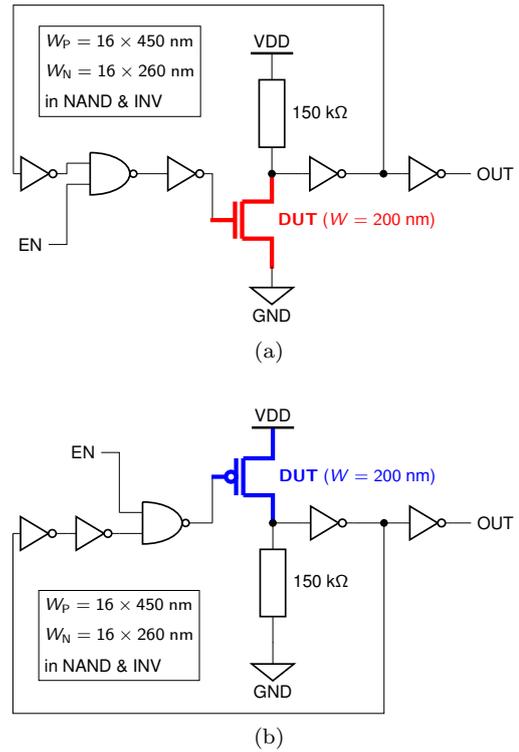


図 6 1 段のみを抵抗と MOSFET, 残り 4 段を CMOS インバータで構成した 5 段 RO. (a) 単体 NMOS の RTN 評価用 RO (1N4C). (b) 単体 PMOS の RTN 評価用 RO (1P4C).

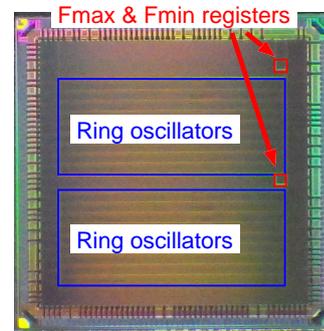


図 7 RTN 評価用チップ写真.

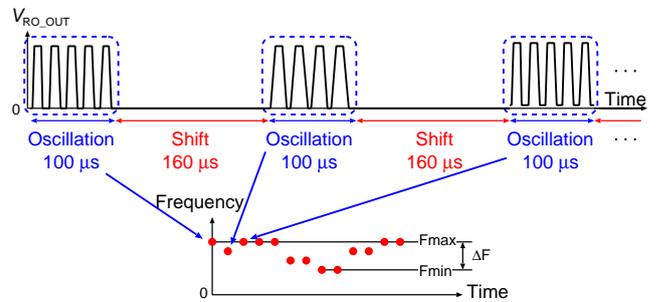
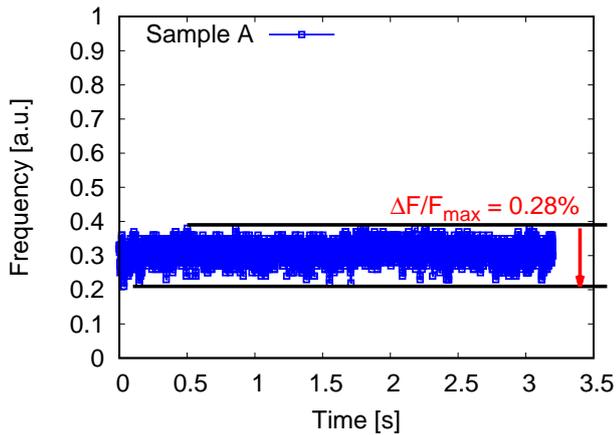
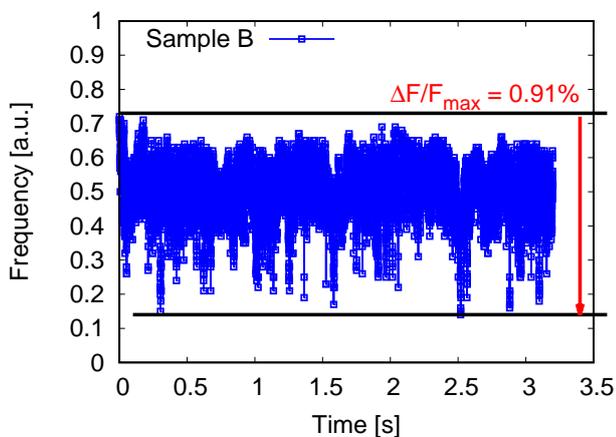


図 8 RTN 測定方法.

電圧依存性の測定では 0.75 V に加えて, 1.00 V と 1.25 V のときも測定して比較する.



(a)



(b)

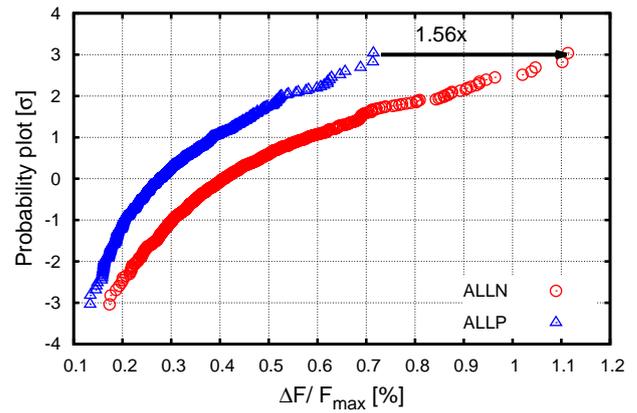
図9 発振周波数変動の測定結果. (a) $\Delta F/F_{\max}$ が 0.28% と比較的小さい RO の結果. (b) $\Delta F/F_{\max}$ が 0.91% と比較的大きい RO の結果.

4.2 RTN 起因の発振周波数変動

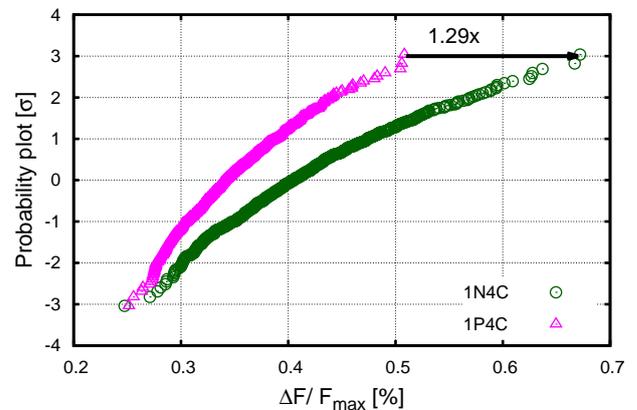
測定した発振周波数変動の結果のうち、ALLN の結果の 2 例を図 9 に示す。各 RO において発振周波数がランダムに増減していることが確認できる。図 9(a) の RO は $\Delta F/F_{\max} = 0.28\%$ であるのに対し、図 9(b) の RO では 3 倍以上の 0.91% 変動している。同じ構造の RO であっても、RTN による発振周波数変動の影響は異なる。各時刻でのデータを取り出すために必要なデータ量は 1 つの RO あたり 240 kbit である。この大きなデータを取り出すことなく、 F_{\max} と F_{\min} の 32 bit のみ取り出すだけで評価できるため、測定効率は 7,500 倍向上する。

4.3 回路別の測定結果

測定した各 RO の種類ごとの $\Delta F/F_{\max}$ の累積分布を図 10 に示す。図 10(a) は ALL 型、図 10(b) は 4C 型の分布である。3 σ 点で比較すると、ALL 型では ALLN が ALLP と比較して 1.56 倍周波数変動率が大きくなっており、4C 型では 1N4C のほうが 1.29 倍大きくなっている。これらの



(a)



(b)

図10 各 RO の $\Delta F/F_{\max}$ の累積分布. (a) ALL 型. (b) 4C 型. RTN の影響は PMOS よりも NMOS のほうが大きい.

結果から、RTN の影響は PMOS よりも NMOS のほうが大きいことがわかる。RTN と同じメカニズムだとされる BTI は、本稿で実測した 65 nm プロセスにおいて NMOS よりも PMOS にて大きな影響を及ぼす。影響が大きくなるトランジスタの種類が BTI と RTN で異なる理由として、NMOS に生じた欠陥は捕獲してから放り出までの時定数 τ_e が短いものが多い、PMOS に生じた欠陥は τ_e が長いものが多いのだと推測される。長期的な現象の BTI では τ_e が長い欠陥によるキャリア捕獲が蓄積されていくことで、PMOS のほうが支配的になることが考えられる。

4.4 電源電圧依存性の測定結果

電源電圧 V_{DD} を変化させたときの ALL 型の $\Delta F/F_{\max}$ の累積分布を図 11 に示す。図 11(a) は NMOS, (b) は PMOS での結果である。いずれの回路においても V_{DD} を大きくすることで $\Delta F/F_{\max}$ が小さくなり、RTN の影響を抑制できる。 V_{DD} を 0.75 V から 1.25 V へ増大させたときの $\Delta F/F_{\max}$ の変化率は、標準偏差の 3 倍 (3 σ) の点で評価

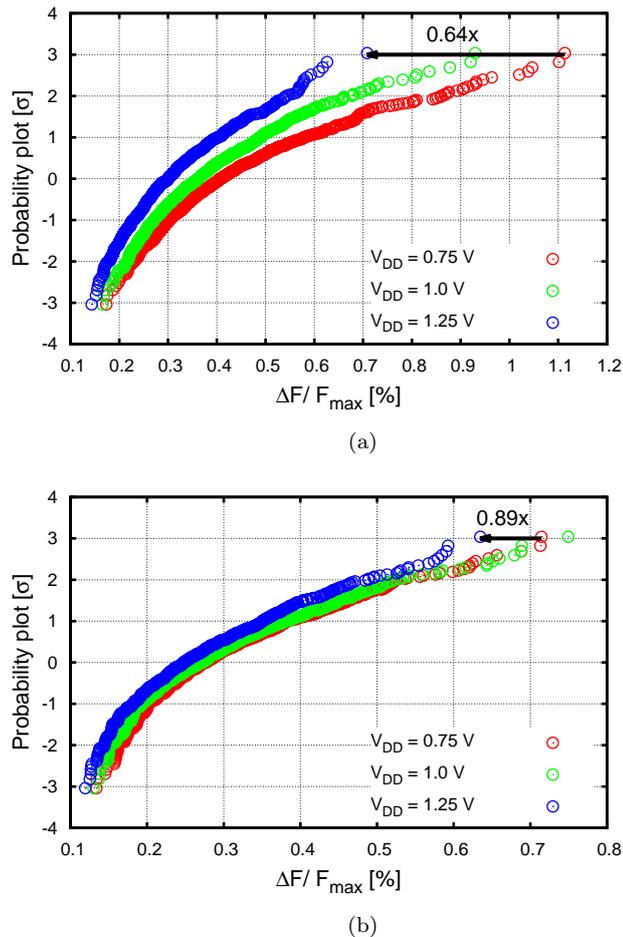


図 11 ALL 型における RTN の電源電圧依存性. (a) NMOS の結果 (ALLN). (b) PMOS の結果 (ALLP). 電源電圧 V_{DD} を大きくするほど, RTN は抑制される.

すると ALLN で 0.64 倍, ALLP で 0.89 倍である. 電源電圧を大きくした場合, $\Delta F/F_{max}$ が小さくなり RTN の影響を抑制できる. ALLN での結果の方がより抑制できているため, 電源電圧を変えたときは NMOS における RTN に, より影響を及ぼす.

4C 型では 1.0 V 以上の V_{DD} でカウンタに値が記録されなかった. V_{DD} を増加させると, RO 出力の Duty 比が 1 に近づくためである. 設計したレイアウトから抽出したネットリストを用いて回路シミュレーションを行った結果, $V_{DD} = 0.75$ V のときは出力波形の Duty 比が 79% であったが, 1.0 V になると Duty 比が 88% と大きくなり, “1” である時間がより長くなる. このため, RO の出力にあるカウンタが発振を認識せず, 値をカウントしなかったのだと考えられる.

5. 結論

本稿では集積回路の信頼性問題である RTN を高効率かつ, NMOS または PMOS の影響を分離できる回路を提案した. チップ内に最大および最小周波数を記録できる回路を搭載することで, リングオシレータにおける RTN の影

響を表す指標である $\Delta F/F_{max}$ を効率良く測定可能とし, 抵抗素子を用いることで NMOS のみ, または PMOS のみのリングオシレータを設計し, それぞれの RTN への影響を評価可能とした. 測定効率は 7,500 倍向上し, 測定結果として, NMOS の方が PMOS よりも RTN の影響が約 1.5 倍大きく出ることがわかった. 電源電圧依存性も測定し, 電源電圧を 0.75 V から 1.25 V へ増大させたとき, NMOS で 0.64 倍, PMOS で 0.89 倍となった. 電源電圧を大きくした場合, $\Delta F/F_{max}$ が小さくなり RTN の影響を抑制でき, 電源電圧の変化は NMOS により大きい影響を及ぼす. RTN の影響を考える場合は NMOS と PMOS で影響を分けて, NMOS の方をより考慮するべきである.

謝辞 本研究に関して多大な助言をしてくださった熊代成考先生 (京都工芸繊維大学特任教授), 西澤真一先生 (埼玉大学助教), 松本高士先生 (VDEC 助教) に深く感謝いたします. 本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり, 東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社, 日本ケイデンス株式会社, メンターグラフィックス株式会社の協力で行われたものである.

参考文献

- [1] N. Weste and D. Harris, *CMOS VLSI Design*, Pearson, Addison-Wesley, 4th ed., 2011.
- [2] M. Nour, M. Mahmud, Z. Celik-Butler, D. Basu, S. Tang, F.-C. Hou, and R. Wise, “Variability of Random Telegraph Noise in Analog MOS Transistors,” *ICNF*, pp. 1–4, June 2013.
- [3] J.-M. Woo, H.-H. Park, H. Min, Y. Park, S.-M. Hong, and C. Park, “Statistical Analysis of Random Telegraph Noise in CMOS Image Sensors,” *SISPAD*, pp. 77–80, Sept. 2008.
- [4] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, “Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node,” *JSSC*, vol. 42, pp. 1362–1369, June 2007.
- [5] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya, and Y. Inoue, “Application of a Statistical Compact Model for Random Telegraph Noise to Scaled-SRAM Vmin Analysis,” *VLSIT*, pp. 95–96, June 2010.
- [6] J. Franco, B. Kaczer, M. Toledano-Luque, P. Roussel, J. Mitard, L.-A. Ragnarsson, L. Witters, T. Chiarella, M. Togo, N. Horiguchi, G. Groeseneken, M. Bukhori, T. Grasser, and A. Asenov, “Impact of Single Charged Gate Oxide Defects on the Performance and Scaling of Nanoscaled FETs,” *IRPS*, pp. 5A.4.1–5A.4.6, Apr. 2012.
- [7] T. Matsumoto, K. Kobayashi, and H. Onodera, “Impact of Random Telegraph Noise on CMOS Logic Circuit Reliability,” *CICC*, pp. 1–8, Sept. 2014.
- [8] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI Degradation: From Transistor to SRAM Arrays,” *IRPS*, pp. 289–300, Apr. 2008.
- [9] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L. V. der Perre, R. Lauwereins, and G. Groeseneken, “Comparison of Reaction-Diffusion and Atomistic Trap-Based BTI Models for Logic Gates,” *IEEE Trans. on Dev. and Mat. Rel.*, vol. 14, pp. 182–193, Mar. 2014.