

集積ナノフォトンクスに基づく近似二進対数を用いた 低レイテンシ光並列乗算器

塩見 準^{1,a)} 石原 亨¹ 小野寺 秀俊¹ 新家 昭彦^{2,3} 納富 雅也^{2,3}

概要: ナノフォトンクス技術の登場により, 超高速動作する光集積回路の設計が可能になった. 本稿では, 光スイッチング素子を用いた近似並列乗算器の実装方式を提案する. 提案する近似並列乗算器は 2 つの n ビットの整数を入力とする. 超高速信号処理の鍵は, クリティカルパス上に存在する光電変換器 (OptoElectric converter. 以後 OE 変換器と呼ぶ) の個数を最小限にとどめることである. これは, OE 変換器の遅延が光集積回路のレイテンシの大半を占めるためである. 任意の n に対し, 提案する近似乗算器のクリティカルパス上に存在する OE 変換器は 3 個に限られる一方, 入力ベクトルにより決まる確定的誤差 (最大 11%) が乗算結果に発生する. 既存の並列乗算器では n の増大とともにクリティカルパス上の OE 変換器の個数が増大するため, 提案する乗算器は大きな n に対して動作速度で優位性を示す. $n = 64$ に対する数値評価の結果, 提案する乗算器は 151 ps で動作し, 既存の光並列乗算器より約 2.4 高速動作することを示す.

1. 序論

MOS トランジスタの微細化によりもたらされる集積回路の性能向上は今日の情報化社会の発展に大きく貢献している. しかしながら, 微細化による CMOS LSI の配線抵抗増大や配線容量増大を背景に, CMOS 論理ゲートの遅延は 10 ps 程度で飽和しており, 微細化による動作速度改善の限界が指摘されている [1]. 他方, 情報通信機器の大容量通信の需要を背景に, 光ファイバー通信を代表とする光通信技術がここ数十年で急速に発展し続けている. 近年, ナノフォトンクス技術の登場によりオンチップレベルの光通信技術の実現が可能になった. フォトニック結晶を用いた光スイッチング素子により, 光の波長オーダーで光の進行方向を制御できるようになった. 光集積回路を用いることで, 従来の CMOS LSI において問題となる配線抵抗や配線容量には影響されずに光速度の情報通信が可能である. 近年では 10 μm オーダの素子長かつ 100 fs 程度の伝搬遅延を持つ光スイッチング素子の開発が進められており, CMOS 論理回路より高速な動作を実現することが期待されている [2]. ナノフォトンクス技術を活用し, [3] 等の研究においてチップ間およびチップ内高速通信技術が近年研究されている.

文献 [3] のような多くの既存研究では, オンチップ光通信に研究の焦点が当てられているが, 本研究では既存研究と異なりナノフォトンクス技術を用いた光論理回路設計技術に焦点を当てる. 従来の高速 CMOS 論理回路の代替として光論理回路を用いることで, デジタルデータの通信のみならず計算も光速度で実現可能にさせることを目的とする. 文献 [4-6] のような既存研究で既に光スイッチング素子を用いた光論理回路の設計手法が提案されている. しかし, これら既存研究の応用は単純な論理回路に限られており, 並列乗算器のような複雑な光算術演算回路の研究は十分に行われていない. ナノフォトンクス技術を活用し, 本研究では光スイッチング素子を用いた近似並列乗算器を提案する. 提案する近似並列乗算器は完全デジタルな構成を有しており, 光ネットワークで典型的に用いられるプライオリティエンコーダとパレルシフタにより主に構成される. 提案回路は高速な乗算を実現する一方, 入力ベクトルに依存する確定的な誤差を持つ.

本稿の構成を以下に示す. 第 2 章で関連研究と本稿の成果を示す. 第 3 章では, 光スイッチング素子を用いた近似並列乗算回路の提案を行い, 提案回路の性能モデル化を行う. 第 4 章では提案する近似並列乗算器, 既存の並列乗算器の性能比較を行い, 光電混載回路シミュレータを用いた検証を行う. 第 5 章で結論を述べる.

¹ 京都大学大学院情報学研究科

² NTT ナノフォトンクスセンタ

³ NTT 物性科学基礎研究所

^{a)} shiomi-jun@i.kyoto-u.ac.jp

2. 関連研究と本稿の成果

2.1 関連研究

光論理回路に関連する研究の1つは Hardy らによる研究であり, Hardy らは光スイッチング素子を用いた Directed Logic (DL) を提案している [4]. CMOS 論理回路のパストランジスタロジックのように, DL では光の進行方向を制御する光スイッチング素子を多段接続することで論理回路の設計を行う. パストランジスタロジックと同じように, DL 回路では入力する二進信号に基づき光の進行方向を制御することで, 結果として光のブーリアンロジックを実現する. 文献 [5] 等の研究で, ナノフォトニクス技術を活用した DL 回路の効率的な実装方式について議論されているが, これらの用途は単純な論理回路の実装に限られる. これは, DL を用いて並列乗算器のような複雑な演算回路を設計すると光スイッチング素子数が爆発的に増えるためである. 結果として DL は複雑な論理演算回路の実装に適していない.

オンチップ光信号処理を実現するために, Optical Pass-Gate (OPG) を用いた光論理回路の設計手法が近年検討されている [2]. OPG はフォトニック結晶により構成されており, 入力電気信号に基づき光の波長オーダーの大きさで光の進行方向を制御できる. 図 1 に本稿で用いる OPG の概要を示す. 入力電気信号に基づき, OPG は光の進行を阻止する (図 1 (a)) か, 光の進行方向を切り替える (図 1 (b)) ことができる. 本稿では, OPG を用いた近似乗算器の設計手法を提案する.

超高速動作する光論理回路を設計する上で, OPG の接続方法と伝搬遅延に関して理解することが重要である. 図 2 に, OPG ベースの論理回路で用いられる 2 種類の OPG

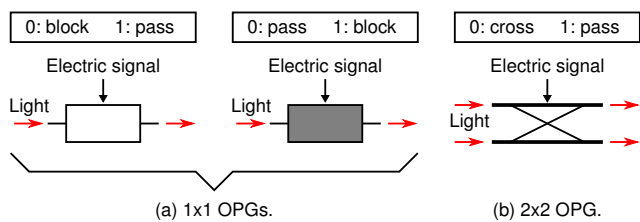


図 1 Optical Pass-Gate (OPG) の例とその論理的動作.

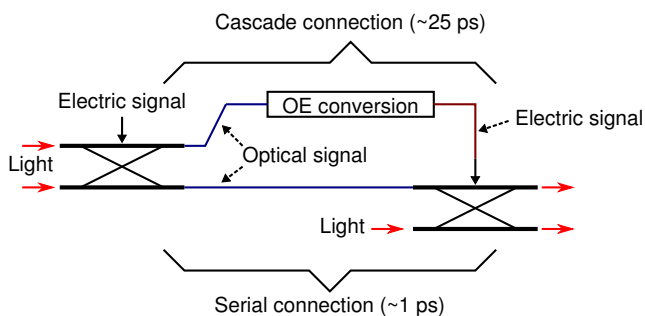


図 2 OPG に関する 2 種類の接続方法.

接続方法を示す. シリアル接続は OPG を直列に接続する方法で, 光速で信号を伝搬させることが可能である. 一方でカスケード接続は光信号を電気に変換し, OPG の制御端子に信号を伝搬させる接続方式である. カスケード接続を実現させるためには, [7] で提案されているナノフォトディテクターを用いた光電変換器 (OptoElectric converter: OE converter) が必要になる. 文献 [6] によると, シリアル接続された OPG の伝搬遅延は 1 ps/OPG である一方, カスケード接続された OPG の伝搬遅延は 25 ps/OPG である. したがって, 超高速な OPG ベースの光論理回路を設計するためには, クリティカルパス上に存在する OE 変換器の個数を最小限に留めることが重要である. この事実に基づき, [6] は任意のビット幅 n に対しクリティカルパス上に高々 1 個の OE 変換器を持つ並列加算器を提案した. しかしながら, OPG を用いた並列乗算器の設計手法は十分に研究されていない. 本稿では, OPG を用いた超高速信号処理向けの近似並列乗算器を提案する. 本稿の成果を次節にまとめる.

2.2 本稿の成果

提案する近似並列乗算器の特徴は以下の通りである.

超低レイテンシ

単純に配列乗算器や Wallace 木乗算器のような並列乗算器を OPG を用いて設計すると, クリティカルパス上に存在する OE 変換器の個数はビット幅 n に対して単調に増加する. したがって, 大きな n に対して超高速動作する並列乗算器を設計することは困難である. 本稿では, Mitchell らにより提案された近似二進対数に基づく近似乗算アルゴリズム [8] を用い, 超高速信号処理に向けた OPG ベースの近似並列乗算器を提案する. 既存の並列乗算器と異なり, 提案する近似並列乗算器のクリティカルパス上に存在する OE 変換器は任意のビット幅 n に対して 3 個に限られるため, 既存手法と比較して大きな n に対して優位性 (高速動作) を示す. $n = 64$ に対する数値評価の結果, 提案乗算器は 151 ps のレイテンシで動作し, 既存の光並列乗算器と比較して約 2.4 倍高速動作することを示す.

入力ベクトルに依存する確定的誤差

近似演算回路が提案乗算回路に実装されているため, 提案回路の出力結果には近似誤差が発生する. 任意のビット幅 n に対し, 近似誤差は -11% であることを本稿で述べる. したがって, 提案回路の応用分野は Deep learning のように, 高速動作が強く求められる一方, 厳密な計算が必ずしも求められない分野に関連する. 例えば [9] では Mitchell らの近似乗算アルゴリズム [8] を拡張した FPGA ベースのニューラルネットワークを提案しており, 提案回路の応用先は機械学習のような分野に適している.

3. 集積ナノフォトニクスに基づく近似並列乗算器

3.1 コンセプト

n ビットの 2 つの正整数 (以後 $X_n, Y_n > 0$ とする) の積を考える. 一般的に, 配列乗算器や Wallace 木乗算器のような並列乗算器では, 部分積を順次足し上げるために複数の全加算器 (Full Adder: FA) を必要とする. 文献 [6] が指摘しているように, 1 個の FA に少なくとも 1 個の OE 変換器が必要であり, その結果乗算器のクリティカルパス上に存在する OE 変換器が n とともに増大する. したがって, 大きな n に対して高速動作する並列乗算器を設計することは困難である. この問題を解決するため, 本稿では任意の n に対してクリティカルパス上に 3 個のみの OE 変換器を持つ近似乗算器を提案する. 鍵となる数式を (1) に示す.

$$X_n \times Y_n = 2^{\log_2 X_n + \log_2 Y_n}. \quad (1)$$

提案回路では次の 3 ステップを経て乗算結果を得る: (i) 二進対数, (ii) 加算, (iii) 二進逆対数 (指数関数). 上記 3 ステップのうち, 二進対数および二進逆対数を実装するためには多くの光スイッチング素子が必要である. 演算の複雑さを削減するため, 本稿では Mitchell らにより提案された近似二進対数と近似二進逆対数を用いて乗算器の設計を行う [8]. 近似演算回路の導入により, 乗算器のクリティカルパス上に存在する OE 変換器が任意の n に対して 3 個に限られ, 大きな n に対して高速な乗算を実現する. 本節の残りの部分で近似乗算の詳細を述べる.

近似二進対数のコンセプトを図 3 (a) に示す. 二進対数演算の複雑さを削減するために折れ線近似を用いて二進対数関数を近似する. 近似二進対数関数は, $\log_2 n$ ビットの整数部と $(n-1)$ ビットの小数部を持つ固定小数点数を出力する. 近似二進対数を得る詳細な手順は以下の通りである:

- **整数部:** 近似二進対数関数は, $\log_2 X_n$ の整数部, すなわち $\lfloor \log_2 X_n \rfloor$ を整数部として出力する. ここで, $\lfloor x \rfloor$ は x に対する床関数である.
- **小数部:** 近似二進対数関数は, 入力値を二進数で表現

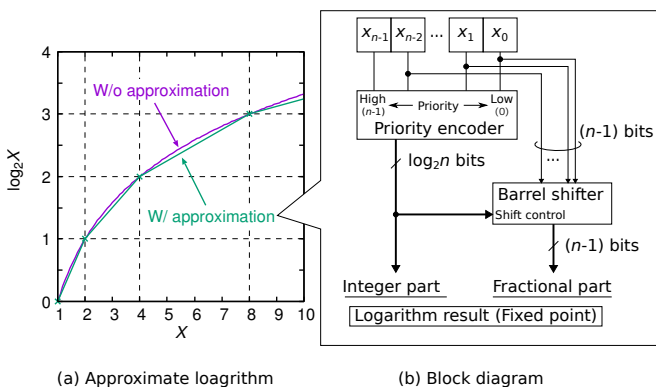


図 3 近似二進対数のコンセプト.

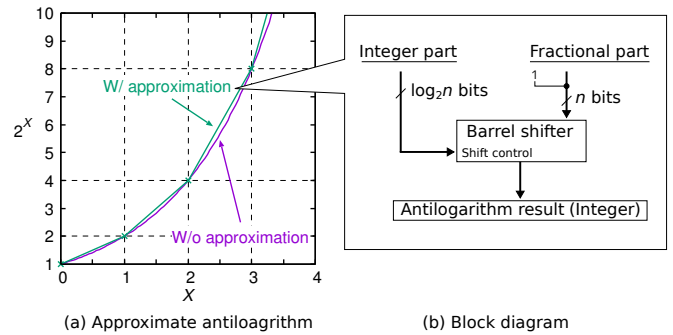


図 4 近似二進逆対数のコンセプト.

した時, 最も MSB 側に存在する 1 を取り除いた数値, すなわち $X_n - 2^{\lfloor \log_2 X_n \rfloor}$ を小数部として出力する. 上記アルゴリズムは図 3 (b) に示すように, プライオリティエンコーダとバレルシフタのみを用いて実装することが可能である.

同様に, 近似二進逆対数関数は図 4 (a) に示すように近似二進対数関数の逆関数として折れ線近似される. 近似二進逆対数のブロック図を図 4 (b) に示す. 入力値が $\log_2 n$ ビットの整数部と $(n-1)$ ビットの小数部で構成された固定小数点数と仮定する. 単純に入力値の整数部で指定された数だけ入力値の小数部をシフトすることで, 近似二進逆対数関数を得ることができる. したがって, 近似二進対数と同様に, 近似二進逆対数はバレルシフタのみを用いて実装可能である.

光スイッチング素子を用いたプライオリティエンコーダやバレルシフタはパケット交換等の応用で今日の光ネットワークで幅広く実装されている. したがって, 近似二進対数や近似二進逆対数も同様に OPG を含む光スイッチング素子を用いて容易に実装が可能である. 次節で述べるように, 近似二進対数や近似二進逆対数を OPG を用いて実装すると, 任意の n に対してそれぞれのクリティカルパス上に存在する OE 変換器を 1 個にすることができ, 計算誤差と引き換えに二進対数や二進逆対数を高速に求めることが可能である.

3.2 光スイッチング素子を用いた近似並列乗算器の実装

3.2.1 提案回路の全体像

提案する乗算器の全体図を図 5 に示す. 乗算結果は以下の 3 種類の回路を経て出力される: (i) 近似二進対数回路, (ii) 並列加算器, (iii) 近似二進逆対数. それぞれの回路のクリティカルパス上には 1 個の OE 変換器が存在するため, 提案する乗算器のクリティカルパス上には 3 個の OE 変換器が存在し, この数はビット幅 n に依存しない. 本章では光スイッチング素子を用いた回路実装方法の詳細に関して述べる.

3.2.2 近似二進対数回路

OPG を用いた近似二進対数回路の実装例を図 6 に示す.

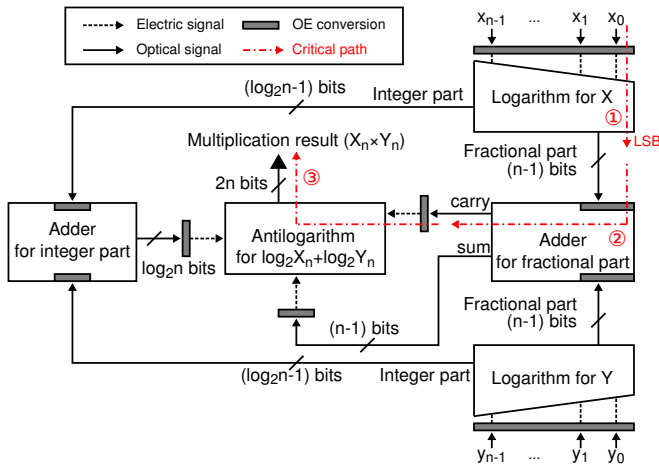


図 5 近似並列乗算器の全体図.

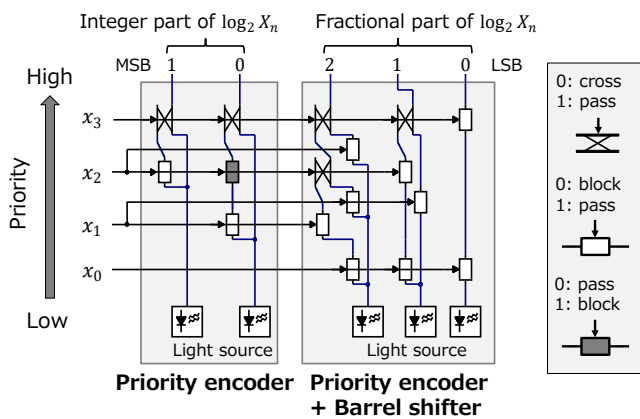


図 6 近似二進対数回路の実装例 ($n = 4$).

ここで、簡単のため n を 4 としている。プライオリティエンコーダとバレルシフタが OPG のみを用いて実装されている。“Priority encoder”と“Priority encoder + Barrel shifter”と書かれた回路はそれぞれ近似二進対数の整数部 ($\lfloor \log_2 X_n \rfloor$) と小数部 ($X_n - 2^{\lfloor \log_2 X_n \rfloor}$) を出力する。例えば、もし入力値 (x_3, x_2, x_1, x_0) が (0, 1, 1, 0) である場合、最も MSB 側に存在する 1 は x_2 である。したがって、プライオリティエンコーダは x_2 の添字である 2 を二進数表記 10 として出力する。小数部に関しては、プライオリティエンコーダの値 (i.e., 10) に基づきバレルシフタが入力信号をシフトさせた結果を出力する。その結果、小数部として二進数表記で 100 を出力する。図 6 が示すように、近似二進対数は OPG のシリアル接続のみで実現が可能である。したがって、任意の n に対して 1 回の OE 変換のみを用いて対数演算が可能である。

3.2.3 並列加算器

近似並列乗算器中で用いる並列加算器として、[6] で提案されている並列加算器を用いる。並列加算器の概要を図 7 に示す。文献 [6] は OPG を用いたリップルキャリー方式の並列加算器を提案している。一般的に、リップルキャリー方式の並列加算器のクリティカルパスは図 7 に示すようにキャリー伝搬が発生するパスである。文献 [6] では、キャ

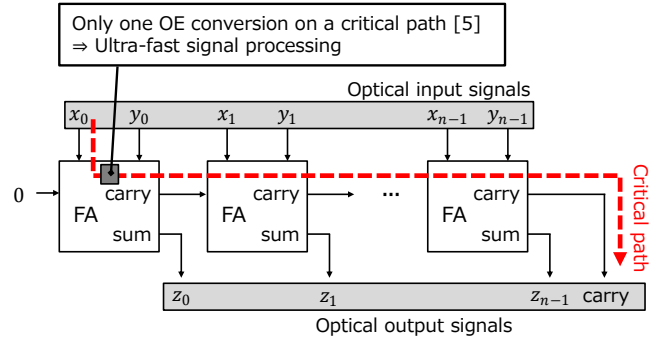


図 7 光スイッチング素子を用いたリップルキャリー方式の並列加算器 [6].

リー伝搬パスを OPG のシリアル接続のみで実装可能であることを示し、任意のビット幅 n に対してクリティカルパス上に存在する OE 変換器が 1 個になる並列加算器の構成を提案した。本稿では、前節で述べた近似二進対数関数の出力結果 ($\log_2 X_n$ と $\log_2 Y_n$) を足しあわせるために [6] の並列加算器を用いる。クリティカルパス段数を削減するために、並列加算器を 2 個用意し、 $\log_2 X_n$ と $\log_2 Y_n$ の整数部および小数部の和を独立して計算する (図 5 参照)。図 5 の “Adder for fractional part” と書かれた加算器のキャリー出力は次節で述べる二進逆対数回路のバレルシフタに直接接続される。従来型の並列乗算器を設計するために必要な FA の数は n^2 のオーダーである一方、提案する近似並列乗算器では $(n - 1 + \log_2 n)$ 個である。以上の事実は動作速度だけでなく、面積効率の観点でも提案回路の方が優れていることを示唆している。

3.2.4 近似二進逆対数回路

近似二進対数回路と同様に、バレルシフタのみを用いて近似二進逆対数回路を実装可能である。OPG を用いた近似二進逆対数回路の実装例を図 8 に示す。入力信号は $\log_2 X_n$ と $\log_2 Y_n$ の加算結果である。入力信号は固定小数点数で表現されており、小数部分は図 8 のバレルシフタを通してシフトされる。シフト量は入力信号の整数部分に

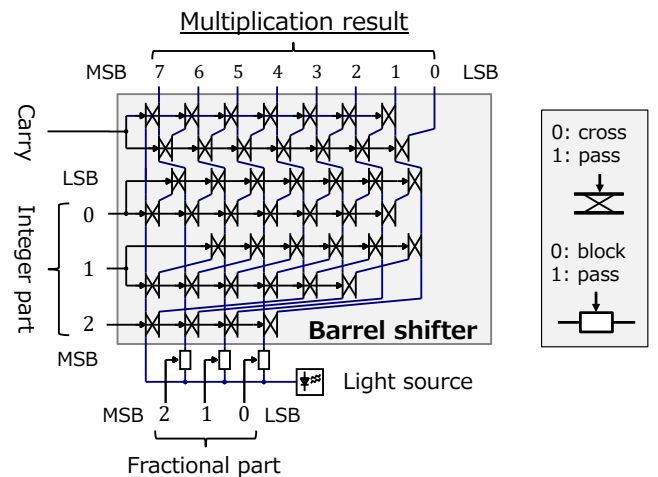


図 8 近似二進逆対数回路の実装例 ($n = 4$).

表 1 提案乗算器のクリティカルパス遅延のモデル化.

パス	伝搬遅延
近似二進対数 (図 5 の①)	$2\tau_{sw} + \tau_{oe}$
加算器 (図 5 の②)	$n\tau_{sw} + \tau_{oe}$
近似二進逆対数 (図 5 の③)	$2(\log_2 n + 2)\tau_{sw} + \tau_{oe}$
合計	$(\log_2 n + n + 6)\tau_{sw} + 3\tau_{oe}$

じて決定され、シフトされた小数部分が乗算結果 ($X_n Y_n$) として得られる。二進逆対数回路は提案乗算器の面積を支配的に決定する要因となるが、二進逆対数回路で用いられる OPG の個数は n^2 のオーダーである。バレルシフトの面積が提案回路全体の面積に与える影響の評価は今後の検討課題である。

3.3 性能モデル化

3.3.1 クリティカルパス遅延

第 2 章で述べたように、光信号が OPG を伝搬する時間と比較して、OE 変換に必要な時間は 25 倍程度大きい。本稿では、OE 変換遅延と光信号が OPG を直進する時間をそれぞれ τ_{oe} , τ_{sw} と定義する。図 5 が示すように、提案する近似並列乗算器のクリティカルパスは、以下で構成される：① 近似二進対数回路、② 加算器、③ 近似二進逆対数回路。表 1 にそれぞれの伝搬遅延をまとめる。それぞれのクリティカルパスには 1 個のみの OE 変換器が存在し、結果として任意の n に対して提案乗算器のクリティカルパス上には 3 個のみの OE 変換器が存在する (表 1 参照)。一方、従来の並列乗算器ではクリティカルパス上に存在する OE 変換器の数は n とともに増大する。以上の事実は、提案乗算器は n が大きい時に優位性 (低レイテンシ) を示すことを示唆している。従来型並列乗算器と提案する並列乗算器との性能比較を第 4 章で議論する。

3.3.2 近似誤差

提案する近似並列乗算器により高速な乗算が実現される一方、提案乗算器の出力値は入力ベクトルに依存する誤差を持つ。文献 [8] で指摘されているように、近似二進対数と近似二進逆対数の導入により発生する最大の相対誤差は $-\frac{1}{9} = (-11\%)$ である。以下の事実を数学的に証明可能である：

- 近似による最大相対誤差は $-\frac{1}{9} = (-11\%)$ である。最大誤差が発生するための必要十分条件は $X_n = 3 \cdot 2^i$ かつ $Y_n = 3 \cdot 2^j$ が成立することである ($i, j \in \mathbb{Z}_{\geq 0}$)。
- 最小の近似誤差は 0 である。提案乗算器が正確な乗算結果を出力するための必要十分条件は $X_n = 2^i$ または $Y_n = 2^j$ が成立することである ($i, j \in \mathbb{Z}_{\geq 0}$)。

以上の性質は、ビット幅 n に依存せず常に成立する。

4. 近似並列乗算器の性能評価

4.1 従来型並列乗算器との性能比較

様々なビット幅 n に対し、OPG を用いて設計した既存の並列乗算器と提案回路のクリティカルパス遅延の評価を行う。Wallace 木乗算器を既存の並列乗算器の代表として評価する。Wallace 木乗算器のクリティカルパスは以下により構成される：(i) 部分積を足し上げるために用いる $\left\lceil \log_{\frac{3}{2}} \frac{n}{2} \right\rceil$ 個の FA ($\lceil x \rceil$ は x に対する天井関数)、(ii) 乗算結果を得るための $2n$ ビットの並列加算器。1 個の FA につき 1 回の OE 変換が必要であるため、パス (i) で消費される遅延は $\left\lceil \log_{\frac{3}{2}} \frac{n}{2} \right\rceil \tau_{oe}$ とモデル化できる。文献 [6] によると、 $2n$ ビットの並列加算器のクリティカルパス遅延は $2n\tau_{sw} + \tau_{oe}$ とモデル化できる。したがって、OPG ベースの Wallace 木乗算器のクリティカルパス遅延を $\left(\left\lceil \log_{\frac{3}{2}} \frac{n}{2} \right\rceil + 1 \right) \tau_{oe} + 2n\tau_{sw}$ とモデル化する。

ビット幅 $n = 4, 8, 32, 64$ に対してクリティカルパス遅延を評価した結果を図 9 に示す。“Proposed”は提案回路のクリティカルパス遅延であり、表 1 で示した解析結果を用いて数値計算している。“Wallace tree”と書かれたデータは既存の並列乗算器のクリティカルパス遅延である (i.e., $\left(\left\lceil \log_{\frac{3}{2}} \frac{n}{2} \right\rceil + 1 \right) \tau_{oe} + 2n\tau_{sw}$)。ここで、[6] に基づき $\tau_{sw} = 1$ ps, $\tau_{oe} = 25$ ps としていることに注意。評価結果が示すように、 n の増大に応じて、提案回路の導入により実現される遅延削減率が増大する。これは、Wallace 木乗算器のクリティカルパス上に存在する OE 変換器が n の増大とともに徐々に増加するためである。他方、提案する近似乗算器のクリティカルパス上に存在する OE 変換器は 3 個に限られるため、結果として大きな n に対して提案回路は優位性を示す。評価結果によると、 $n = 64$ の時に提案回路のクリティカルパス遅延は 151 ps である一方、従来型の並列乗算器のクリティカルパス遅延は 367 ps である。したがって、提案回路は既存回路と比較して計算誤差と引き換えに約 2.4 倍高速動作することができる。

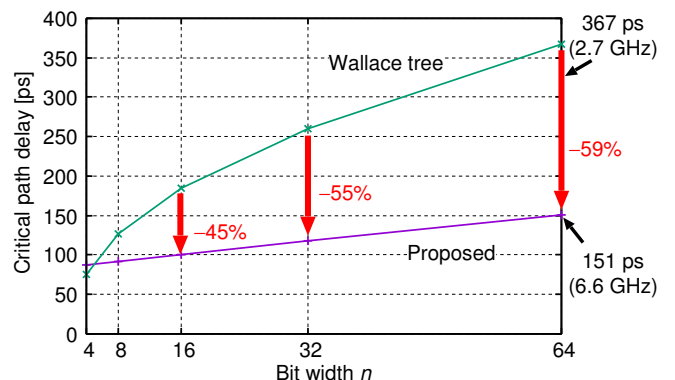


図 9 従来の光並列乗算器と提案乗算器の性能比較結果.

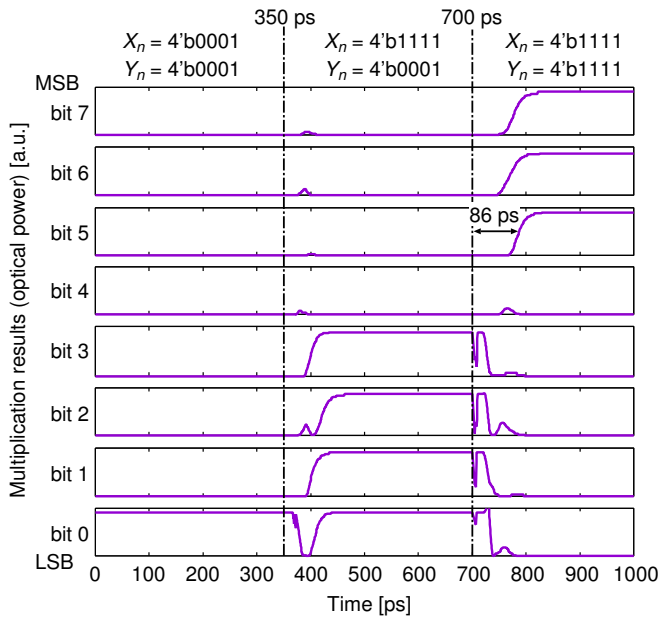


図 10 提案乗算器のシミュレーション結果 ($n = 4$).

表 2 光電混載回路シミュレータに与えるテストベクトル.

X_n (二進)	Y_n (二進)	近似積 (二進)	厳密解 (二進)
0001	0001	00000001	00000001
0001	1111	00001111	00001111
1111	1111	11100000	11100001

4.2 光電混載回路シミュレーションによる検証

光スイッチング素子を用いた 4 ビットの近似乗算器の設計および商用の光電混載回路シミュレータを用いた動作検証を行う. OPG の実測結果を報告している [2, 6, 7] に基づき OPG の物理パラメータを決定している.

図 10 にシミュレーション結果を示す. 図の縦軸は乗算結果部分に対応する光信号の強度である. シミュレーションには 3 種類のテストベクトルを用いている. テストベクトルを表 2 および図 10 上部にまとめる. 表 1 に示した遅延モデル式に $n = 4$ を代入すると, 提案回路のクリティカルパス遅延はおよそ 87 ps になる一方, シミュレーションにより求められた最大の図 10 に示す通り伝搬遅延は 86 ps であり, 性能モデルの妥当性を評価できた. ここで, 本実験で使用したテストベクトル $(X_n, Y_n) = (1111, 1111)$ により, 提案回路のクリティカルパスの大部分を活性化することに注意.

5. 結論

本稿では, 2 つの n ビットの正整数に対する近似並列乗算器の実装方式を提案した. OE 変換器が光集積回路の動作速度を支配的に決定するため, クリティカルパス上に存在する OE 変換器の個数を最小限に留めることが超高速動作する回路設計への鍵である. 任意のビット幅 n に対し, 提案した近似乗算器のクリティカルパス上には 3 個のみの OE 変換器が存在するが, 提案回路は入力ベクトルに依存

する確定的な誤差を持つ (最悪 11% の誤差). 数値評価結果により, 64 ビット並列加算器に対し, 提案近似乗算器は 151 ps (> 6.6 GHz) のレイテンシで動作し, 光スイッチング素子を用いた既存の並列乗算器と比較して約 2.4 倍高速動作することを示した.

今後の検討課題として, 提案回路の面積や電力をモデル化することや, CMOS LSI で実装した演算回路との性能差を明らかにすることが挙げられる. 提案乗算器は高速動作を実現する一方, 確定的な誤差を持つ. 機械学習のような実用的な分野に提案乗算器を応用することも今後の重要な課題の 1 つである.

謝辞

本研究の一部は, 科学技術振興機構の戦略的創造研究推進事業「新たな光機能や光物性の発現・利活用を基軸とする次世代フォトリソグラフィの基盤技術」(JPMJCR15N4) の助成により行われた.

参考文献

- [1] A. Ceyhan, M. Jung, S. Panth, S. K. Lim, and A. Naeemi, "Impact of Size Effects in Local Interconnects for Future Technology Nodes: A Study Based on Full-Chip Layouts," in *IEEE International Interconnect Technology Conference*, May 2014, pp. 345–348.
- [2] K. Nozaki, A. Shakoor, S. Matsuo, T. Fujii, K. Takeda, A. Shinya, E. Kuramochi, and M. Notomi, "Ultralow-energy electro-absorption modulator consisting of InGaAsP-embedded photonic-crystal waveguide," *APL Photonics*, vol. 2, no. 5, p. 056105, 2017.
- [3] X. Wu, Y. Ye, W. Zhang, W. Liu, M. Nikdast, X. Wang, and J. Xu, "UNION: A Unified Inter/Intra-Chip Optical Network for Chip Multiprocessors," in *IEEE/ACM International Symposium on Nanoscale Architectures*, June 2010, pp. 35–40.
- [4] J. Hardy and J. Shamir, "Optics Inspired Logic Architecture," *Opt. Express*, vol. 15, no. 1, pp. 150–165, Jan 2007.
- [5] Q. Xu and R. Soref, "Reconfigurable optical directed-logic circuits using microresonator-based optical switches," *Opt. Express*, vol. 19, no. 6, pp. 5244–5259, Mar 2011.
- [6] T. Ishihara, A. Shinya, K. Inoue, K. Nozaki, and M. Notomi, "An Integrated Optical Parallel Adder as a First Step Towards Light Speed Data Processing," in *International SoC Design Conference*, Oct 2016, pp. 123–124.
- [7] K. Nozaki, S. Matsuo, T. Fujii, K. Takeda, M. Ono, A. Shakoor, E. Kuramochi, and M. Notomi, "Photonic-crystal nano-photodetector with ultrasmall capacitance for on-chip light-to-voltage conversion without an amplifier," *Optica*, vol. 3, no. 5, pp. 483–492, May 2016.
- [8] J. N. Mitchell, "Computer Multiplication and Division Using Binary Logarithms," *IRE Transactions on Electronic Computers*, vol. EC-11, no. 4, pp. 512–517, Aug 1962.
- [9] U. Lotri and P. Buli, "Applicability of approximate multipliers in hardware neural networks," *Neurocomputing*, vol. 96, no. Supplement C, pp. 57–65, 2012, adaptive and Natural Computing Algorithms.